



TITLE:

非晶質シリコン薄膜トランジスタ 及びその液晶ディスプレイへの応 用の研究(Dissertation_全文)

AUTHOR(S):

金子, 好之

CITATION:

金子, 好之. 非晶質シリコン薄膜トランジスタ及びその液晶ディスプレイへの応用の研究. 京都大学, 1993, 博士(工学)

ISSUE DATE:

1993-09-24

URL:

<https://doi.org/10.11501/3070429>

RIGHT:

非晶質シリコン薄膜トランジスタ及び
その液晶ディスプレイへの応用の研究

1 9 9 3 年 4 月

金子 好之

本論文で用いた主な記号

| | |
|---|----------------------------------|
| C_{add} … 付加容量 | N_D …… 実効的なドナー濃度 |
| C_i …… 単位面積あたりのゲート絶縁膜容量 | N_T …… 伝導帯直下のギャップ内状態密度 |
| C_{lc} …… 液晶容量 | $N(E)$ … a-Si のギャップ内状態密度 |
| C_{gs} …… ゲート・ソース電極間寄生容量 | q …… 電気素量 |
| C_{px} …… 画素容量 | Q_f …… 絶縁膜中の固定電荷 |
| C_{sd} …… ソース・ドレイン電極間寄生容量 | Q_{it} …… 界面捕獲電荷 |
| D …… i 層中の磷の拡散係数 | Q_m …… 可動イオン |
| ΔL …… TFT 実効チャネル長の増分 | Q_{ot} …… 絶縁膜中の捕獲電荷 |
| Δn_T …… 状態密度 $N_1(E)$ 中に捕獲された電子密度 | R_{lc} …… 液晶抵抗 |
| ΔV_1 …… C_{gs} 起因の画素電極への漏れ込み電圧 | R_{off} … オフ抵抗 |
| ΔV_2 …… C_{sd} 起因の画素電極への漏れ込み電圧 | R_{on} …… オン抵抗 |
| ΔV_{px} … 画素電極への漏れ込み電圧の総和 | ρ_l …… 液晶の抵抗率 |
| ΔV_t …… TFT のしきい値電圧ドリフト量 | t_f …… フレーム期間 |
| E_a …… a-Si 中の電界 | t_a …… a-Si 膜厚 |
| E_c …… a-Si の伝導帯の底のエネルギー | t_g …… SiN 膜厚 |
| E_f …… 準フェルミエネルギー | t_w …… ゲート電圧のパルス幅 |
| E_g …… SiN 中の電界 | T …… 絶対温度 |
| E_v …… a-Si の価電子帯の上端のエネルギー | T_{in} …… 書き込み時間 |
| ϵ_a …… a-Si の誘電率 | T_{on} …… TFT オン期間 |
| ϵ_g …… SiN の誘電率 | T_{off} …… TFT オフ期間 |
| ϵ_0 …… 真空の誘電率 | T_{rg} …… ゲート電圧パルスの伝播遅延 |
| ϵ_1 …… 液晶の誘電率 | U_{gr} …… キャリアの生成再結合の割合 |
| f_0 …… フレーム周波数 | V_{bb} …… バックバイアス |
| I_d …… ドレイン電流 | V_{com} … 対向電極電圧 |
| I_g …… ゲート電流 | V_d …… ドレイン電圧 |
| I_{on} …… オン電流 | V_{d0} …… 信号電圧の中心値 |
| I_{off} … オフ電流 | V_{dh} …… 信号電圧の最大値 |
| I_{ph} …… チャネル光電流 | V_{dl} …… 信号電圧の最小値 |
| I_{phg} …… ギャップ光電流 | V_{fb} …… フラットバンド電圧 |
| k …… ボルツマン定数 | V_g …… ゲート電圧 |
| L …… TFT のチャネル長 | V_{gh} …… ゲート電圧の最大値 |
| L_{eff} … 実効的なチャネル長 | V_{gl} …… ゲート電圧の最小値 |
| μ …… 電子の実効移動度 | V_{lc} …… 画素電極電圧 |
| μ' …… 等価実効移動度 | V_{min} … 画素電極電圧の最小値 |
| μ_c …… 伝導帯の電子移動度 | V_s …… ソース電圧 |
| n_T …… バンドギャップ中のトラップ電子密度 | V_{thlc} …… LCD の電気光学特性のしきい値電圧 |
| n_C …… a-Si の伝導電子密度 | V_t …… しきい値電圧 |
| N_C …… a-Si の伝導帯の底の状態密度 | W …… TFT のチャネル幅 |
| N_{D0} …… a-Si の全ドナー濃度 | |

非晶質シリコン薄膜トランジスタ及び その液晶ディスプレイへの応用の研究

| | |
|---|-----|
| 梗概 | 1 |
| 第1章 序論 | |
| 1. 1 歴史的背景 | 4 |
| 1. 2 本研究の目的 | 10 |
| 参考文献 | 11 |
| 第2章 非晶質シリコン薄膜トランジスタ (a-Si TFT) の構造と電気的特性 | |
| 2. 1 はじめに | 13 |
| 2. 2 a-Si TFTの構造と作製方法 | 15 |
| 2. 3 a-Si TFTの特性と評価 | 20 |
| 2. 4 バックバイアス効果 | 28 |
| 2. 5 TFTのオフ特性の検討 | 33 |
| 2. 6 埋込2重ゲート構造a-Si TFT | 42 |
| 2. 7 まとめと今後の課題..... | 49 |
| 参考文献 | 51 |
| 第3章 a-Si TFT特性の計算機シミュレーション | |
| 3. 1 はじめに | 53 |
| 3. 2 a-Si TFTのモデル化 | 54 |
| 3. 3 a-Siのギャップ内状態密度 | 58 |
| 3. 4 シミュレーション結果 | 61 |
| 3. 5 まとめと今後の課題..... | 79 |
| 参考文献 | 80 |
| 第4章 a-Si TFTの信頼性 | |
| 4. 1 はじめに | 82 |
| 4. 2 a-Si TFTのしきい値電圧 (V_t) ドリフト | 83 |
| 4. 3 V_t ドリフトの定式化 | 89 |
| 4. 4 V_t ドリフトのメカニズムの検討 | 96 |
| 4. 5 V_t ドリフトの低減 | 110 |
| 4. 6 a-Si TFTの寿命推定 | 117 |

| | | |
|------|-----------------------------|-----|
| 4. 7 | まとめと今後の課題 | 124 |
| | 参考文献 | 125 |
| 第5章 | a-Si TFT駆動による液晶ディスプレイ (LCD) | |
| | の設計と製作 | |
| 5. 1 | はじめに | 127 |
| 5. 2 | TFT/LCDの構成と表示原理 | 128 |
| 5. 3 | TFT/LCDの表示動作のモデル化と解析 | 134 |
| 5. 4 | TFT/LCDの設計 | 156 |
| 5. 5 | 5型液晶カラーテレビ | 167 |
| 5. 6 | まとめと今後の課題 | 175 |
| | 参考文献 | 177 |
| 第6章 | a-Si TFT/LCDの直流電圧相殺駆動と表示特性 | |
| 6. 1 | はじめに | 179 |
| 6. 2 | 直流電圧成分と表示特性への影響 | 180 |
| 6. 3 | 直流電圧相殺駆動方式 (CBC駆動) | 184 |
| 6. 4 | CBC駆動の実験結果と検討 | 188 |
| 6. 5 | まとめと今後の課題 | 199 |
| | 参考文献 | 200 |
| 第7章 | 結論 | 201 |
| 付録 | | 204 |
| 謝辞 | | 208 |
| | 本論文に関する発表論文リスト | 209 |

非晶質シリコン薄膜トランジスタ及び その液晶ディスプレイへの応用の研究

金子 好之

梗 概

近年の社会の高度情報化に伴い、さまざまな分野でマン・マシンインタフェースとしての画像表示装置が要求されている。なかでも携帯性に優れた平面ディスプレイが従来のCRTに代わって注目されている。この平面ディスプレイの主なものとしては、液晶ディスプレイ（以下LCD：Liquid Crystal Display）、エレクトロルミネセンス・ディスプレイ、プラズマ・ディスプレイ、蛍光表示管などが挙げられる。これらのうち、小型、軽量、低消費電力の点からすると、LCDが優位にある。さらに、フルカラー化の容易さや従来のCRTに匹敵する画質などの点を考慮に入れると、各画素にスイッチング用の薄膜トランジスタを設けたアクティブマトリクス方式のLCDが、次世代の高機能ディスプレイの有力な候補と考えられる。

薄膜トランジスタの半導体材料としては、CdSe、多結晶シリコン、非晶質シリコンなどが用いられてきた。このなかでは、大面積化の容易さ、400℃以下の低温プロセスとそれに伴う低コスト化などの利点を有する非晶質シリコン薄膜トランジスタ（以下a-Si TFT：Thin Film Transistor）が、工業技術的に最も重要である。

本研究は、以上のような技術の潮流を汲んで行われたものである。論文「非晶質シリコン薄膜トランジスタ及びその液晶ディスプレイへの応用の研究」では、TFT単体とTFT駆動によるLCD（以下TFT/LCD）双方の特性設計、試作、及び特性解析に関する研究成果を中心にまとめた。特にそこでは、実用に供するという観点に注意を払った。その要旨は以下のとおりである。

第1章では、本研究の目的を明らかにし、TFT及びTFT/LCDに関する研究分野の歴史的背景を概説する。

第2章では、a-Si TFTの基本構造と特性について論ずる。LCDの表示画質を良好に保つためには、TFTのオンオフ比を十分に大きくする必要がある。この観点からTFTの特性改善を行った。まず、従来よく知られていなかったa-

S i 背面の電位条件が特性に及ぼす影響を明らかにした。次に、a-S i の堆積温度 320℃において、 n^+ 層中の磷(P)原子がi層中に拡散し、これによりi層の抵抗が低下することを明らかにした。また光照射によるTF Tのオフ抵抗低下とその機構について調べた。これらの結果を踏まえ、十分に高いオフ抵抗を有する最適なTF T構造を得た。次に、ゲート電極を2重に形成した全く新規なTF T構造を提案した。これにより、従来のTF Tの3～5倍のオン電流が得られることを実証した。

第3章では、TF T特性の計算機シミュレーションについて述べる。スーパーコンピュータ上で動作する高精度な2次元TF Tシミュレータを創始開発した。本シミュレータは、準静的容量電圧法により実測したa-S i の禁制帯内のトラップ準位密度を組み込んだものであり、またTF Tの電流電圧特性について、種々の駆動電圧条件における静特性を最大誤差10%以下でシミュレーション可能という良好な精度を有するものである。この結果、試作によらずともTF Tの特性設計が可能になり、デバイス設計の効率化を実現できた。また、この検討により得たモデルを基に、TF Tに特徴的な電流経路に起因するオン抵抗の増大現象を解析した。

第4章では、a-S i TF Tの信頼性に関して、しきい値電圧(V_t)のドリフトの検討及び対策について述べる。まず、2層ゲート絶縁膜構造のTF Tを用いて V_t ドリフトを調べ、その発生要因としてゲート電圧の重要性を明示した。また V_t ドリフトの定式化を行い寿命推定を可能にした。次に、ゲート絶縁膜である窒化シリコンとa-S i との堆積条件と V_t ドリフトの関係を調べた後、その条件を最適化することにより V_t ドリフトを低減した。最適化されたTF Tでは、ドリフトの大きさは 10^4 時間の駆動で1V以下と実用レベルであることを示し、TF Tの信頼性設計の方法を確立した。その効果として、a-S i TF TのLCD応用を加速推進させることができた

第5章では、a-S i TF T/LCDの設計と、それに従って製作した5"対角液晶カラーテレビの特性解析結果について述べる。まず、一画素の等価回路モデルを考案し、それを用いてTF Tの電流電圧特性とTF T/LCDの電気光学特性の関連を明示した。この等価回路は、TF Tの寄生容量と画素部の実際の積層構造を考慮に入れたもので、これにより液晶に印加される実効電圧の正確な計算が可能になった。次に、このモデルを用いて、最適駆動電圧の検討とTF T形状の計算を行い、5"対角、 240×480 画素のLCDの設計を行った。最後に、実際に製作されたTF T/LCDの表示特性の評価結果について記す。この設計による5"対角液晶カラーテレビは製品化に至った。

第6章では、TFT/LCDの表示画質を向上させるために有効な駆動方法を新たに提案する。TFTの比較的大きな寄生容量に起因して、LCDの画素電圧に直流電圧成分が含まれ、それが画質を劣化させることを見いだした。そこで、この直流電圧が発生するメカニズムを逆に利用して、直流電圧を相殺する駆動方式を考案した。5" TFT/LCDを用いてその方式の有効性を確認した。その結果、焼き付き、フリッカの大幅な低減効果が得られることが判明した。

本研究によって得られた結果の工学的意味を以下に列挙する。

[a] a-Si TFTの高性能化

- (1) a-Si TFTの V_t ドリフトについて検討し、実用化に結び付けた。まず、 V_t ドリフトの一般的な評価方法及び寿命推定の方法を確立した。次に、TFTの作製条件の最適化により、 V_t ドリフト量を実用レベルにまで低減可能であることを示し、LCDへの適用可能性を明確にした。
- (2) TFTの電流-電圧特性を検討し改善した。まず、TFTにおけるa-Siの背面電位に着目し、この電位が特性に及ぼす影響を初めて系統的に調べた。次に、a-Siの n^+ 層堆積中に、磷(P)原子がi層中に拡散し、これによりi層の抵抗が低下することを明らかにした。さらに、オフ特性に及ぼす光照射の影響を調べ、光電流の発生機構を論じた。これらの結果を踏まえて作製条件や構造を最適化し、良好なオフ特性を確保した。また、TFTのオン電流を従来比で3～5倍に増大させることが可能な埋込み2重ゲート構造a-Si TFTを提案した。
- (3) スーパーコンピュータ上で動作するa-Si TFT特性の2次元デバイスシミュレータを開発し、デバイス設計の効率を増大させた。さらに、そのモデルに基づいて、TFTの特徴的な電流経路に起因するオン抵抗の増大現象を解析し、実効チャネル長の増大効果として記述できることを明らかにした。

[b] a-Si TFT/LCDを用いた5" カラーTVの開発

- (1) TFT電流電圧特性とTFT/LCDの電気光学特性を結び付ける画素モデルを構築し、TFT/LCDの設計法を確立した。この設計に基づいてカラーテレビ仕様の5" LCDを作製・評価し、良好な表示画質を実現した。
- (2) TFT/LCDの各画素における直流電圧成分を低減し、表示画質を向上させることが可能な新しい駆動方法を提案した。

第 1 章 序 論

1. 1 歴史的背景

1. 1. 1 薄膜トランジスタ

1947年以来のBell研グループによるトランジスタの発明，すなわち，Bardeen, BrattainらによるGe結晶を用いた点接触型バイポーラトランジスタの発明と，¹⁾ Shockleyによる接合型ダイオード及びトランジスタに関する理論の発表²⁾ などの一連の活動に端を発して，固体物理の研究が活性化され，エレクトロニクス一般に大きな革命がもたらされたことは論を待たない。

その中にあっては，次のような研究が期を画するものである。それらは，1952年のShockley³⁾ による接合型電界効果トランジスタの理論的な解析，1959年のMIS(Metal Insulator Semiconductor)構造の提案，⁴⁾ 1960年のKahng, Atalla⁵⁾ による単結晶Siとその熱酸化膜(SiO₂)を用いた電界効果トランジスタであるMOSFET(Metal Oxide Semiconductor Field Effect Transistor)の提案と作製，1963年のHofstein, Heiman⁶⁾ による最初のMOSFETの良好な動作の確認などである。これらにより，通信，データ処理，制御などといった複雑な目的に対応できる大規模な回路をコンパクトに実現する下地が整った。さらに，これらに加え，製造技術上のさまざまな困難が克服されていくのに伴って，電子回路の集積化が着々と進展してきた。今日これらの技術は，MOSメモリ，マイクロプロセッサなど種々のデバイスとして結実し，装置の小型化，高速度化を推進する原動力となっている。

さて薄膜電子回路は，上記単結晶Siによるトランジスタと同様の機能を，薄膜技術によって実現するものとして考案された。Si自体は理想的な絶縁体になり得ないので，Si基板上に作製する回路では素子間絶縁が難しかった。そこで，ガラスのような透明基板やセラミックなどの絶縁基板上に半導体を堆積して，素子間の電気的な絶縁を保ったまま回路を形成することが試みられたのが，薄膜電子回路のそもそもの始まりである。薄膜トランジスタ(TFT: Thin Film Transistor)は，この薄膜回路による能動素子のひとつであり，広義に解釈すると，主として絶縁性基板上に形成された半導体薄膜を用いるトランジスタ全般を指すものである。本論文では，今日の最も一般的な用語法にならない，特に絶縁ゲート型電界効果トランジスタをTFTと呼ぶことにする。

TFT及び電界効果トランジスタの概念は、1925年から1928年にかけてのLilienfeld^{7~9)}及び1935年のHeil¹⁰⁾の特許出願に見受けられる。これらは、当時全盛の真空管を固体デバイスに置換すること念頭に置いたアイデアの提示¹¹⁾である。実験的には、1948年、Shockley, Pearson¹²⁾らが雲母をゲート絶縁膜とするGe TFTを試みたが、十分な伝導度の変調を得ることができなかった。そしてこれを過ぎること10余年、最初の良いトランジスタ動作の確認が、1962年Weimer¹³⁾によりなされた。これは、光導電体の研究でその性質や作製プロセスが良く知られたCdS多結晶膜を半導体層とするものであった。これを契機として、CdSe, Te, ZnO, SnO₂などさまざまな半導体が試みられるようになった。しかしながら、これらの半導体材料は、(1)製膜時の制御性や再現性に問題があること、(2)Si結晶半導体デバイスのプロセスに標準的に用いられるホトリソグラフィに適さないこと、(3)不純物準位が少ない界面を形成する相性の良いゲート絶縁膜が見いだされなかったことなどにより、実用化には至らなかった。

ところで、良好なトランジスタ動作の実験結果の報告時期を比べると、TFT¹³⁾の方がMOSFET⁶⁾よりも幾分早かった。それにもかかわらず、その後の技術の進歩はMOSFETの方が圧倒的に速かったことに注意しておく。この差は、それぞれのプロセス技術の進展具合をそのまま反映したものである。TFTの場合、最適な半導体が定まらなかったことが、その開発を遅らせた。その後、TFTが再び注目を集めるようになるのは、Si系薄膜によるTFT、すなわち水素化非晶質シリコン（厳密にはa-Si:Hと記すべきであるが、以下ではa-Siと略す）と多結晶シリコン(p-Si: poly-crystalline Silicon)を用いたTFTが出現する1970年代後半のことである。

a-Siは、当初スパッタリング、電子ビーム蒸着、熱CVD (Chemical Vapor Deposition)法により作製されたが、Siのダングリング・ボンドに起因する禁制帯中の準位の存在により、pn制御ができないことが難点であった。実際、電界効果を調べる実験は、既に1970年代初頭に¹⁴⁾行われているが、満足の行くものではなかった。このような中で1975年にSpeaらは、SiH₄ガスのプラズマCVD法によって堆積したa-Siを用いて、pn制御に成功した。¹⁵⁾ それ以来、a-Si薄膜をデバイスに応用する研究が一気に加速された。その代表的な例が、太陽電池やTFTである。構造が簡単なことから、まず太陽電池の研究が活発に行われたが、ここで培われたプラズマCVD製膜法のノウハウがa-Si

TFTの作製に活用されたことは言うまでもない。その他、デバイスの作製プロセスに結晶シリコンで標準的に用いられるホトリソグラフィ技術が流用できたことも幸いした。一方で、TFTが発案された初期の頃とは異なった意味で、TFTに対するニーズが高まっていたことも見逃せない。それは、「壁掛けテレビ」の実現を可能とするアクティブマトリクス液晶駆動方式の提案¹⁶⁾(Lechnerら, 1971年)に基づくTFTの使用法である。

a-Si TFTの実現に不可欠であったその他の要素技術の検討も、この時期に行われている。そのうち特に重要なものは、1976年に導入されたゲート絶縁膜用の窒化シリコン膜(SiN)の開発¹⁷⁾である。SiN膜は、同じプラズマCVDを用いて形成できるほか、絶縁性も十分であり、a-Si/SiN界面も良好なことが利点である。同じくプラズマCVD法によるSiO₂膜、SiON膜なども検討されているが、¹⁸⁾ SiNの場合ほどの特性は得られていない。

以上の経緯により、1970年代後半には、a-Si TFT登場の機が熟していた。最初のa-Si TFTは、SiN膜をゲート絶縁膜とするものであり、その動作確認は1979年にLeComber, Spearら¹⁹⁾によってなされた。同時にLCD応用の見地からTFT特性も検討された。これ以降、a-Si TFT研究の立上りは速く、^{20~23)} 続く1980年代は、主としてLCD用途を念頭に研究開発が積み重ねられてきた。

一方p-Si TFTは、電子移動度が数10から100 cm²/(Vs)とa-Si TFTより約2桁大きい電流駆動能力を有するために、LCDの周辺回路の一部をp-Siで構成することが期待されている。その作製法は、最初は高温熱酸化工程を含むMOSデバイス技術を流用してシリコン基板上に作製するもの²⁴⁾であったが、最近では、ガラス基板上に600℃以下のプロセスで作製することが標準である。^{25, 26)} しかしながら、p-Si薄膜を大面積にわたって形成するプロセス技術は、いまだに研究段階にとどまっている。

近年a-Si TFTは、当初考えられたような単結晶Siの代替技術としてではなく、LCDなどの大面積デバイスの要素技術として重要になってきた。これは、ガラス基板やフィルムといった基板選択の自由度や、大面積にわたる堆積が容易なことといった特長のゆえである。そして1991年現在、a-Si TFTを用いたLCDを中心とする技術は、大面積マイクロエレクトロニクス(Giant Micro-Electronics)なる新しい分野を形成し、なお成長の一途にある。

1. 1. 2 液晶ディスプレイ

近年の社会の高度情報化に伴い、コンピュータ、ワードプロセッサ、ファクシミリなどのOA (Office Automation) 機器や、衛星放送による高精細画像の受信用ディスプレイといった情報通信端末の重要性が増している。これら情報通信端末にとっては、言うまでもなく画像表示装置が重要である。この流れの中にあって、従来のCRT (Cathode Ray Tube)を代替する新しい画像表示装置が強く求められている。その「新しさ」は、「壁掛けテレビ」のイメージに代表されるフラットパネルディスプレイに求めることができる。フラットパネルディスプレイとしては、液晶ディスプレイ(LCD: Liquid Crystal Display), エレクトロルミネッセンスディスプレイ,²⁷⁾ プラズマディスプレイ,²⁸⁾ 蛍光表示管, 発光ダイオード, 及びフラットCRTなどが挙げられるが、小型軽量, 低消費電力, フルカラー化の容易性などの観点から, LCDが最も有力である。

液晶の発見それ自体は, 1888年Reinitzer²⁹⁾ にまで遡るが, これを表示素子に応用する上では, ネマティック液晶に関して

(1) 電気光学効果(1963年, Williams)³⁰⁾

(2) 動的散乱効果(1968年, Heilmeyerら)³¹⁾

の発見が重要である。(1)は, 液晶層に電圧を加えると, 液晶分子が電界によってその向きを変えするという現象であり, (2)は, 電界と液晶分子の長軸が垂直な方向に並ぶ性質を持つ液晶に直流電圧あるいは低周波の電圧を加えると透明であった液晶が乳白色に変わる現象である。当初は(2)の動的散乱効果が液晶ディスプレイの研究の活性化をもたらした。しかし, この効果を用いた表示方式は本質的にイオン電流を利用する必要があるため, 電力消費が比較的大きく(15~20 μ W)液晶セルの寿命が短いという欠点がある。これに対し, (1)の効果を利用したねじれネマティック方式(以下TN: Twisted Nematic)と呼ばれる表示方式が, 1971年Schadt, Helfrich³²⁾により提案された。この方式による表示素子では, まず2枚のガラス基板上に塗布された有機膜に, いわゆる配向処理を行う。配向処理とは, それぞれの有機膜を布で擦るなどして一定方向の傷をつける処理である。次に, それらの2枚のガラス基板の傷の向きを90度ねじらせて配置する。最後に, 電界と分子の長軸が平行な方向に並ぶ性質を持つ液晶を封入することにより, 素子は完成する。この方式の利点としては, カラーフィルタと組み合わせることによりカラー表示が容易なこと, 液晶セル部での消費電力がほとんどないこと(1~2 μ W)などが挙げられる。これらの利点のため, 現在使用されて

いる液晶ディスプレイ素子の大部分は、主としてこのTN方式によるものである。

さて、LCDは液晶セルを2次元配列された画素に分割し、これらに選択的に電圧を印加して画像表示を行うものである。このTN型LCDでCRTと同等の機能を持たせるためには、(1)解像度が水平・垂直方向に500以上であること、(2)残像フリッカなどのない良好な動画表示を確保するため、応答時間が30ms以下であること、(3)コントラストが少なくとも30:1以上であることなどが要求される。これらを満たすために、液晶へ電圧を印加する方法が幾つか考案された。それらには、単純マトリクス方式や1971年に提案されたアクティブマトリクス方式¹⁶⁾が含まれるが、とりわけクロストークが小さく、高コントラストの実現が可能なアクティブマトリクス方式が重要である。

アクティブマトリクス方式LCDの先駆的な研究としては、1973年CdSe TFTを使用したBrodyら³³⁾のものが挙げられる。これに続き、1980年代初めにかけて、TFT素子単体を始めTFT駆動によるLCD(以下TFT/LCD)の要素技術がほぼ出揃った。その後、実用化に向けての研究開発が活性化した。まず1983年に、高温プロセスのp-Siを用いた2" TFT/LCDが実用化された。³⁴⁾ 一方、a-Si TFTについては、a-Siの正に「アモルファス」的な性質、すなわち結晶Siには見られない不安定性³⁵⁾のゆえに、実用化が疑問視される傾向にあった。しかしながら、著者らのTFTの信頼性に関する検討^{36,37)}と前後して、1986年3" a-Si TFT/LCDの実用化³⁸⁾がなされた。引き続き1987年5" 実用化、³⁹⁾ 1988年14" 試作、⁴⁰⁾ さらに1990年10" 実用化⁴¹⁾と5~10"以上の大型ディスプレイにはa-Si TFTが標準的に用いられるようになった。これは、プロセス温度が400℃以下と低いこと、大面積にわたる作製が容易なことなどの技術的な利点が十二分に活かされたからにほかならない。また、これらの研究開発を通じてCRTに匹敵する画質が得られることが示され、フラットパネルディスプレイにおけるLCDの優位性も明確になってきた。図1.1に、TFT及びTFT/LCD関係の研究開発の経過の概略と本研究の位置付けをまとめておく。

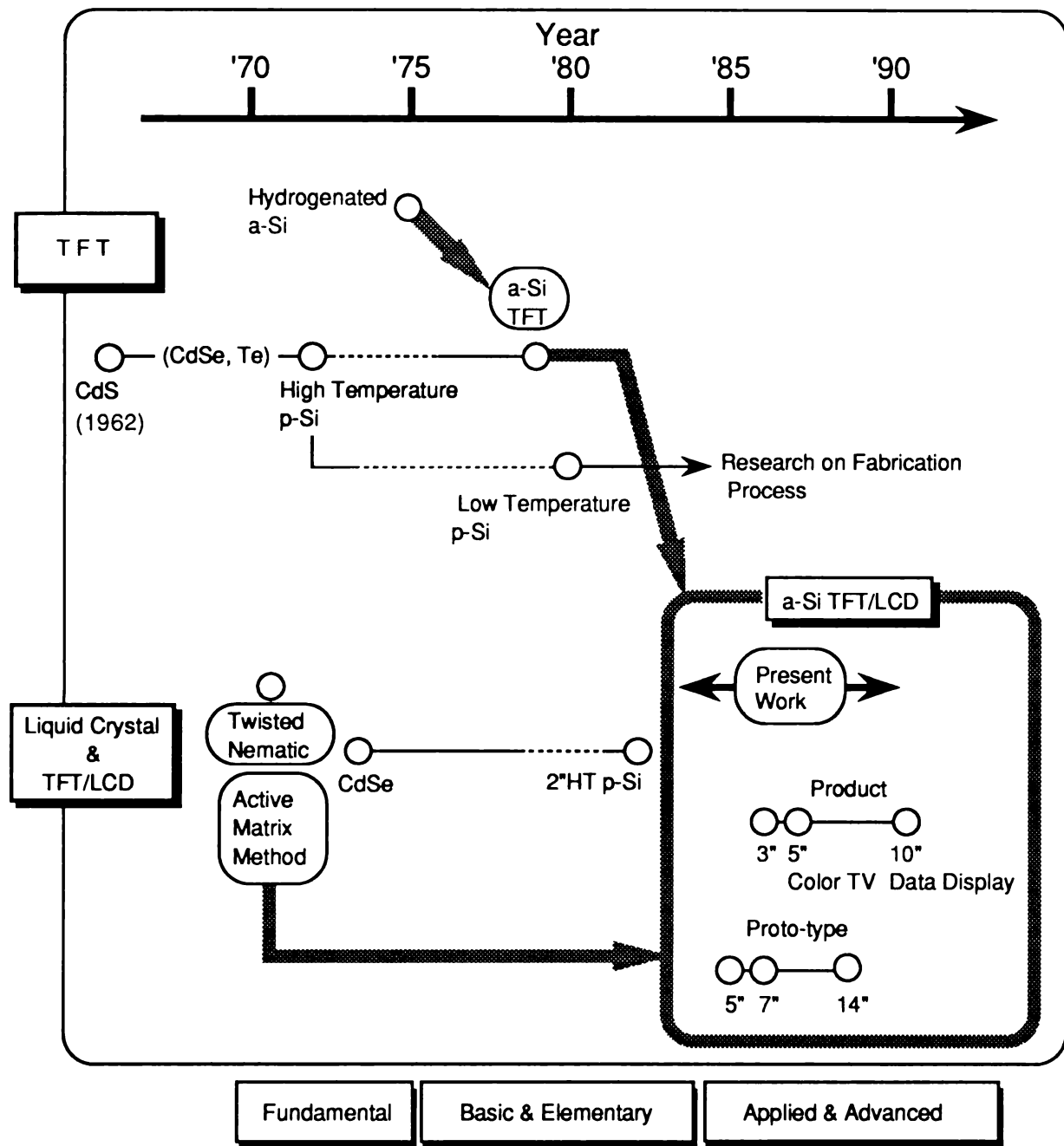


図1.1 TFT/LCDの研究開発の経過
と本研究の位置付け

1. 2 本研究の目的

従来のCRTディスプレイに優るとも劣らない画質を有する，薄型，軽量，低消費電力の平面ディスプレイ装置を，高度に発達した半導体技術を用いて実現することは，かつてトランジスタをもって真空管を駆逐した歴史を繰り返すことに匹敵する。しかもそのような平面ディスプレイによれば，CRTディスプレイでは実現し得ない用途が開拓され，エレクトロニクス全般に大きな波及効果を有するといっても過言ではない。本研究は，このような観点からなされたものであり，水素化非晶質シリコンを用いた薄膜トランジスタ（a-Si TFT）とそのLCD駆動への応用に関するものである。具体的には，基本的な構造と動作が確認されていたa-Si TFTの技術に基づき，その技術開発を更に進めて実用に耐え得る特性を備えたTFT素子単体及びTFT/LCDを構築することが，本研究の主題である。本研究のより具体的な目的は，以下のとおりである。

- (1) a-Si TFTの信頼性について調べ，必要とあればその対策を講ずる。
これにより，『p-Siに比べてa-Siは材料的に不安定で実用に向かない』とする従来の考え方を覆し，大面積化，低温プロセスなどa-Siの工業技術的な特長を十分に利用できるようにすること。
- (2) a-Si TFTの良好なオンオフ特性が安定に確保できる構造や作製条件について調べ，高性能化を図ること。その際，試作による実験検証に加え，計算機シミュレーションの可能性についても検討すること。
- (3) 実用に供し得るディスプレイを実現するため，TFT/LCDの設計法を確立すること。特にa-Si TFTの電流－電圧（ $I-V$ ）特性とTFT/LCDの電気光学特性の関係を明確にすること。
- (4) TFT/LCDの画質向上を達成すること。特に将来の大面積化，高精細化に備え良好な画質の得られる駆動方法を検討すること。

参 考 文 献

- 1) J. Bardeen and W. H. Brattain, Phys. Rev. 74, 230 (1948).
- 2) W. Shockley, Bell Syst. Tech. J. 28, 435 (1949).
- 3) W. Shockley, Proc. IRE 40, 1365 (1952).
- 4) W. G. Pfann and C. G. B. Garrett, Proc. IRE 47, 2011 (1959).
- 5) D. Kahng and M. N. Atalla, IRE Solid-State Device Research Conf. (1960)
D. Kahng, IEEE Trans. Electron Devices ED-23, 655 (1976).
- 6) S. R. Hofstein and F. P. Heiman, Proc. IEEE 51, 1190 (1963).
- 7) J. E. Lilienfeld, U.S. Patent 1745175, Jan. (1930).
- 8) J. E. Lilienfeld, U.S. Patent 1877140, Sept. (1932).
- 9) J. E. Lilienfeld, U.S. Patent 1900018, Mar. (1932).
- 10) O. Heil, U.K. Patent 439457, Dec. (1935).
- 11) A. C. Tickle, Thin Film Transistors, (Wiley, New York, 1969), p.3.
- 12) W. Shockley and G. L. Pearson, Phys. Rev. 74, 232 (1948).
- 13) P. K. Weimer, Proc. IRE 50, 1462 (1962).
- 14) W. E. Spear and P. G. LeComber, J. Non-Cryst. Solids 8-10, 727 (1972).
- 15) W. E. Spear and P. G. LeComber, Solid State Commun. 17, 1193 (1975).
- 16) B. J. Lechner, F. J. Marlowe, E. O. Nester, and J. Tults, Proc. IEEE 59, 1566 (1971).
- 17) A. Madan, P. G. LeComber, and W. E. Spear, J. Non-Cryst. Solids 20, 239 (1976).
- 18) K. Asama, T. Kodama, S. Kawai, Y. Nasu, and S. Yanagisawa, Digest of Tech. Papers SID Intn'l Symp, (1983), p.144.
- 19) P. G. LeComber, W. E. Spear, A. Ghaith, Electron. Lett. 15, 179 (1979).
- 20) A. J. Snell, K. D. Mackenzie, W. E. Spear, P. G. LeComber, and A. J. Hughes, Appl. Phys. 24, 357 (1981).
- 21) A. J. Snell, W. E. Spear, P. G. LeComber, and K. Mackenzie, Appl. Phys. A26, 83 (1981).
- 22) M. J. Powell, B. C. Easton, and O. F. Hill, Appl. Phys. Lett. 38, 794 (1981).
- 23) H. Hayama and M. Matsumura, Appl. Phys. Lett. 36, 754 (1980).
- 24) T. I. Kamins, Solid-State Electron. 15, 789 (1972).

- 25) M. Matsui, Y. Shirai, Y. Katayama, K. L. I. Kobayashi, A. Shintani and E. Maruyama, Appl. Phys. Lett. 37, 936 (1980).
- 26) S. Morozumi, K. Oguchi, S. Yazawa, T. Kodaira, H. Ohshima, and T. Mano, Digest of Tech. Papers SID Intn'l Symp., (1983), P.156.
- 27) R. Tornqvist, 1989 SID Seminar Lecture Notes Vol. I, (1989).
- 28) L. Weber, *ibid.*
- 29) F. Reinitzer, Mh. Chem. 9, 421 (1888).
- 30) R. Williams, J. Chem. Phys. 39, 384 (1963).
- 31) G. H. Heilmeyer, L. A. Zanoni, and L. A. Barton, Proc. IEEE 56, 1162 (1968).
- 32) M. Schadt and W. Helfrich, Appl. Phys. Lett. 18, 127 (1971).
- 33) T. P. Brody, J. A. Asars, and G. D. Dixon, IEEE Trans. Electron Devices, ED-20, 995 (1973).
- 34) S. Morozumi, K. Oguchi, T. Misawa, R. Araki, and H. Ohshima, Digest of Tech. Papers SID Intn'l Symp., (1984), P.316.
- 35) D. L. Staebler and C. R. Wronski, Appl. Phys. Lett. 45, 1102 (1977).
- 36) Y. Kaneko, R. Oritsuki, and T. Tsukada, Digest of Tech. Reports, ED85-79, (IECE of Japan, 1985) (in Japanese).
- 37) Y. Kaneko, A. Sasano, T. Tsukada, R. Oritsuki, and K. Suzuki, Ext'd Abstracts of Intn'l Conf. on Solid State Devices and Materials, (1986), p.699.
- 38) S. Hotta, S. Nagata, Y. Miyata, K. Yokoyama, K. Adachi, T. Chikamura, M. Yoshiyama, A. Nishikawa, and K. Kawasaki, Digest of Tech. Papers SID Intn'l Symp., (1986), P.296.
- 39) F. Inoue, K. Ando, N. Kabuto, M. Kamiya, M. Nakatani, R. Nashimoto K. Suzuki, H. Suzuki, T. Tsukada, and H. Kawakami, Digest of Tech. Papers SID Intn'l Symp., (1988), P.318.
- 40) T. Nagayasu, T. Oketani, T. Hirose, H. Kato, S. Mizushima, H. Take, K. Yano, M. Hijikigawa, and I. Washizuka, Proc. Intn'l Display Research Conf., (1988), p.56.
- 41) M. Sasuga, K. Suzuki, M. Satoh, T. Futami, and N. Konishi, Proc. Intn'l Display Research Conf., (1989), p.510.

第2章 非晶質シリコン薄膜トランジスタの構造と特性

2.1 はじめに

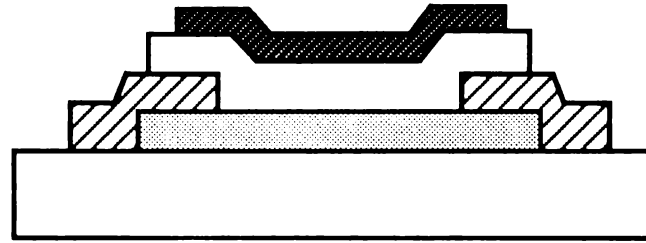
本章では、非晶質シリコン薄膜トランジスタ ($a-Si$ TFT) の構造と特性について、特に液晶ディスプレイ (LCD) への応用を念頭においた検討の結果をまとめる。

$a-Si$ TFTは、電子を多数キャリアとする電界効果トランジスタである。その構造は、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極及び $a-Si$ 層の堆積順序によって大別することができる。その主なものを図2.1に示す。(a)は、ゲート電極とソース・ドレイン電極が $a-Si$ 層に対して同じ側にあるコプレーナ型、(b)、(c)はそれらの電極が $a-Si$ 層の異なる側に設置されるスタガ型である。コプレーナ型は、従来のMOS型電界効果トランジスタで最も良く用いられるものである。これに対し、スタガ型はWeimer¹⁾以来薄膜トランジスタの標準的な構造である。実際CdSeを半導体層とするTFTや、²⁾最初に動作が確認された $a-Si$ TFT³⁾においてもスタガ型構造が使用されてきた。その他、同図(d)に示されるように、チャネルを基板に垂直な方向に形成する縦型 $a-Si$ TFTなども提案されている。⁴⁾

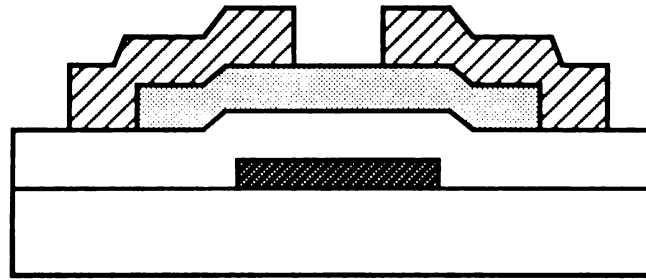
さて、スタガ型は、ゲート電極を $a-Si$ 層より先に堆積する(b)のボトムゲート型と $a-Si$ 層の後に堆積する(c)のトップゲート型に分けられる。経験的にボトムゲートのスタガ型 $a-Si$ TFTは、トップゲート型^{5,6)}と比べ特性が良好であり作製プロセスも簡単になるので、現状で最も一般的に用いられている構造である。便宜上、このボトムゲートのスタガ型は、逆スタガ型(inverted staggered type)と呼ばれる。本章及び以降においては、逆スタガ型の $a-Si$ TFTを検討の対象とする。

以下では、まず $a-Si$ TFTの構造とその作製方法について述べる。次に、 $a-Si$ TFTの特性と評価法について論じ、静特性の観点から $a-Si$ TFTがLCD応用に十分な特性を有することを明らかにする。加えて、 $a-Si$ とゲート絶縁膜界面の評価に応用が可能な表面弾性波を用いる方法について言及する。次に、従来のMOSFETの基板バイアス効果と対応づけられるバックバイアス効果について記す。

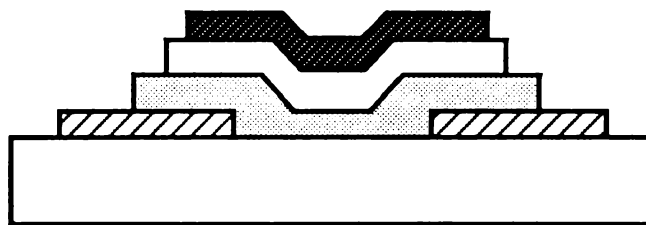
また、 $a-Si$ TFTがほかの半導体材料(例えば $p-Si$)を用いたTFT



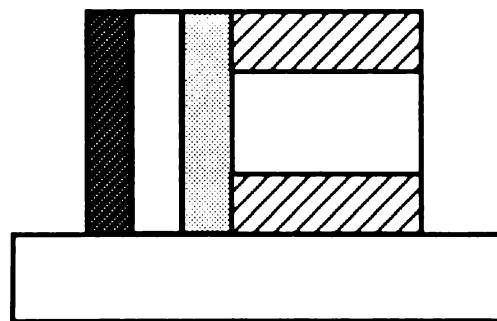
(a) コプレーナ型



(b) 逆スタガ型 (ボトムゲート)



(c) スタガ型 (トップゲート)



(d) 縦型

図2.1 a-Si TFTの代表的な構造

| | | | |
|---|--------------|--|-----------|
|  | a-Si |  | Insulator |
|  | Source-Drain |  | Gate |

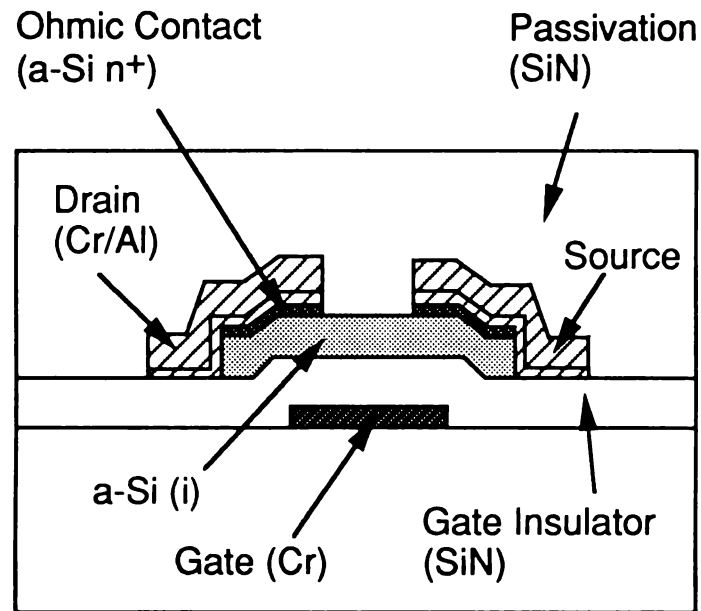
に比べて優れている点は、オフ電流が小さいことである。これは、第5章に述べるように、LCD駆動において高コントラストの表示画像を得るために必須の条件である。現在、アクティブマトリクス型LCDにa-Si TFTが最も良く用いられている⁷⁾理由のひとつがこの低オフ電流であると言えることができる。ここでは、オフ電流を低く保つために重要なプロセスであるn⁺オーミックコンタクト層のエッチングに関して得られた知見と、TFTへの光照射によるオフ電流の増大に関する検討結果について述べる。

最後に、オン電流を改善できる新しいTFTの構造について記す。a-Si TFTは、電界効果移動度が $0.3 \sim 0.8 \text{ cm}^2/(\text{Vs})$ と低い。現状では、素子形状をある程度大きくしてオン電流を確保している。もちろん、現在の水準であっても対角10"程度のLCDパネルは十分に達成可能である。しかし、将来のLCDの高精細化(10⁶画素以上)や大面積化(対角20"以上)に対しては、TFTの高い電流駆動能力が極めて重要になってくる。この観点から、従来の約3倍以上のオン電流の実現が可能であり、しかもしきい値電圧ドリフト量の小さい構造として、埋込2重ゲート構造を考案し、その動作を素子試作によって検証した。その結果をまとめる。

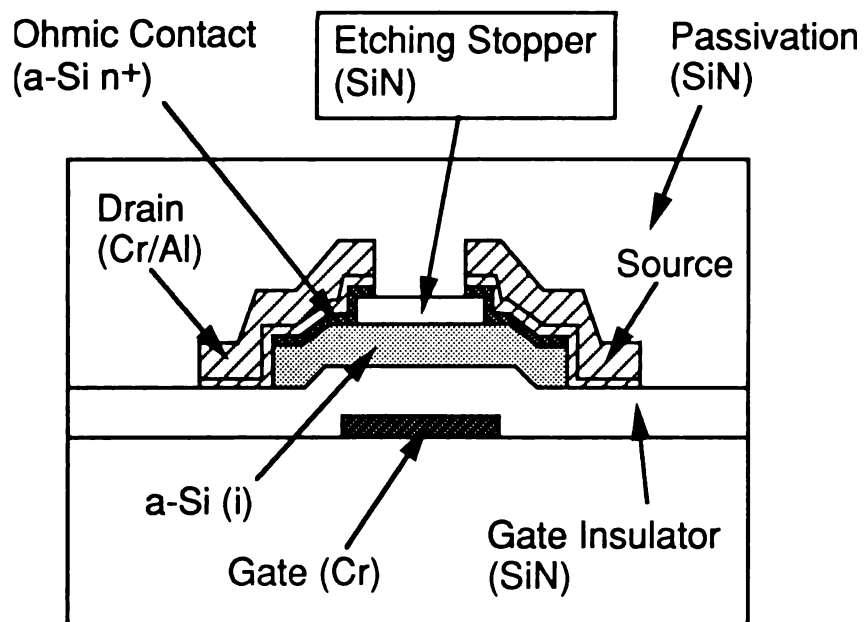
2. 2 a-Si TFTの構造と作製方法

2. 2. 1 構造

逆スタガ構造のTFTを更に細分すると2種類ある。それらを図2. 2に示す。同図I型はa-Si層、n⁺層を連続的に堆積する方式^{8~10)}であり、II型はゲート絶縁膜、a-Si層、エッチング防止用絶縁膜層の順に堆積する方式^{11~14)}である。I型とII型とでは、それぞれに利害得失がある。I型の特徴は、構造が簡単で作製が容易なことにある。II型のTFTの場合よりは堆積膜数が少ないので、パターニング工程もひとつ少なくてすむ。これに対し、II型のTFTの場合は、a-Si層を数10 nm程度まで薄くでき、光電流を低く抑制できる¹⁵⁾という利点がある。すなわち、n⁺層をエッチングするときに、エッチング防止用絶縁膜層がi層を保護してオーバエッチングを防止することができる。一方、I型の場合は、n⁺層のエッチングに続きi層を数10 nm程度エッチングする必要がある。¹⁶⁾これは、2. 5. 1節に詳しく述べるように、n⁺層からi層への隣拡散が生じて、背面部のi層が低抵抗化するためである。したがって、あらかじめこのエッチング量とその分布を見込んでi層を堆積する必要がある、その膜厚をII型ほど薄くすることができない。



(a) I型



(b) II型

図2.2 逆スタガ型a-Si TFT

本研究では、作製プロセスが簡単な点に重きをおいて、窒化シリコン (SiN) 膜をゲート絶縁膜とする I 型の TFT を検討する。

2. 2. 2 作製プロセス

図 2. 3 に I 型 a-Si TFT の作製プロセスを示す。

基板は、Corning 社製 7059 ガラスを使用した。この基板の上に、通常のホテルソグラフィ工程を用いて、厚さ約 $0.2\ \mu\text{m}$ の Cr によりゲート電極を形成する。次に、 SiH_4 , NH_3 , N_2 の混合ガスを用いて、容量結合型グロー放電 CVD 法により SiN 膜を $0.3\ \mu\text{m}$ 堆積する。次に、CVD 装置の真空を破らずに水素希釈の SiH_4 を使用して、a-Si 膜 (i 層) を $0.1\sim 1\ \mu\text{m}$ 堆積する。ここで i 層とは、不純物をドーピングしないという意味で便宜上用いるものである。実際は、バンドギャップ ($\sim 1.7\ \text{eV}$) の中心から伝導帯側に $0.15\ \text{eV}$ 程度のところにフェルミ準位が存在し、膜の導電性は弱い n 型である。さて、i 層堆積に続き、なおも真空を保ったままオーミックコンタクト用の n^+ 層を $0.04\ \mu\text{m}$ 堆積する。材料ガスは SiH_4 , PH_3 , H_2 の混合ガスである。 PH_3 濃度は $0.5\sim 1\%$ である。

以上の SiN, i, n^+ の 3 層を CF_4 プラズマによりドライエッチングして、島状パターンを形成する。次に、Cr, Al をこの順に蒸着しパターン化して、ソース・ドレイン電極を形成する。この後、ソース・ドレイン電極をマスクにして、 n^+ 層をエッチングする。最後に、特性安定化のための SiN のパッシベーション膜を $1\sim 1.5\ \mu\text{m}$ 堆積して TFT は完成する。

CVD 装置の概略を図 2. 4 に示す。反応室の寸法は $380\ \phi\times 600\ \text{h}$, カソード電極 $235\ \phi$, アノード電極 $300\ \phi$, 電極間隔は $50\ \text{mm}$ である。シースヒータをステンレス板で挟んでアノード電極下に設置し基板加熱に用いる。これにより、 $\sim 400^\circ\text{C}$ までの加熱が可能である。アノード電極上の膜厚分布は $\pm 5\%$ 以内が確保されている。膜堆積時の反応室のガス圧力はガス流量と排気速度の兼ね合いで決まる。i 層の場合のガス圧力は、 $1.0\ \text{Torr}$ である。高周波電源は、発振周波数が $13.56\ \text{MHz}$ であり最大出力は $250\ \text{W}$ である。i 層堆積時のパワーは $20\ \text{W}$, 堆積速度は $\sim 1\ \text{\AA}/\text{s}$ である。

さて、上記の作製プロセスにおいて、まずプロセスの最高温度がたかだか 400°C であることが重要である。これにより安価なガラス基板を使用することができ、LCD のコスト低減が可能となる。また、a-Si の大面積にわたる堆積の均一性も重要である。a-Si が p-Si に比べて、TFT の半導体材料として広範に実

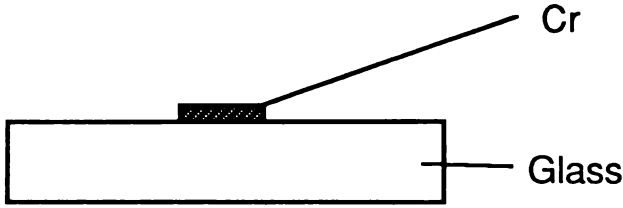
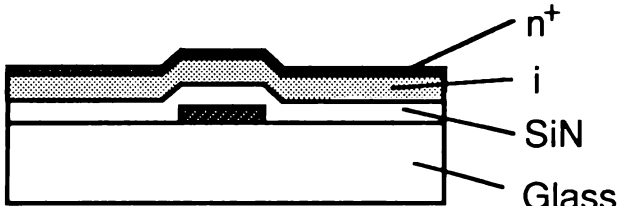
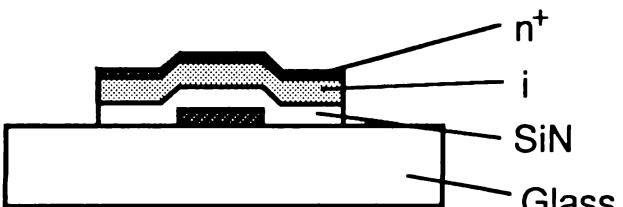
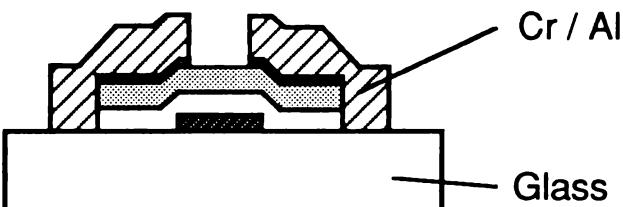
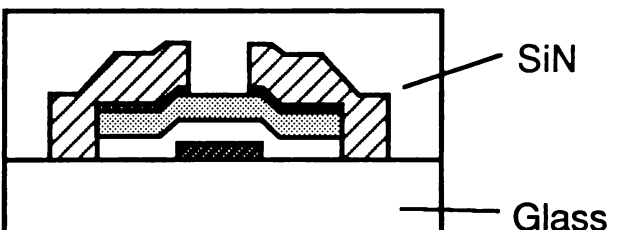
| | |
|--|--|
| <p>1. Cr Deposition</p> <p>2. Photolithography (Gate Patterning)</p> |  <p>Cr</p> <p>Glass</p> |
| <p>3. SiN and a-Si ($i + n^+$) Deposition</p> |  <p>n^+</p> <p>i</p> <p>SiN</p> <p>Glass</p> |
| <p>4. Photolithography (Formation of Si Island)</p> |  <p>n^+</p> <p>i</p> <p>SiN</p> <p>Glass</p> |
| <p>5. Cr and Al Deposition</p> <p>6. Photolithography (Source and Drain Patterning)</p> <p>7. n^+a-Si Etching</p> |  <p>Cr / Al</p> <p>Glass</p> |
| <p>8. SiN Deposition</p> |  <p>SiN</p> <p>Glass</p> |

図2.3 a-Si TFTの作製プロセス

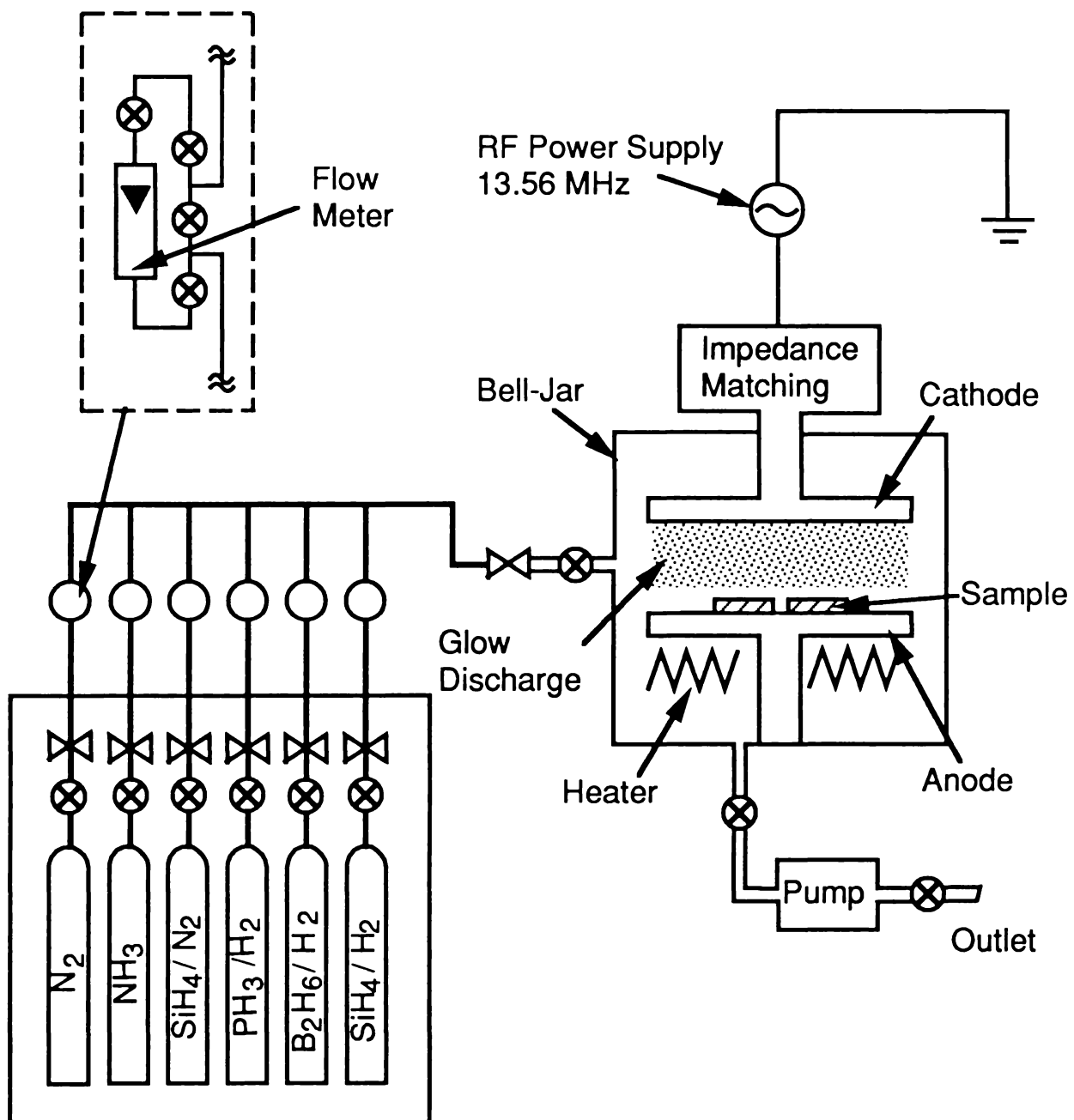


図2.4 CVD装置の概略図

用化されているのは、これらの理由にもよることを言及しておく。

2. 3 a-Si TFTの特性と評価

2. 3. 1 測定系及び測定方法

TFTの特性評価は、主として暗状態での静特性を測定することにより行った。電流電圧特性の測定では、ゲート電圧 V_g として階段状の掃引電圧を印加し、定常値となったドレイン電流 I_d (I_d-V_g 特性) を計測した。ドレイン電圧 V_d , ソース電圧 V_s としては、通常、それぞれ 10 V, 0 V を用いた。電流計には、HP 社製 4140B を使用した。ゲートに加える階段状の電圧のステップ電圧とその保持時間としては、ドレイン電流の過渡的な変化が無視できることを確認した上で、それぞれ 0.5 V, 10 秒に設定した。その他の特性としては、掃引電圧をドレイン電極に印加して、 I_d-V_d 特性も評価した。また、TFT と同時に形成した SiN/a-Si MIS (Metal Insulator Semiconductor) 容量の容量電圧特性 ($C-V$ 特性) も調べた。

2. 3. 2 基本特性

図 2. 5 に標準プロセスで試作した a-Si TFT の基本的な I_d-V_g 特性を示す。TFT のチャネル幅 W は $500\ \mu\text{m}$, チャネル長 L は $10\ \mu\text{m}$, ドレイン電圧は 10 V である。それぞれゲート電圧 10 V と -5 V におけるドレイン電流で定義されるオン電流 I_{on} ($=1.5 \times 10^{-5}\ \text{A}$ すなわちオン抵抗 $R_{on}=6.7 \times 10^5\ \Omega$) とオフ電流 I_{off} の比は、約 10^8 に達する良好な特性である。また、 I_{off} は $10^{-13}\ \text{A}$ (オフ抵抗: $R_{off}=10^{14}\ \Omega$) と低く抑えられている。これらの値は、アクティブマトリクス LCD におけるスイッチング素子に課せられる条件として文献 2 に記された仕様値 ($R_{on} < 9 \times 10^6\ \Omega$, $R_{off} > 3 \times 10^9\ \Omega$, $I_{on}/I_{off} > 300$) を十分に満たすものである。著者らの解析に基づくより詳しく厳しい条件は第 5 章に明らかにするが、それに対しても上記の特性は十分に満足の行くものであり、LCD 応用に好適である。

a-Si TFT の構造は、結晶シリコンによるコプレーナ型の MOSFET とは大きく異なるものの、特性の解析は同様に行うことができる。¹⁾ 例えば、上記の I_d-V_g 特性において、従来の MOS 特性のグラデュアルチャネル近似を適用することができる。それによれば、特性の飽和領域すなわち $V_d \geq V_g - V_t$ の電圧範囲では、

$$I_d = (\beta_0/2)(V_g - V_t)^2 \quad \dots\dots\dots (2.1)$$

$$\beta_0 = (W/L)\mu C_i \quad \dots\dots\dots (2.2)$$

が成り立つが、a-Si TFTの特性もこれに良く従う。ここに、 V_t はTFTのしきい値電圧、 μ は電子の実効移動度、 C_i は単位面積あたりのゲート絶縁膜容量である。したがって、この関係を用いて $(I_d)^{1/2}$ と V_g の線形近似を行い、その係数と V_g 軸との切片よりそれぞれ μ と V_t を求めることができる。図2.5の特性についてそれらの値は、それぞれ $0.42 \text{ cm}^2/(\text{Vs})$ 、 0.4 V である。また著者らの経験によれば、これらの値は、それぞれ $0.5 \pm 0.1 \text{ cm}^2/(\text{Vs})$ 、 $1.5 \pm 1.2 \text{ V}$ の範囲に大部分収まることが知られている。スイッチング特性としては、サブスレシールド領域のテイル係数 $\partial V_g / \partial \log_{10}(I_d)$ が重要である。図2.5でのこの値は、 0.3 V/decade であり標準的な値である。¹⁷⁾ なおテイル係数には、a-Siのギャップ内準位分布が強く反映することを第3章で論じる。

図2.6は、 $I_d - V_d$ 特性の例である。飽和領域でのドレイン電流のゲート電圧依存性は、 $V_g - V_t$ の2乗にはほぼ比例しており、速度飽和¹⁸⁾による飽和電流の減少は見受けられない。その他この例では、非飽和領域($V_d \leq V_g - V_t$)での線形性が良好である。一方、a-Si膜厚が $\sim 0.4 \mu\text{m}$ より大きくなると、この直線性が下に凸の曲線に変わって特性曲線がS字型になる現象が生じることを確認している。この現象は、スタガ型TFTに特徴的な電流経路に起因する。すなわち、ソース・ドレイン電極とゲート電極のオーバーラップ部において、a-Siを膜厚方向に横切る部分での寄生抵抗に起因する。¹⁹⁾ 詳細な解析は、3.3節に述べる。

ところで、既に述べたように、a-Si TFTはnチャネルの絶縁ゲート型電界効果トランジスタである。a-Si自体は弱いn型であるので、a-Si TFTは多数キャリアを利用するデバイスである。したがって、少数キャリアを用いる従来のMOSトランジスタの解析で重要な「反転層の形成」という概念は、TFTの特性解析に直接流用できないことに注意が必要である。しきい値電圧の定式化もTFT独自に進めねばならない。現状では、これらの解析は必ずしも十分ではなく、今後の検討が望まれるところである。

2.3.3 温度特性

TFTのLCD応用を考えた場合、その使用温度範囲は $0 \sim 50^\circ\text{C}$ 程度であるので、少なくともこの温度範囲での特性変化を調べておく必要がある。図2.7は、

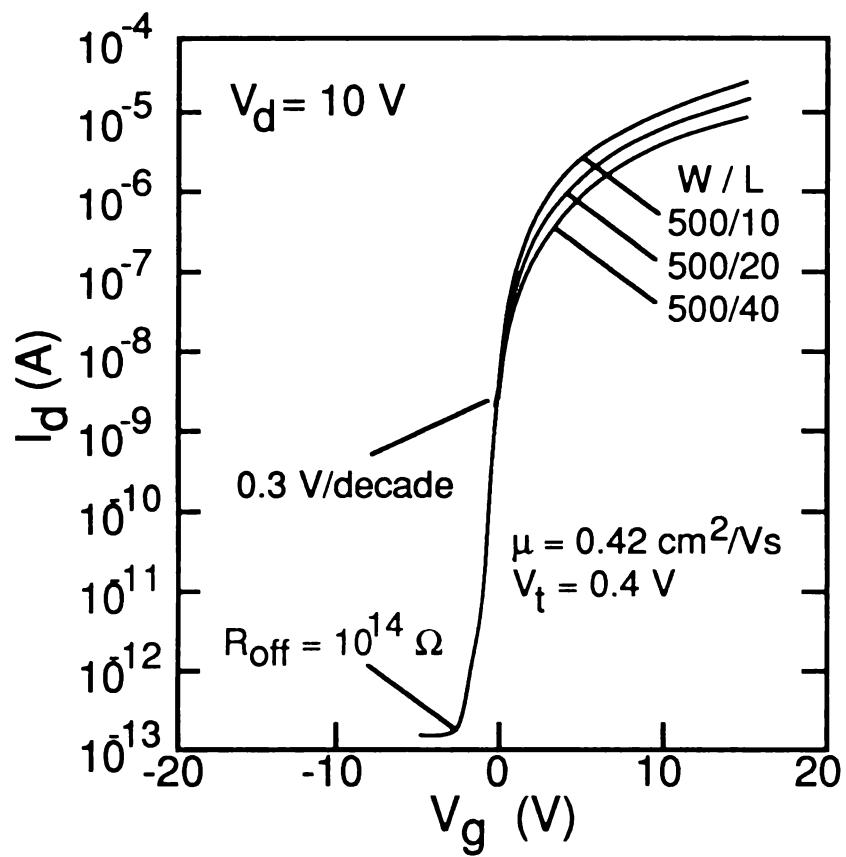


図2.5 a-Si TFTの $I_d - V_g$ 特性

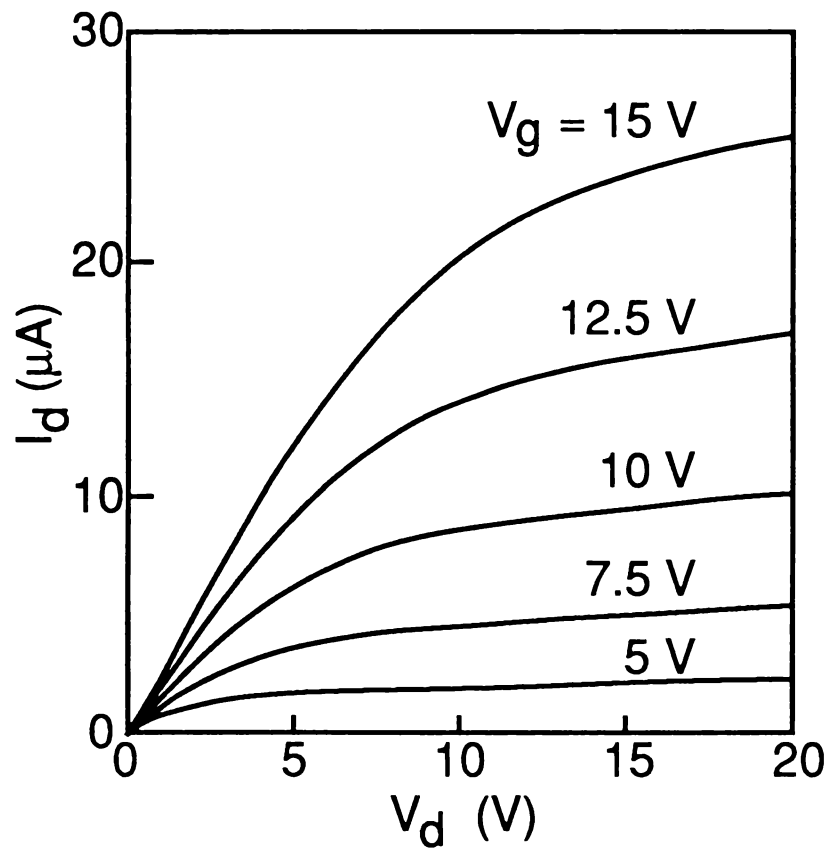


図2.6 a-Si TFTの $I_d - V_d$ 特性

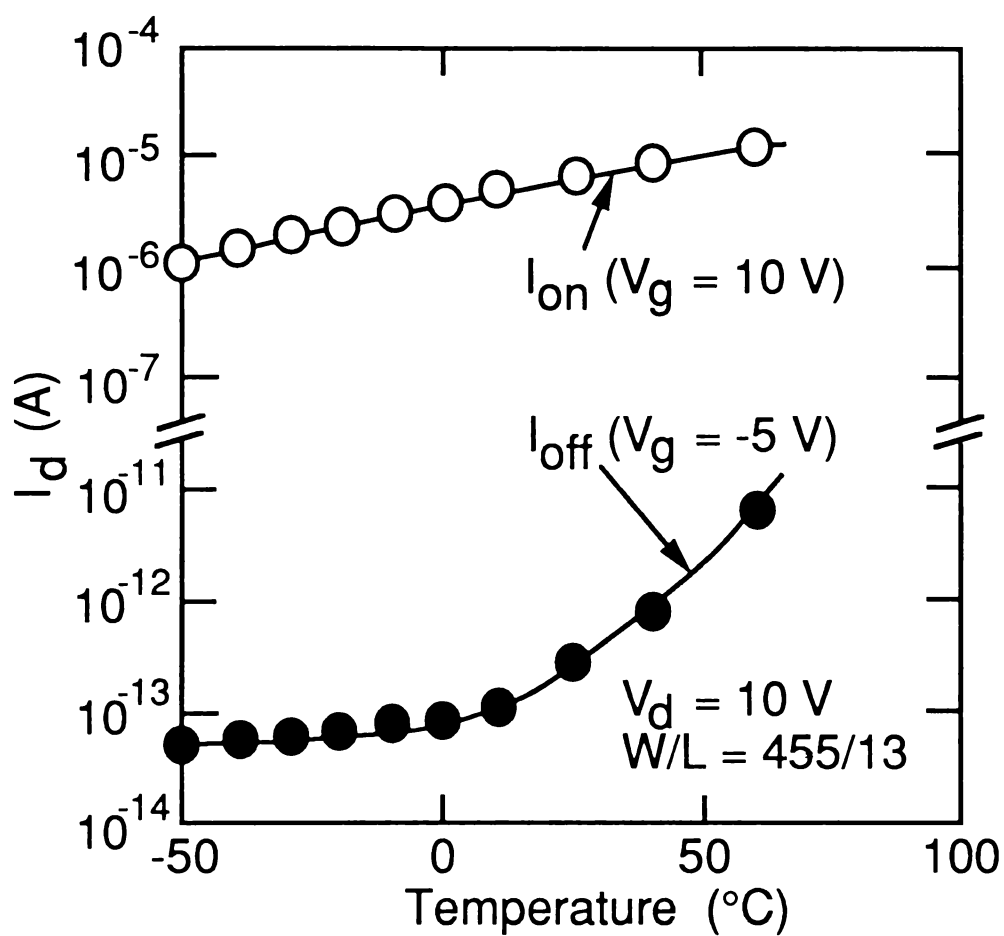


図2.7 オン電流,オフ電流の温度依存性

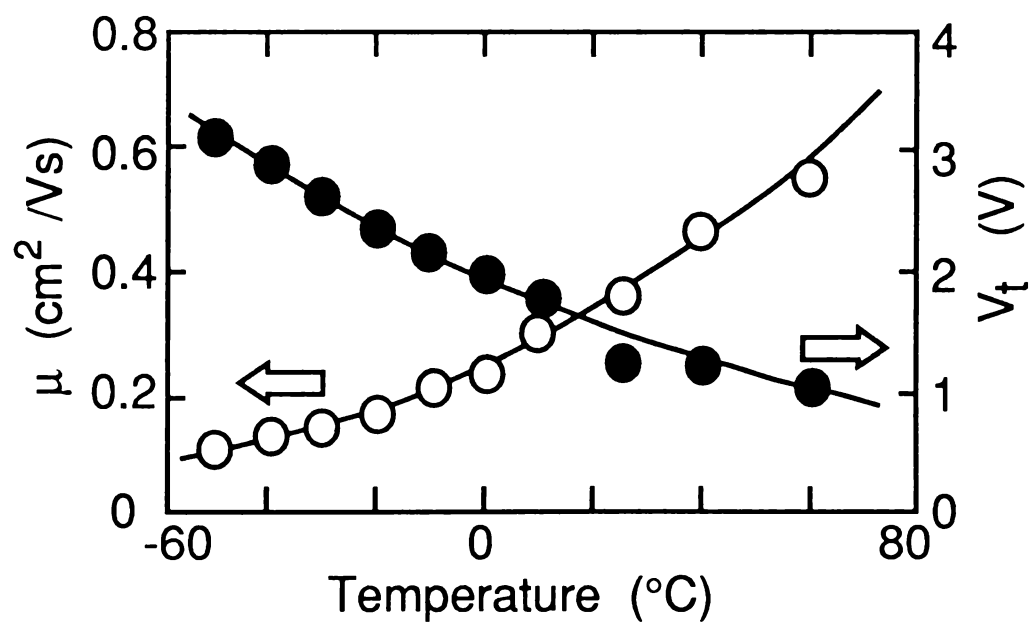


図2.8 しきい値電圧,移動度の温度依存性

オン電流，オフ電流の温度依存性である。低温域でのオン電流の減少，高温域でのオフ電流の増大が特徴的であるが，これらは第5章に明らかにする要求仕様の範囲内の変化であり問題とはならない。なおオン電流の変化については，図2. 8に示すように V_t と μ の変化によって説明される。すなわち，温度上昇に伴って V_t が減少し μ が増加するためにオン電流が増加することになる。

V_t の温度変化については，結晶SiによるMOSトランジスタと同様に¹⁸⁾ フェルミエネルギーが温度と共に上昇することによると考えられるが，上にも述べたように V_t の定式化が不十分であり解析はできていない。結晶SiによるMOSトランジスタでは，この温度変化の係数は $-2 \sim -4 \text{ mV}/^\circ\text{C}$ であるが，図2. 7の結果は約 $-16 \text{ mV}/^\circ\text{C}$ と大きいことが特徴である。a-Siのギャップ内状態密度を仮定した特性シミュレーションによっても V_t の同様の温度依存性が得られることを3. 4. 5節に述べる。

μ については，調べた温度範囲で次式で表される活性化型（活性化エネルギー 0.13 eV ）の変化をする。

$$\mu = A \exp(-0.13[\text{eV}]/kT) \quad \dots\dots\dots (2.3)$$

ここに k はボルツマン定数， T は絶対温度である。この移動度の温度依存性は，a-Siのいわゆる多重トラップ伝導という²⁰⁾ 伝導機構に起因するものである。結晶SiによるMOSの場合は，温度上昇に伴って格子散乱の効果が支配的になり， μ が減少することを考えると，上記の結果は特徴的である。

2. 3. 4 表面弾性波による a-Si の移動度評価

本節の最後に，TF Tのデバイス特性の評価法として a-Si 膜中の電子移動度の評価法について検討した結果の概略を記す。²¹⁾ それは，表面弾性波（以下SAW：Surface Acoustic Wave）法と呼ばれるもので，Adlerら²²⁾ が考案し，Fritzsche²³⁾ が理論付けを行った評価法である。SAW法によれば，膜面に平行な方向の電子移動度を得ることができるので，従来の評価法であるTime-Of-Flight（TOF）法²⁴⁾ が膜厚方向の電界に応じた電気伝導を対象であることに比べ，TF T特性改善に関して，より直接的な評価が可能であると考えられる。しかも，下記のように，SAW法は極めて簡便な実験系で実現でき，SiN/a-Si構造の評価にも応用が可能であるので，デバイス性能の向上のための有効な評価手段となり得る。ここでは，従来，必ずしも十分でなかったSAW法の妥当性について筆者らが行った検討結果を述べる。²¹⁾

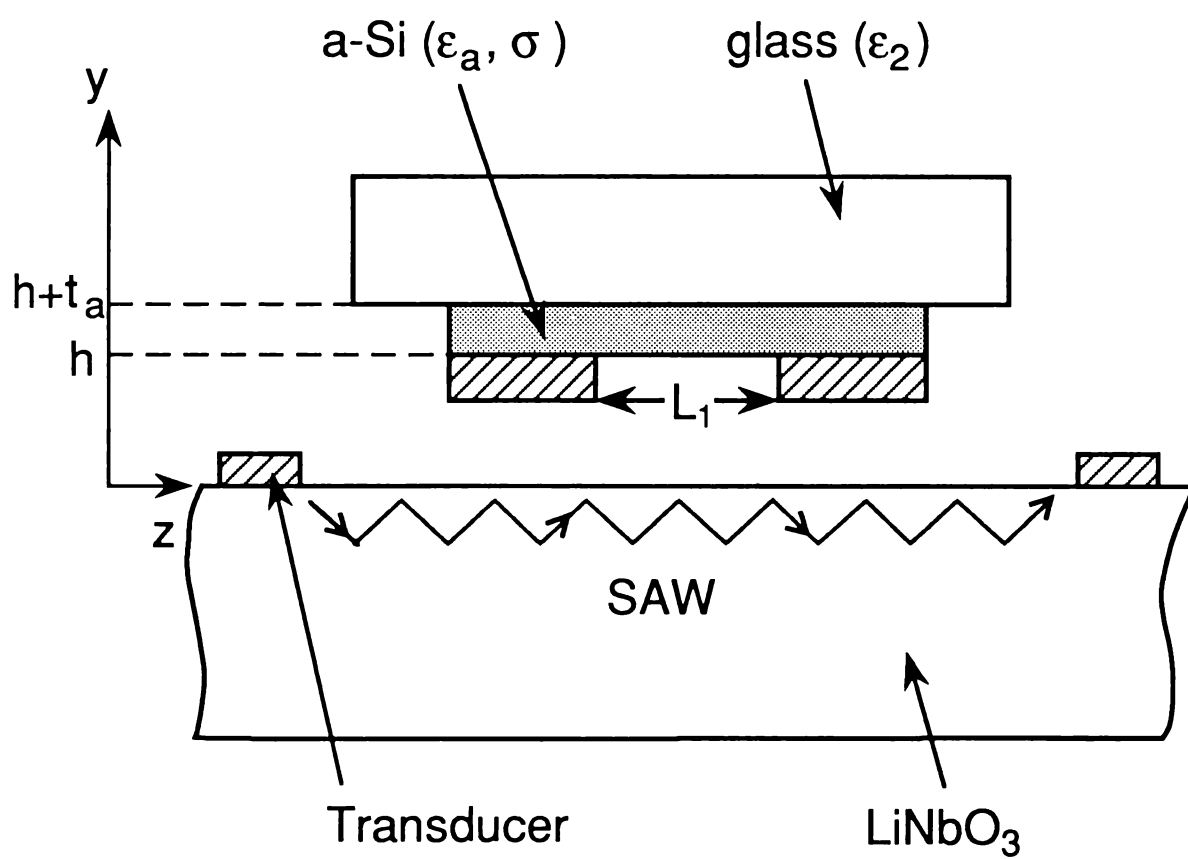


図2.9 SAW法の実験系

SAW法の実験系を図2. 9に示す。LiNbO₃基板上距離 h のところにa-Si膜を設置する。この状態でLiNbO₃基板に作製したトランスデューサにrfパワーを加えると、基板表面を表面弾性波(Rayleigh波)が進行し、それに伴う電界がa-Si中に侵入する。この進行電界により、a-Si中の電荷は掃き寄せられ、a-Si表面に距離 L_1 を隔てて形成された電極間に、直流の開放電圧 V_{ae} が発生する。この電圧 V_{ae} とキャリアのドリフト移動度 μ_d は次の関係で結ばれる。²³⁾

$$V_{ae} = \mu_d k \phi^2 L_1 g / 2 v \quad \dots\dots\dots (2. 4)$$

ここに、 v 、 k 、 ϕ はそれぞれ表面弾性波の速度、波数、及び表面弾性波に伴う電位ポテンシャルの振幅である。因子 g は、減衰係数と呼ばれるものであり、a-Si内の電界とLiNbO₃基板表面の電位を結び付ける。 g の表式は、

$$g = (1 / k t_a) [(|A|^2 + |B|^2) \cosh(k t_a) \sinh(k t_a) - 2(A \cdot B) \sinh^2(k t_a)] \quad \dots\dots (2. 5)$$

となる。ここに、 t_a はa-Si膜厚である。 A 、 B は、a-Si中の電位ポテンシャルの複素振幅であり、a-Si膜の電気伝導度 σ 、SAW周波数 ν 、ギャップ h 、及びa-Siとガラス基板の誘電率 ϵ_a 、 ϵ_2 の関数である。²³⁾

さて、多重トラップ理論によれば、ドリフト移動度 μ_d は伝導帯における移動度 μ_c と次の関係で結ばれる。

$$\mu_d = \mu_c n_C / (n_C + \Delta n_T) \quad \dots\dots\dots (2. 6)$$

ここに n_C 、 Δn_T は、それぞれ自由電子と伝導帯側のギャップ内準位に捕獲された電子の密度である。したがって、SAW周波数や適当なギャップ内準位密度を与えれば、 n_C 、 Δn_T を求めることができる。

上記の関係を用いれば、SAW法の妥当性を検証することができる。すなわち、SAW法の実験により式(2. 4)から求められる μ_d と多重トラップ理論と式(2. 6)から得られる μ_d とを比較することができる。今回は、特にSAW周波数をパラメータとして調べた。

図2. 10は、上記 μ_d の周波数依存性の実験結果と、多重トラップ理論により計算した μ_d の周波数依存性を比較した結果である。

実験では、7059基板上にPH₃を100ppmドーピングしたn型a-Siを基板温度は250℃で0.6μmの厚さに形成した試料を用いた。その他、 $h = 0.6$

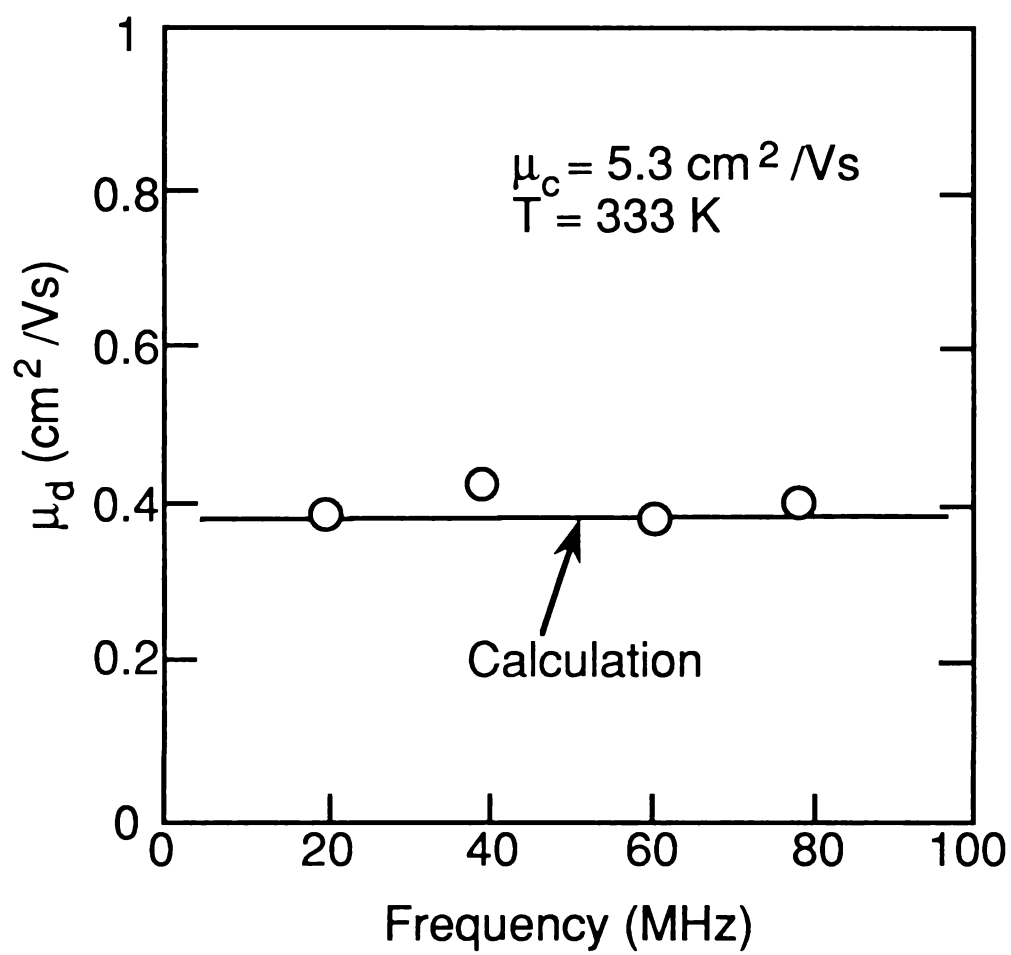


図2.10 ドリフト移動度の周波数依存性

μm , SAWパワーは $0.2 \sim 0.4\text{ W}$, 及び周波数範囲は $20 \sim 80\text{ MHz}$ である。計算では, μ_c を $5.3\text{ cm}^2/(\text{Vs})$ としたが, a-Siの μ_c の値としては許容され得る値である。²⁰⁾ 上の範囲で, 周波数依存性が小さいことを含め, 両者の一致は極めて良く, SAW法による μ_d の評価の妥当性が十分に示されていると考えられる。加えてこの結果は, TOF法による膜に垂直な方向のドリフト移動度と一致し, さらに 90 K 以上の温度領域でSAW法とTOF法はほぼ同じ結果を与えることも分かっている。²⁵⁾

以上, 将来技術としてTFTのオン特性の向上に不可欠となるであろう評価法について簡単に述べた。今後, a-Si膜の物理的, 電氣的性質に基づくデバイス設計技術の必要性が増すのに伴い, この評価法の重要性が増すものと考えられる。

2. 4 バックバイアス効果

本節では, TFTのa-Si層についてチャネルの形成されない表面, すなわちソース・ドレイン電極間のa-Siとパッシベーション膜との界面(以下a-Si背面)の電氣的な条件が特性に及ぼす影響について述べる。²⁶⁾ この界面の電位は, コプレーナ型MOSの基板バイアスに対応づけられるが, その効果については余り良く知られていない。関連する情報としては, ポリイミドによるパッシベーション膜により, 上記の界面に電荷が蓄積されサブスレシールド特性が劣化するという報告²⁷⁾がある程度である。ここでは, 図2. 11に示すような従来のTFTにバックゲートを付加したデュアルゲートTFT²⁸⁾を作製し, そのバックゲートに加える電圧 V_{bb} (バックバイアス)が特性に及ぼす効果を調べた。

a-Siの厚さ t_a が $0.12\text{ }\mu\text{m}$ のTFTについて, V_{bb} をパラメータとして $I_d - V_g$ 特性を測定した結果を図2. 12に示す。 $V_{bb}(\neq 0\text{ V})$ を印加するとオン電流, オフ電流ともに大きく変化し, 同時にサブスレシールド特性が劣化するのが分かる。 V_{bb} の -20 V から 20 V の変化に対し, オフ電流はいったん減少して $V_{bb}=0\text{ V}$ 近辺で最小値をとった後, 急激に増大する。これは, 次のように解釈される。バックバイアスは, a-Si背面におけるa-Siのバンド曲がりの変調を通じ, この界面を流れる電荷の流れを制御する。 $V_{bb}=0\text{ V}$ ではオフ電流は低く保たれ, バックゲートが無いときと同じレベルになる。一方, $V_{bb} \neq 0\text{ V}$ では, a-Si背面を流れる電荷がオフ電流の支配的な成分になる。 $V_{bb} < 0\text{ V}$ では, 多数キャリアは正孔であり, a-Siのバンドが上方へ大きく曲がるにつれオフ電流は増大する。 $V_{bb} > 0\text{ V}$ では, 多数キャリアは正孔から電子に変化するが, やはりa-Siのバンド曲がりが大きくなるに従いオフ電流は増大する。

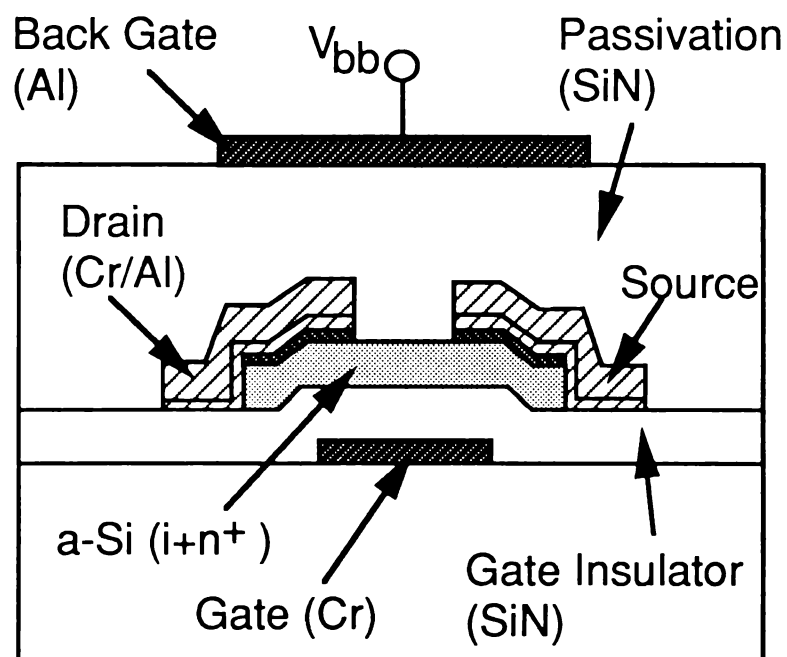


図2.11 デュアルゲートa-Si TFT

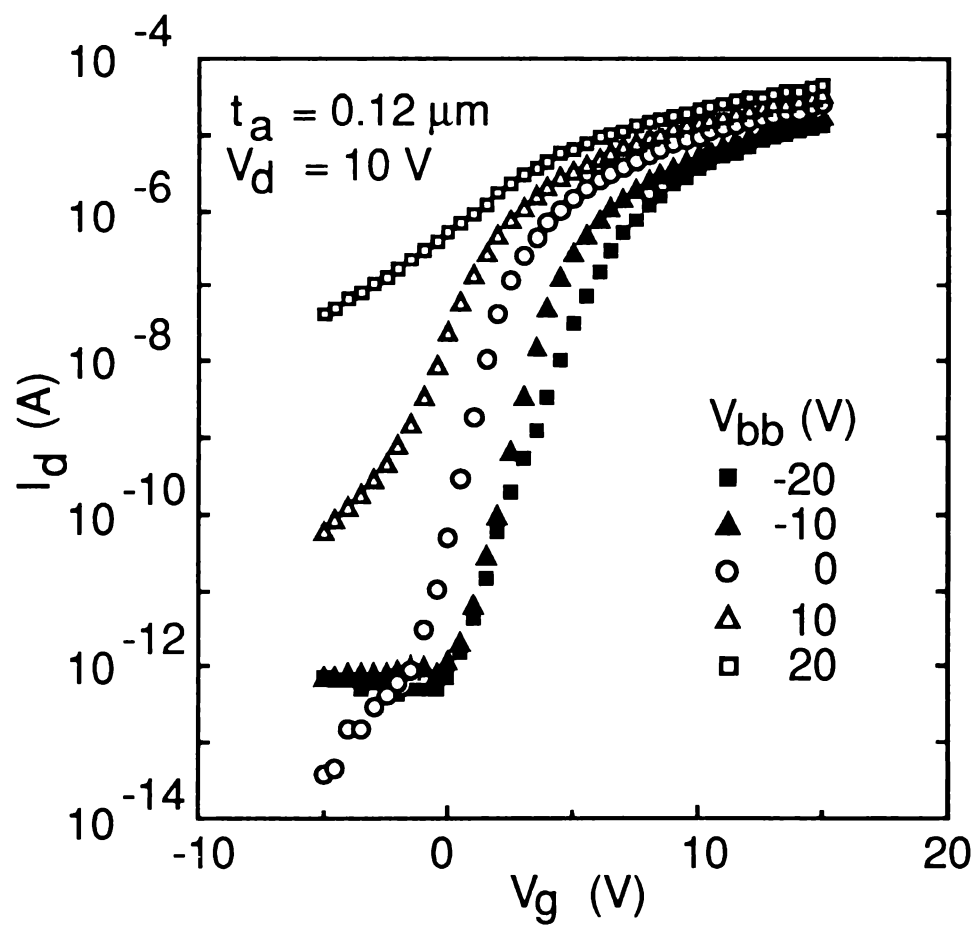


図2.12 デュアルゲートa-Si TFTの $I_d - V_g$ 特性 ($V_{bb} = \text{一定}$)

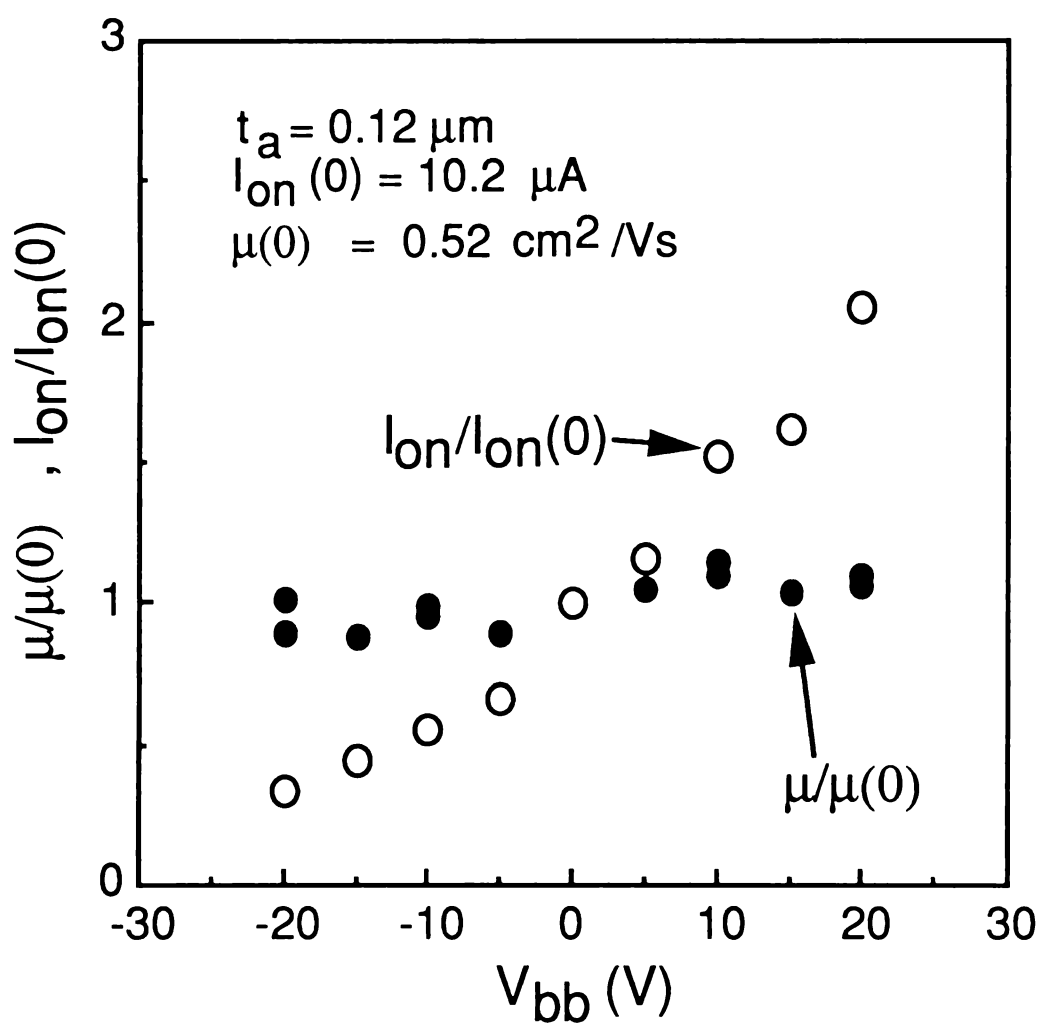


図2.13 規格化したオン電流, 移動度のバックバイアス依存性

V_{bb} の符号によって増大の程度が異なる原因としては、(1) a-Si 中の正孔は電子より 2 桁ほど移動度が小さいこと、(2) TFT には i 層への電子注入を促進する n^+ 層が存在することなどが考えられる。

オン電流の変化をより詳しく示したのが図 2. 13 である。オン電流は、 $V_{bb} = 0$ V のときの値 $I_{on}(0)$ ($= 10.2 \mu A$) を基準に規格化してある。 V_{bb} が -20 V から 20 V まで変化するとき、オン電流は 6 倍以上の増大を示す。同図には、同様の規格化をした移動度の V_{bb} 依存性も記してある。これによれば、上記のオン電流の増大効果が、移動度の増大によってもたらされるのではないことが明らかである。このオン電流の増大効果は、実は V_t の変化に起因するものである。図 2. 14 に V_t の V_{bb} 依存性を示す。 V_t は、 V_{bb} が正 (負) 方向に動くとき負 (正) 方向に動くことが分かる。この電圧シフトは、 $I_d - V_g$ 特性のオン電流領域が平行移動することに対応する。これは、バックバイアスにより制御される a-Si 背面の電位が、TFT の正規のチャネル界面の電位に影響を与えるために生じる。この現象は、従来の MOS の基板バイアス効果に類似するものである。¹⁸⁾ そこで便宜上、この効果をバックバイアス効果と呼ぶことにする。

バックバイアス効果の程度は、a-Si 膜厚に依存する。すなわち、容易に推測されるように、a-Si 膜厚が大きくなるとバックバイアスが正規のチャネルに及ぼす効果は減少する。図 2. 14 には、a-Si 膜厚が $0.79 \mu m$ の場合の $V_t - V_{bb}$ 関係も記されており、この推測の正しさが示されている。調べた V_{bb} の範囲では、 $|dV_t/dV_{bb}|$ はほぼ一定である。この値を a-Si 膜厚についてプロットしたのが図 2. 15 である。

現時点では、 V_t 値自身の定式化が不十分なために、上記のような a-Si 膜厚依存性を含めた一般的なバックバイアス効果の定式化には至っていない。将来、TFT のモデルの精度向上に伴い、この効果もシミュレートが可能になると期待される。

さて、上記のようにバックバイアス効果の機構解析は未完成であるものの、これらの結果は、従来の TFT の特性に関する報告^{27, 28)} を説明する 2 つの知見を与える。(1) バックバイアス効果は、デュアルゲート TFT を $V_g = V_{bb}$ として駆動する、いわゆるデュアルゲート駆動において見いだされたオン電流の増大効果²⁸⁾ を説明する。この増大効果は、 $I_d - V_g$ 測定を行っているときにバックバイアスが時々刻々変化するため、 V_t 値がそれに応じて負方向に変化し、結果的にオン電流が増大するように見える現象であると解釈できる。(2) a-Si 背面の固定電荷は、その起源が何であっても $I_d - V_g$ 特性に劣化を来す。ポリイミドから成る

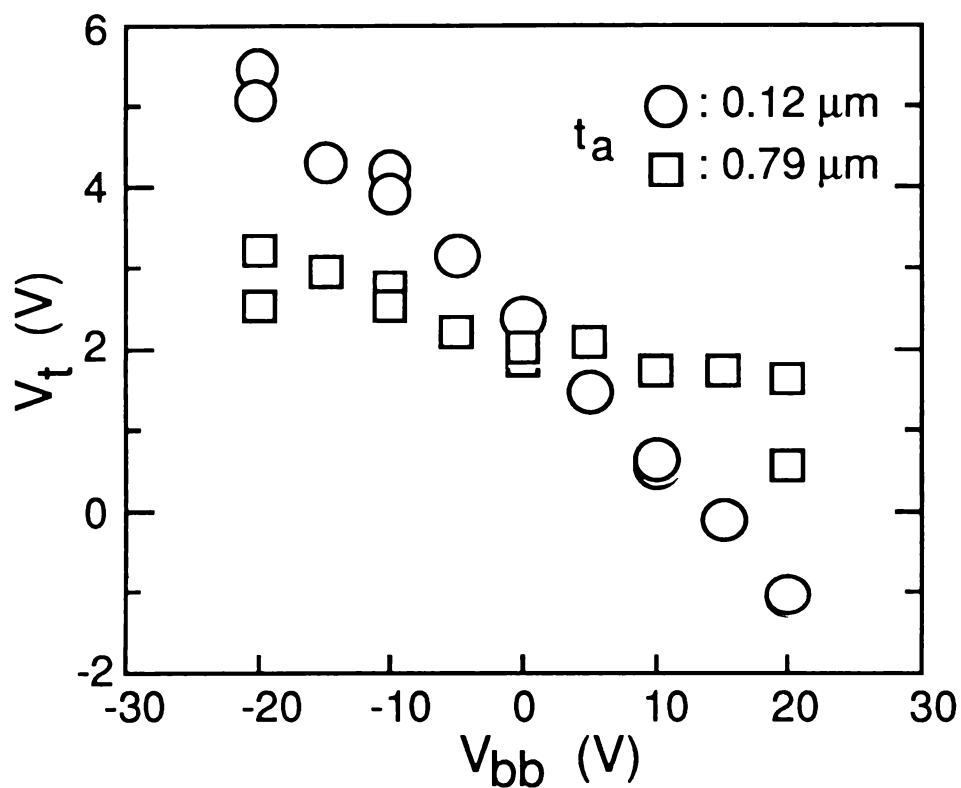


図2.14 しきい値電圧のバックバイアス依存性

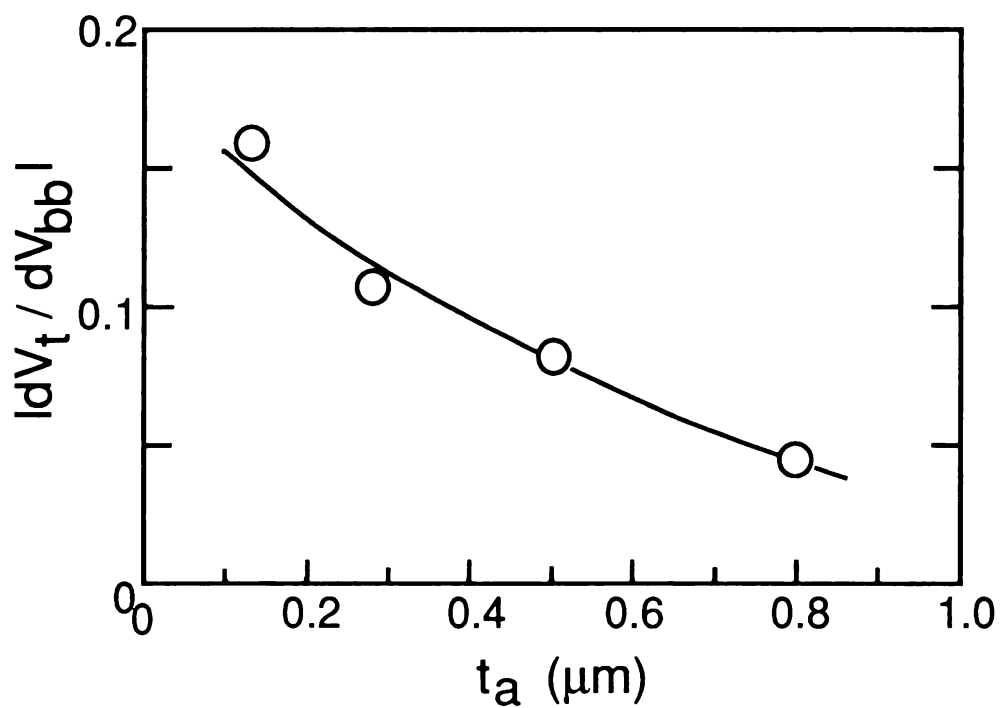


図2.15 バックバイアス効果のa-Si膜厚依存性

パッシベーション膜によるサブスレシールド特性の劣化の実験結果とその解釈²⁷⁾は、図2. 12の結果と良く一致する。また、通常の素子試作においては図2. 12のごときオフ電流の増大は生じないが、これはa-Si背面の電位が0 V近辺にあることを意味する。

2. 5 TFTのオフ特性の検討

最適化されたプロセス条件により作製されたTFTは、前節のように極めて良好なオフ特性を示す。第5章に述べるようにLCDの表示画質のうち、特にコントラストを良好に保つためには、このTFTのオフ特性を十分に確保することが必須である。それにもかかわらず、オフ特性関連の報告は非常に少ない。²⁹⁾ここではまず、オフ特性を確保するための検討により見いだされた n^+ 層からi層への隣接現象とその効果¹⁶⁾について記し、次に光照射によるオフ電流の増大現象の検討結果³⁰⁾について記す。

2. 5. 1 オフ特性に及ぼす隣接現象の効果

a-Si TFTの試作の初期において、オフ電流は $10^{-10} \sim 10^{-13}$ Aの間で大きくばらつくことが散見され、その原因として次の2つが考えられた。

(1) オーミックコンタクト n^+ 層のドライエッチング時に n^+/i 界面の汚染あるいはプラズマ損傷が発生し、これが2. 4節に述べたバックバイアス効果と同様の効果をひき起こす。(2) チャネル部の n^+ 層が十分にエッチングされていない。(1)については、ドライエッチングだけでなく比較のためウェットエッチングも試みた。また、試料の n^+/i 界面の汚染の程度を質量分析し、オフ電流のばらつきとの相関を調べたが、系統的な結果が得られなかった。そこで(2)に関する検討を行った結果、オーミックコンタクト n^+ 層は、高いオン電流を得るために必要であるものの、³¹⁾ 高いオフ抵抗を確保するためには、ソース・ドレイン電極間の n^+ 層エッチングに続いてi層を幾分か取り除かねばならないことが分かった。以下にその詳細を述べる。

n^+ 層を除去するには、2. 2節に述べたようにソース・ドレイン電極をマスクとしてドライエッチングをすればよい。図2. 16にオフ電流のa-Siエッチング深さ依存性を示す。ここにa-Siエッチング深さには、場合によっては n^+ 層だけでなくi層のエッチング量も含まれる。a-Siのi層と n^+ 層の形成温度はいずれも320℃である。この結果によれば、オフ電流を 10^{-13} Aのレベルに保つために、 n^+/i 界面から更に50 nm程度の深さまでi層をエッチングする必

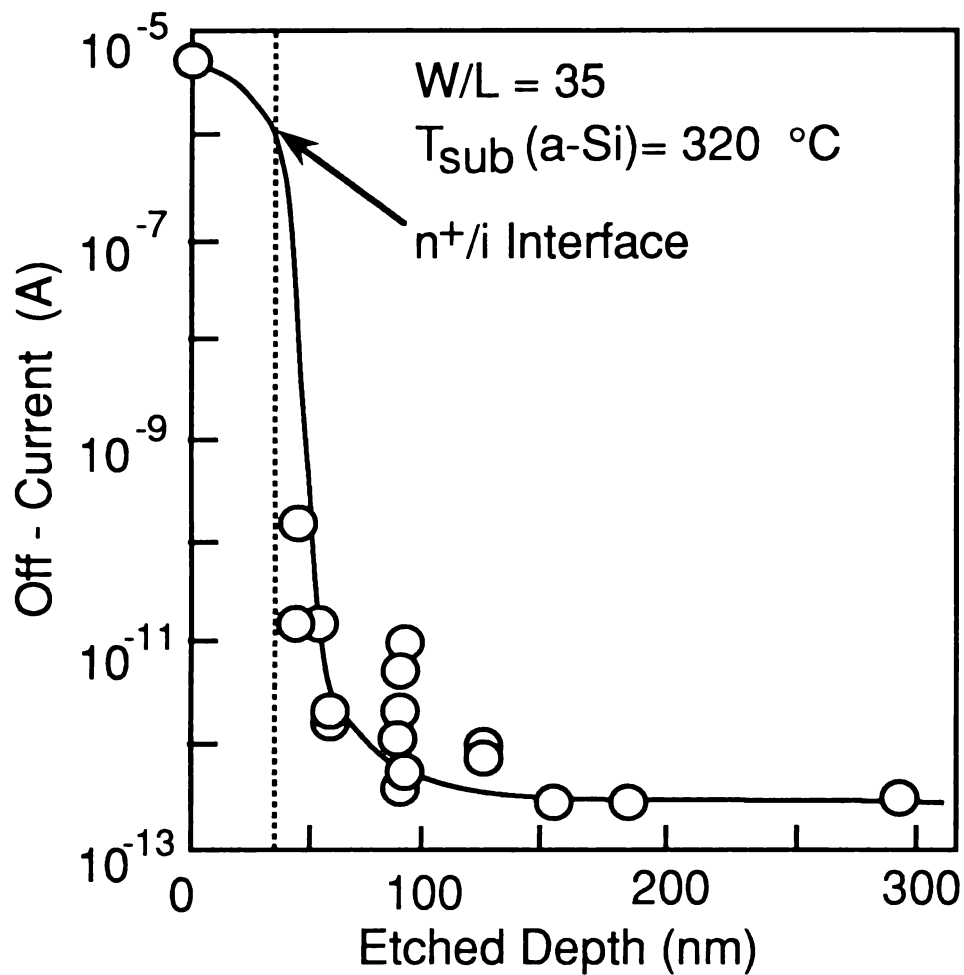


図2.16 オフ電流のa-Si エッチング深さ依存性

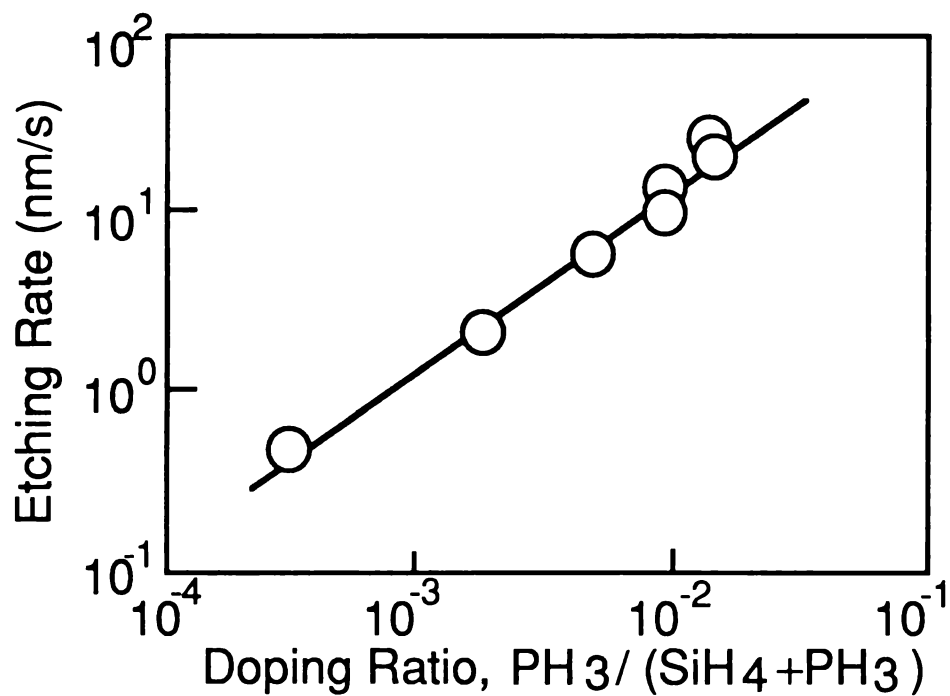


図2.17 燐ドーパa-Siのエッチング速度と PH_3 濃度の関係

要があることが分かる。この原因としては、 n^+ 層から*i*層へ磷拡散が生じ、背面部の $a-Si$ が低抵抗化してオフ特性を劣化させるという仮説が考えられる。以下は、 n^+/i 界面の磷拡散現象についての系統的な検討結果である。

まず、均一に磷ドーブされた $a-Si$ 層のエッチング特性について調べた。

2. 2節に述べたように、 $a-Si$ 層への磷ドーブは、材料ガスの SiH_4 への PH_3 混合によってなされる。このときの PH_3 濃度は、磷ドーブ $a-Si$ のエッチング速度と関係する。この関係を、図2. 17に示す。この場合のエッチングは、 $HF : HNO_3 : CH_3COOH : H_2O$ (3 : 50 : 25 : 40) 溶液を用いて行った。 PH_3 濃度は、薄膜中の磷濃度 N_{ph} と比例するので、図2. 17の結果によれば、エッチング速度 V_E は膜中の磷濃度と線形関係があることが分かる。すなわち、 a を比例定数として、

$$V_E = a N_{ph} \quad \dots\dots\dots (2. 7)$$

と表される。

次に、 n^+/i 堆積構造における*i*層のエッチング特性について調べた。この構造における*i*層中の磷濃度 N_{ph} は、 n^+/i 界面の熱処理の過程に依存して、*i*層の膜厚方向(x 方向)に分布を持つ。そこで n^+/i 堆積後に所定の温度と時間 t_0 の熱処理を施すことにより、上記の分布 $N_{ph}(x)$ を検討した。磷拡散が一般的な拡散方程式に従うと仮定すると、

$$N_{ph}(x) = N_s \operatorname{erfc} [x/2 (Dt_0)^{1/2}] \quad \dots\dots\dots (2. 8)$$

ここに、 N_s は n^+ 層中の磷の初期濃度、 D は磷の拡散係数であり温度の関数である。式(2. 8)を(2. 7)に代入し、エッチング時間にわたって積分すれば、*i*層のエッチング進行特性を計算により求めることができる。

エッチング深さのエッチング時間依存性の実験結果と、上記の手続きによる計算結果を図2. 18に示す。実験に用いたサンプルは、堆積温度230℃で作製した $a-Si$ の n^+/i 構造であり、これを複数個用意した。次に、これらを恒温層で380℃、20分の熱処理をし、所定のパターンにエッチングをした。エッチング時間は、サンプルごとに変化させた。最後に上記パターンの段差を触針型膜厚計(精度1nm)を用いてエッチング深さを計測した。計算は、拡散係数をパラメータとして行い、上記の実験結果を最も良好に再現する値を求めた。図2. 18では、拡散係数を $1.6 \times 10^{-15} \text{ cm}^2/\text{s}$ と設定した計算結果が実験結果を良く再現して

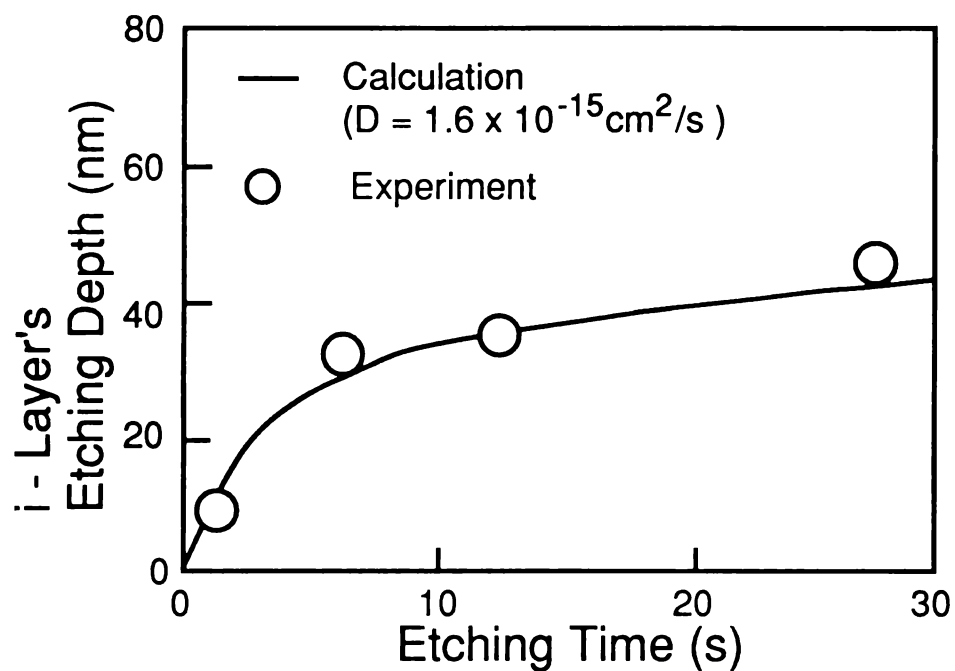


図2.18 エッチング深さのエッチング時間依存性

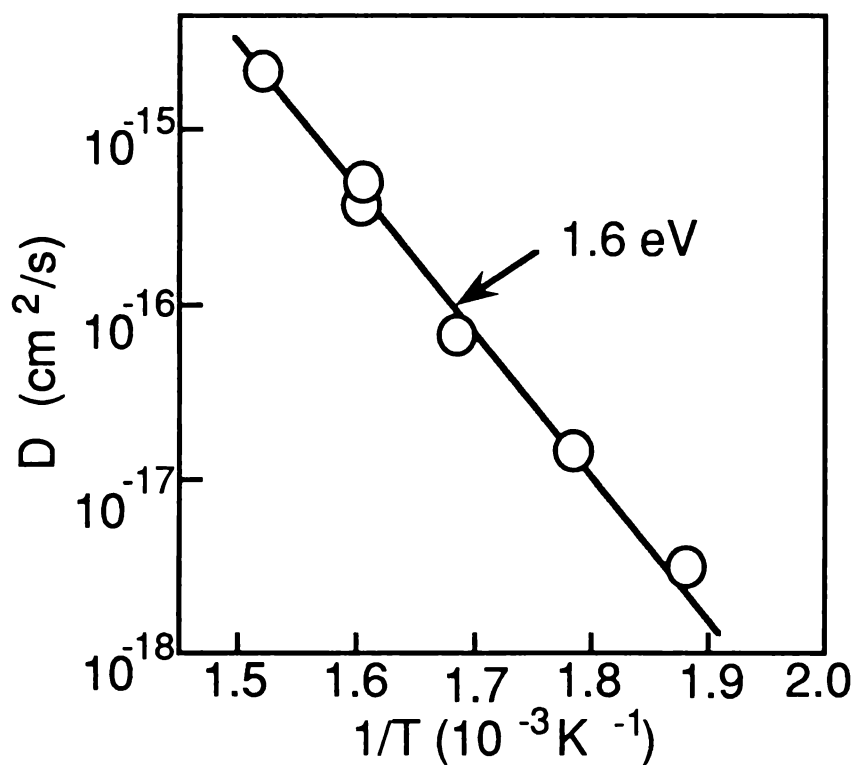


図2.19 燐の拡散係数の温度依存性

いる。ところで、上記のサンプルでは230℃（堆積）と380℃（熱処理）の二つの熱過程の履歴があるので、厳密には、この方法で定められる拡散係数が n^+ / i 界面での単一の拡散過程を表すものとは断定できない。そこで、拡散過程の温度依存性を調べるために、230℃で形成したサンプルに対し260℃から360℃の温度範囲で熱処理を行い、上に述べた方法で磷の拡散係数を求めた。結果を図2. 19に示す。拡散係数の活性化エネルギーは1.6 eVであり、調べた熱処理温度範囲で試料形成温度230℃の影響が小さいことが示されている。すなわち、上記の方法によって求められる拡散係数が良い近似で熱処理時の拡散過程に対応するものと考えられる。

以上の結果を、TF Tにおける磷の拡散過程に適用してみる。TF Tでは、 n^+ 層の堆積中に、その堆積温度で決まる拡散係数で i 層への磷の拡散が生じるものと考えられる。そこでTF Tにおける磷の拡散領域を求めてみる。ここに磷の拡散領域は、材料ガス中の PH_3 濃度が1 ppmのときに得られる $a-Si$ 膜よりも多くの磷が含まれる領域と定義する。これは、 PH_3 1 ppmドーブ時の $a-Si$ の抵抗率が i 層のそれとほぼ等しいという報告³²⁾に基づく基準である。TF Tの形成温度は320℃なので、図2. 19より拡散係数 D として $9.0 \times 10^{-17} \text{ cm}^2/\text{s}$ を用い、堆積温度の保持時間20分を t_0 に代入して、式(2. 8)から拡散領域の深さ x を求めればよい。計算により得られた結果は $x = 42 \text{ nm}$ であり、図2. 16で求められた50 nmと一致が良い。この結果からも、図2. 16に示された i 層のエッチング深さ50 nm以下における高いオフ電流は、 n^+ 層からの磷の拡散によるという仮説が支持される。

最後に、この磷の拡散のオフ電流への影響を確認するために、150℃で形成した n^+ 層を有するTF Tを作製した。このTF Tについてのオフ電流の n^+ / i 層エッチング深さ依存性を図2. 20に示す。この場合は、オフ電流が n^+ / i 界面で急峻に低下するが、この結果は低温で磷拡散速度が低下することを反映するものである。

2. 5. 2 光照射によるオフ電流の増大

TF Tのオフ特性劣化の別の原因として、光照射によるオフ電流の増大の効果がある。TF T/LCDの場合、(1)バックライトによるTF Tのゲート電極側からの入射光や、(2)表示装置外部からTF Tのソース・ドレイン電極側への入射光の対策を考える必要がある。この対策を怠ると、各画素で液晶印加電圧の保持特性（第5章）が劣化し、コントラストの著しい低下が生じる。(2)については、カラーフィルタに作り込んだ金属パターン（ブラックマトリクスと通称される）に

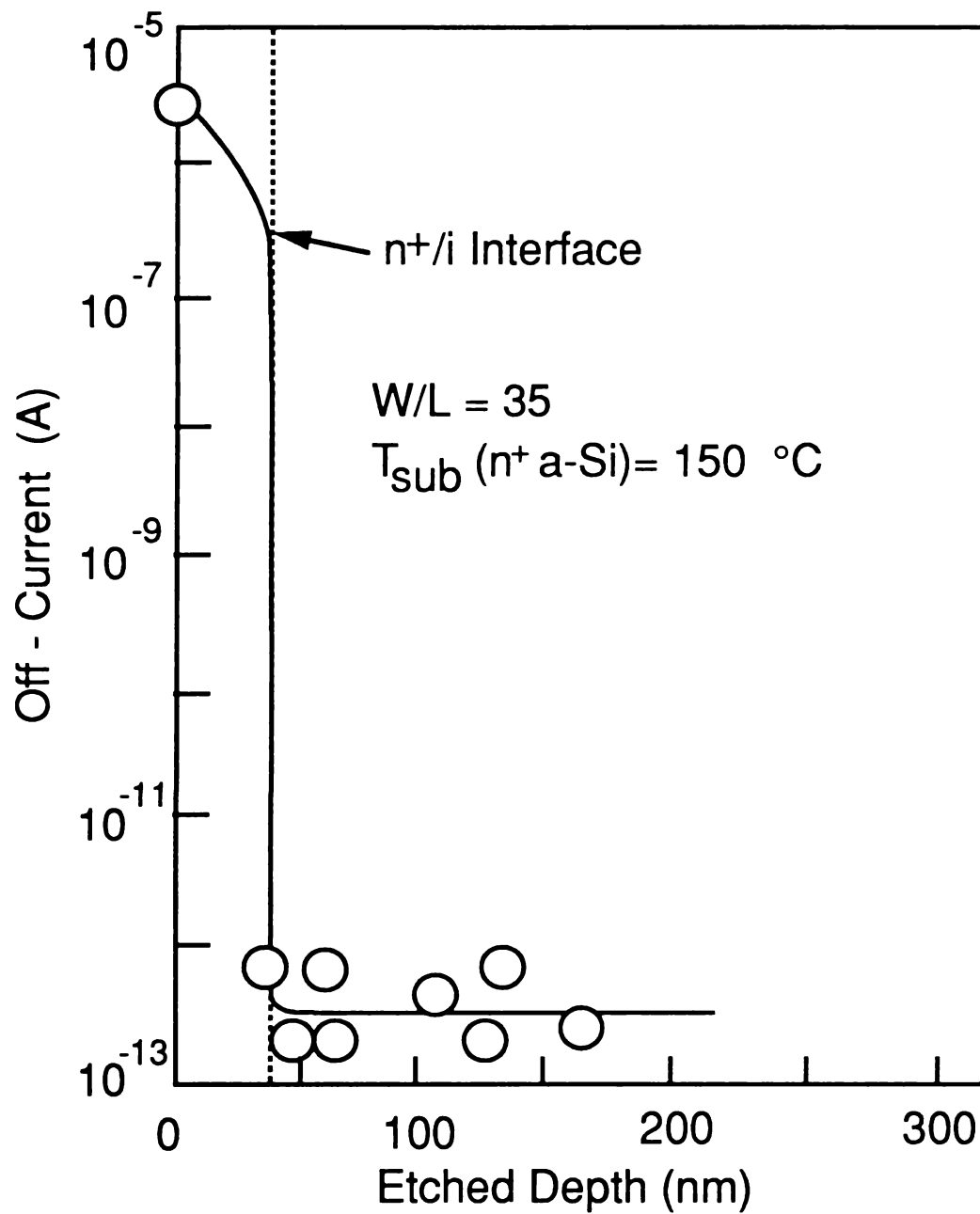


図2.20 オフ電流のa-Siエッチング深さ依存性
(n^+ 層形成温度：150 $^\circ\text{C}$)

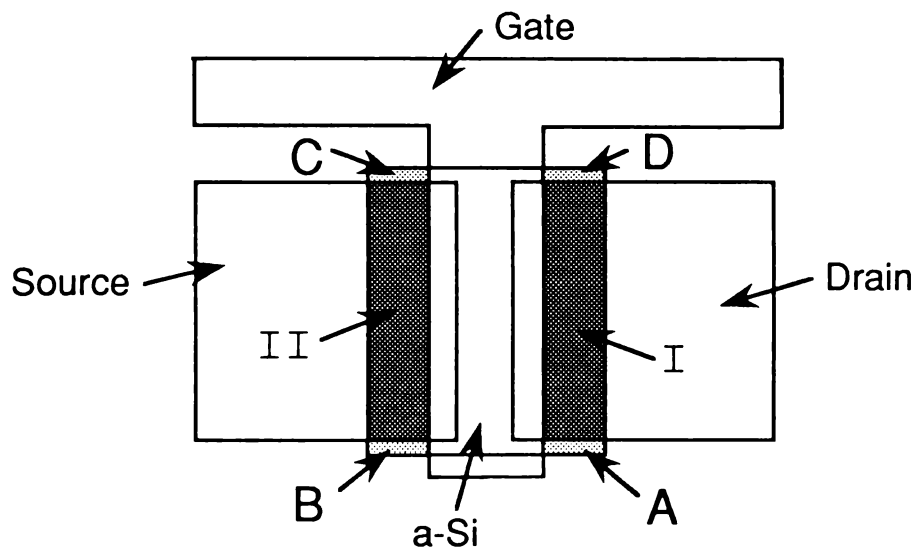


図2.21 光電流の発生箇所の検討

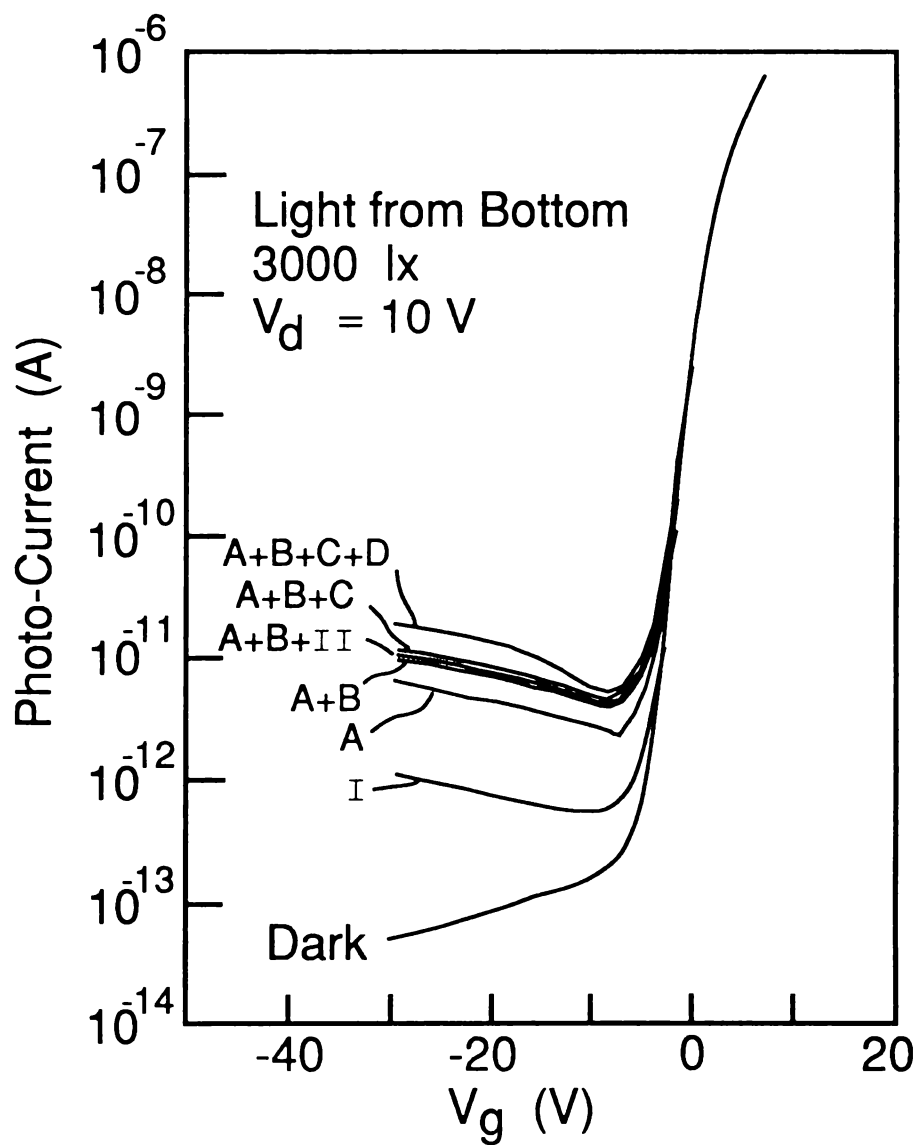


図2.22 光電流成分の解析

よってその影響を小さくすることができる。(1)については、光電流の大きさと a-Si 層の電位状態に関する以下の実験結果を考慮すれば対策が可能である。

図2. 21は、a-Si TFTの平面構造である。a-Si層に着目するとその表面がゲート電極あるいはソース・ドレイン電極の少なくとも一方に覆われている部分と、電位的に浮遊な部分(図中A, B, C, D)に大きく分けられる。

TFTの下部から、これらの部分に選択的に3000 lxのスポット光を照射し、電流の大きさを調べた。結果を図2. 22に示す。これはソース電圧0 V、ドレイン電圧10 Vのときの $I_d - V_g$ 特性である。ドレイン電極下Iの部分に光を照射した場合、TFTのオフ電流は暗電流よりも約1桁上昇する。これに対し、電位浮遊の領域Aに光を照射すると上記より大きな光電流が流れるのが分かる。その大きさは、光照射面積IとAの比からは説明が付かない。さらに、領域Aにソース側の領域B, II, C, Dを付け加えていくと、光電流の増分は領域IIのときに小さく、領域B, C, Dでは大きくなる。この結果によれば、TFTの下部光に対する光電流は、電位浮遊の領域で吸収され発生する電荷によることが明らかである。これらの光電流の大きさは、領域A, B, C, Dでは領域I, IIの4~20倍である。

図2. 23にa-Siフローティング部面積とTFTオフ時の光電流の関係を示すが、光電流はa-Si面積に良好に比例することが分かる。さらに、電位浮遊の領域のa-Si部での光電流の様子を図2. 24に示す。これは、通常のTFTとゲート電極のみを取り除いたギャップ素子について、ソース・ドレイン間を流れるギャップ光電流 I_{phg} とチャネル光電流 I_{ph} を比較したものである。この結果によっても、電位浮遊の領域での光電流 I_{phg} が負のゲート電圧が印加されたときの I_{ph} よりも大きく、その差は約2桁に達することが分かる。

これらの結果の解釈は、次のとおりである。電位浮遊のa-Si領域では、膜に平行な方向の電界が強いために光によって発生した電子-正孔対の分離が効率良く行われるのに対し、a-Si表面が電極に覆われている領域では、膜に平行な方向の電界がその電極により弱められ、電荷の再結合の確率が増加するためと考えられる。したがって、光照射によるTFTのオフ電流増大の効果を低減するには、上記電位浮遊の部分をしてできるだけ小さくするような平面構造の設計をすればよい。

また、この実験結果を逆に利用すれば、TFTの構造を改変することにより、光センサを構成することが可能になる。実際、筆者らは、既に非晶質シリコン光トランジスタを開発し、³³⁾ それとTFTをマトリクス状に配列して作製した2次元光センサの動作を確認している。³⁴⁾

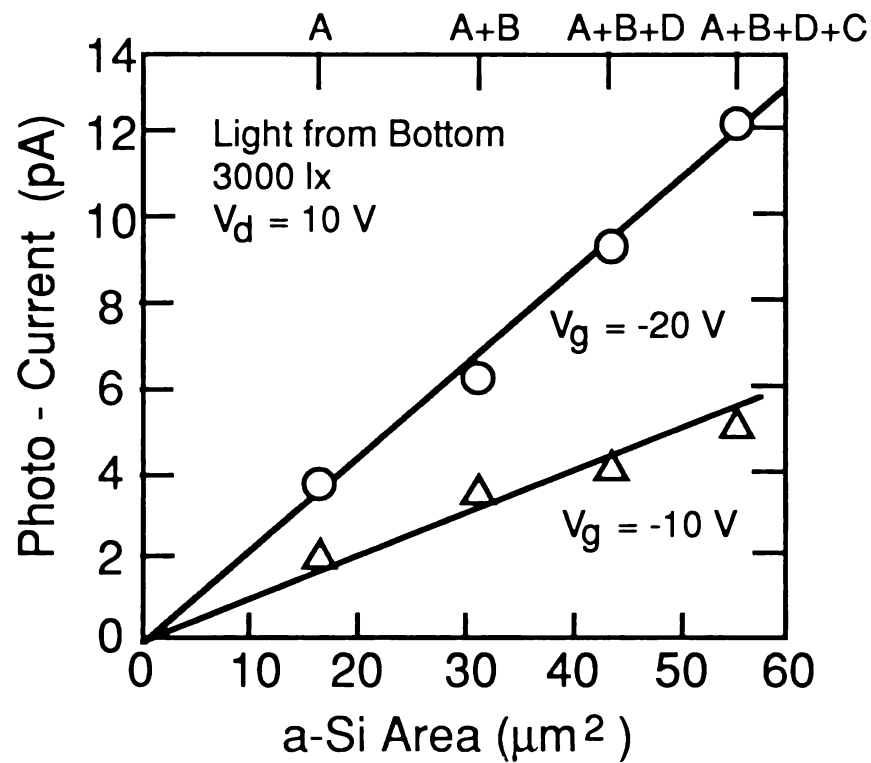


図2.23 光電流のa-Siフローティング部分の面積依存性

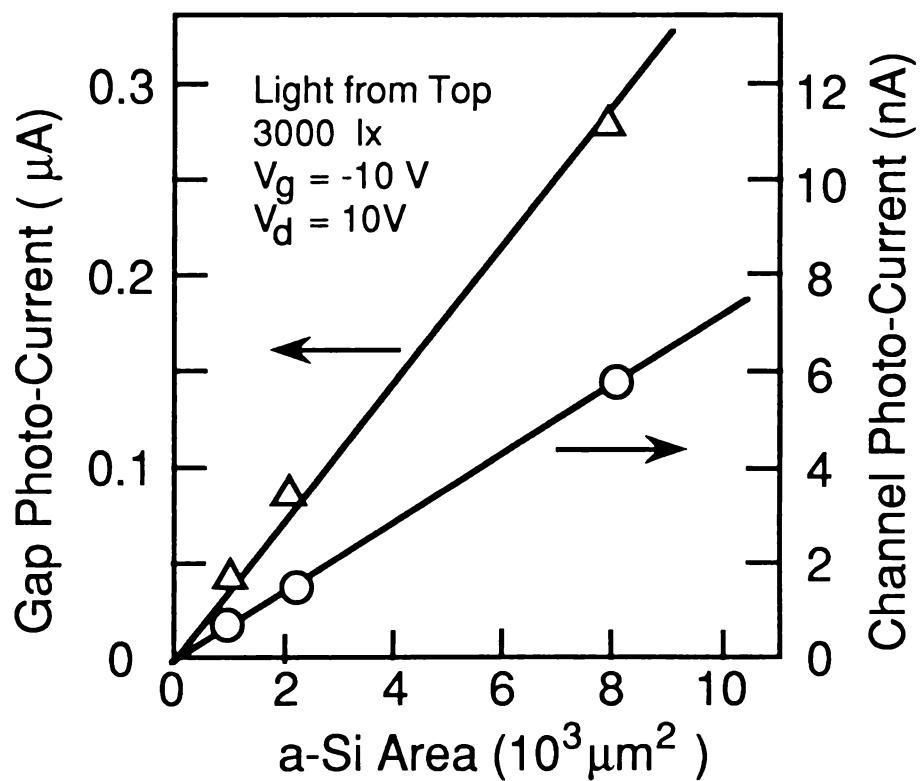


図2.24 チャネル光電流とギャップ光電流

2. 6 埋込2重ゲート構造 a-Si TFT

第5章に明らかにするように、現状のTFTの特性によれば、対角10”程度のLCDパネルは十分に達成可能である。しかし、将来の高精細（ 10^6 画素以上）や大面積（対角20”以上）のパネル、あるいは、シフトレジスタ用途のTFTにおいては、電流駆動能力が重要な因子になってくる。ここでは、従来の3倍以上のオン電流の達成が可能な埋込2重ゲート構造のa-Si TFTを提案する。³⁵⁾ これまでに報告されているa-Si TFTのオン電流は比較的小さい値にとどまっている。これは、電子の実効移動度が $0.3 \sim 1 \text{ cm}^2/(\text{Vs})$ と低いためである。オン電流の従来の例は2.3.2節にも述べたが、 $W/L = 50 \mu\text{m}/10 \mu\text{m}$ の素子について、 $V_g = V_d = 10 \text{ V}$ のときに $2 \mu\text{A}$ 以下である。

図2.25は、高いオン電流の達成可能な埋込2重ゲート構造のa-Si TFT (BD-TFT: Buried Double-Gate TFT) の断面図である。特徴は、スタガ構造のゲート電極G1に加え、第2のゲート電極G2が窒化シリコンゲート絶縁膜中に埋込まれて設置されている点である。このBD構造を作製するには、ゲート絶縁膜SiN1を形成後、ゲート電極G2を形成し、次に第2のゲート絶縁膜であるSiN2を堆積をするのみでよい。G2ゲート電極には40 nmの n^+ 層を使用した。 n^+ 層のシート抵抗は、 $\sim 200 \text{ M}\Omega/\square$ である。G2ゲート電極はソース・ドレイン電極とそれぞれ $0 \sim 2 \mu\text{m}$ 程度のオフセット ΔL_S , ΔL_D を持たせてある。SiN2, a-Si, オーミックコンタクト n^+ 層は、同一チャンバで真空を破らずに形成した。また2.4節に述べたオーミックコンタクト層のオーバエッチングにより、チャネル部のa-Si膜厚は $0.16 \mu\text{m}$ となっている。その他の詳細は2.2節に示したとおりである。

BD-TFTの構造によれば、以下に述べるように、(1) SiN2の小さな膜厚によってオン電流を増大させることができ、(2) オフセット領域 ΔL_S , ΔL_D を設けることによってオフ電流を確保し、駆動中の V_t ドリフトを低減することが可能になる。

まず、オン電流の増大効果について述べる。

図2.26はゲート電極G1とG2に同じ電圧 V_g を印加して測定した典型的な $I_d - V_g$ 特性である。比較のために従来構造のTFTの特性についても記してある。TFTの素子形状は、 $W/L = 50 \mu\text{m}/10 \mu\text{m}$ である。BD-TFTのオン電流 ($V_d = V_g = 10 \text{ V}$) は少なくとも $5 \mu\text{A}$ が確保されており、従来TFT

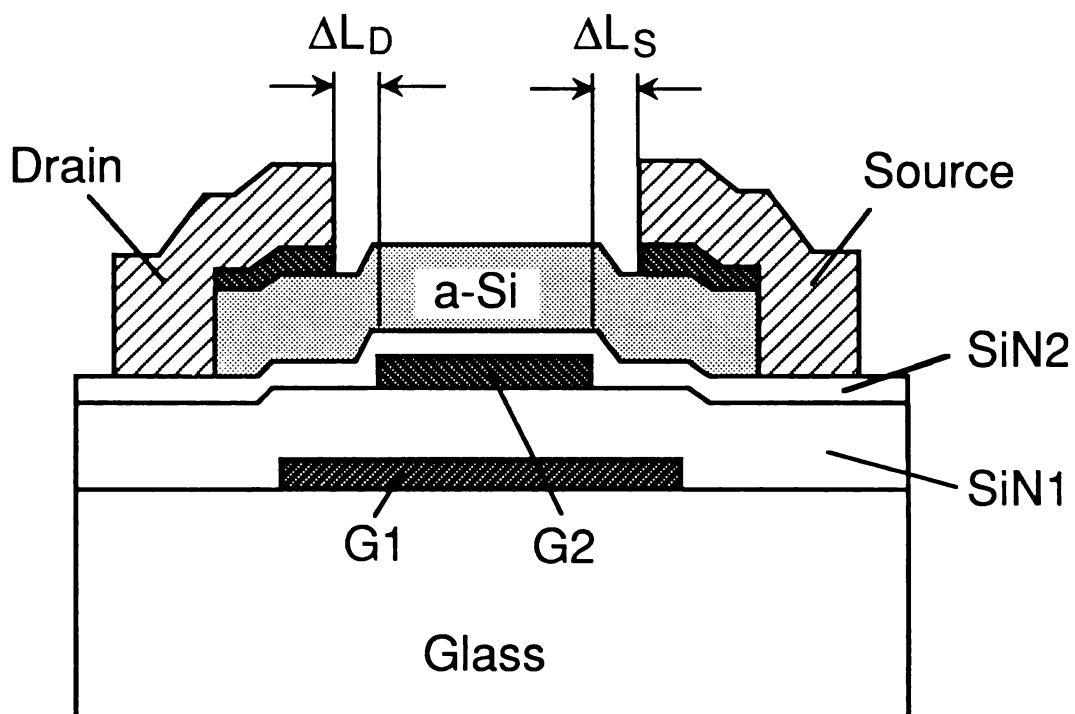


図2.25 BD-TFTの断面構造

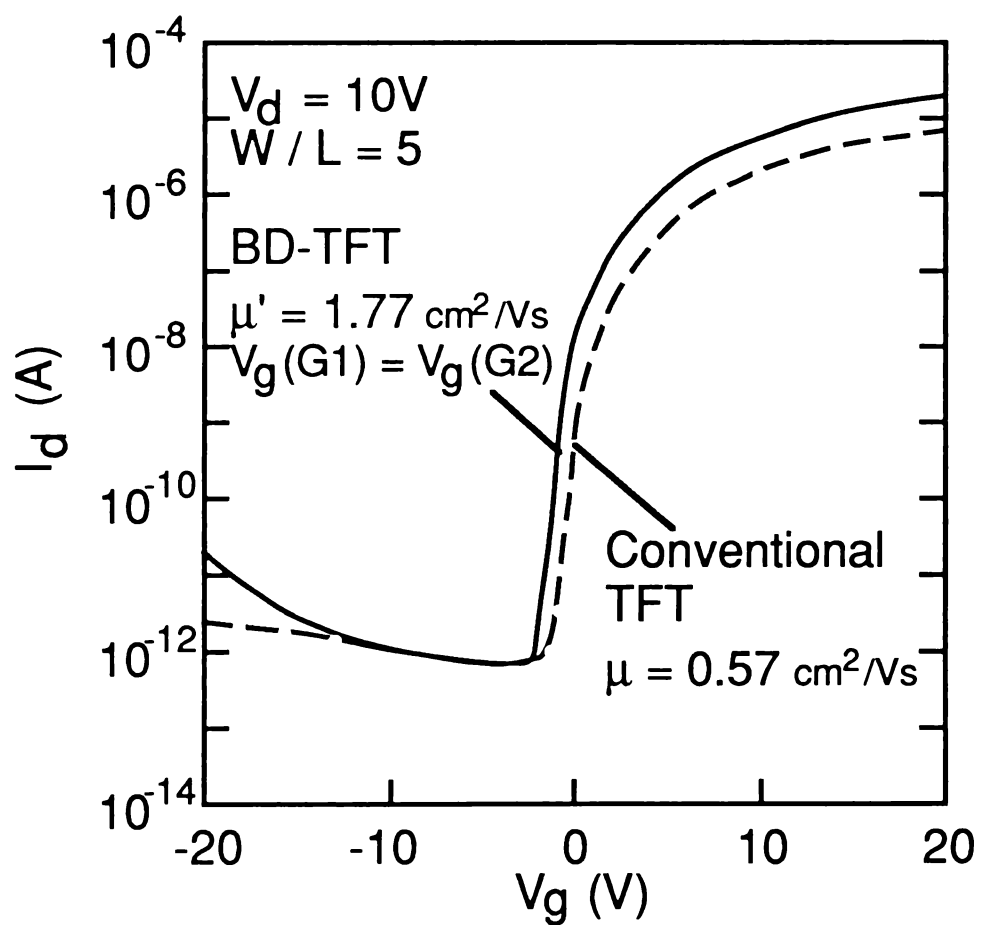


図2.26 BD-TFTの $I_d - V_g$ 特性

と比べて約3倍である。この特性についてゲート絶縁膜厚をSiN1とSiN2の和（すなわち340 nm）とし、飽和領域の $(I_d)^{1/2} - V_g$ プロットから実効移動度を求めると、 $1.77 \text{ cm}^2/(\text{Vs})$ に達することが分かる。このオン電流の増大効果は、SiN2の小さな膜厚によって生ずる強いゲート電界によるものであり、実効移動度そのものが上昇したために生じたのではない。その意味で上記の移動度を等価実効移動度として μ' と表す。 μ' と従来TFTの実効移動度 μ の比 μ'/μ をSiN2膜厚について調べた結果を図2.27に示す。SiN2膜厚の減少に伴い、 μ'/μ も増加する。これは、ゲート電界が増加するためである。一方SiN2膜厚の値が小さ過ぎるとソース・ドレイン電極とゲート電極の間に短絡が生じてしまう。上の結果によれば、SiN2膜厚の値としては少なくとも20 nmが必要であることが分かる。

さて、 μ'/μ は、理想的にはゲート電界の比すなわちSiN1膜厚とSiN2膜厚の比になると考えられる。しかし、実際は、図2.27に明らかなようにそこまでの電流増大効果は得られていない。これには、ソース電極とG2ゲート電極のオフセット ΔL_s が密接に関係する。この関係を示すのが図2.28である。ソース電極とG2ゲート電極がオーバーラップするとき、すなわち $\Delta L_s < 0$ の場合は、ほぼSiN2膜厚で決まるゲート電界に対応する電子注入が行われ、したがって、高いオン電流が得られる。 $\Delta L_s = -2 \mu\text{m}$ 近辺でオン電流の増大効果が飽和し始める。その飽和値は ΔL_D の大きさによって決まる。一方、オフセット ΔL_s (> 0)を大きくしていくと、 μ'/μ の値は徐々に1に向かって減衰する。以上のように、オン電流の観点からは、 $\Delta L_s < -2 \mu\text{m}$ が望ましいが、駆動中の安定性を考慮に入れて最適化した値は $\Delta L_s = \sim 2 \mu\text{m}$ である。詳細は後述する。

BD-TFTの $I_d - V_d$ 特性を図2.29に示す。得られた特性は、線形領域、飽和領域ともに良好である。同図において斜線を施した領域は、LCDに応用した場合に使用するTFTの動作範囲である（その求め方は第5章に記す）。この動作領域を従来TFTのそれと比較すると、明らかに大きな動作電流が得られることが分かる。すなわち、BD-TFTはLCDの画素のスイッチング素子に好適であることが分かる。

次に、オフセット領域 ΔL_s 、 ΔL_D の役割であるオフ電流の確保と駆動中の V_t ドリフトの低減について述べる。

オフセット領域 ΔL_s 、 ΔL_D におけるa-SiとSiN2界面は、G2ゲート電極によらず、主としてG1ゲート電極によって制御される。したがって、この領域

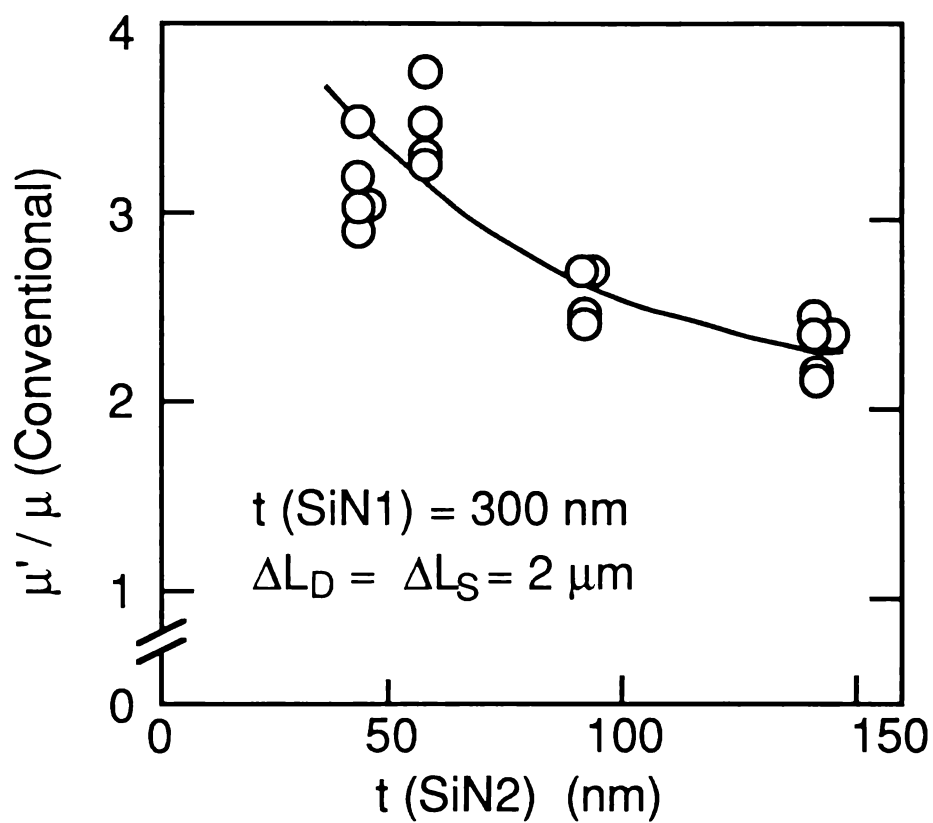


図2.27 μ' / μ vs $t(\text{SiN2})$

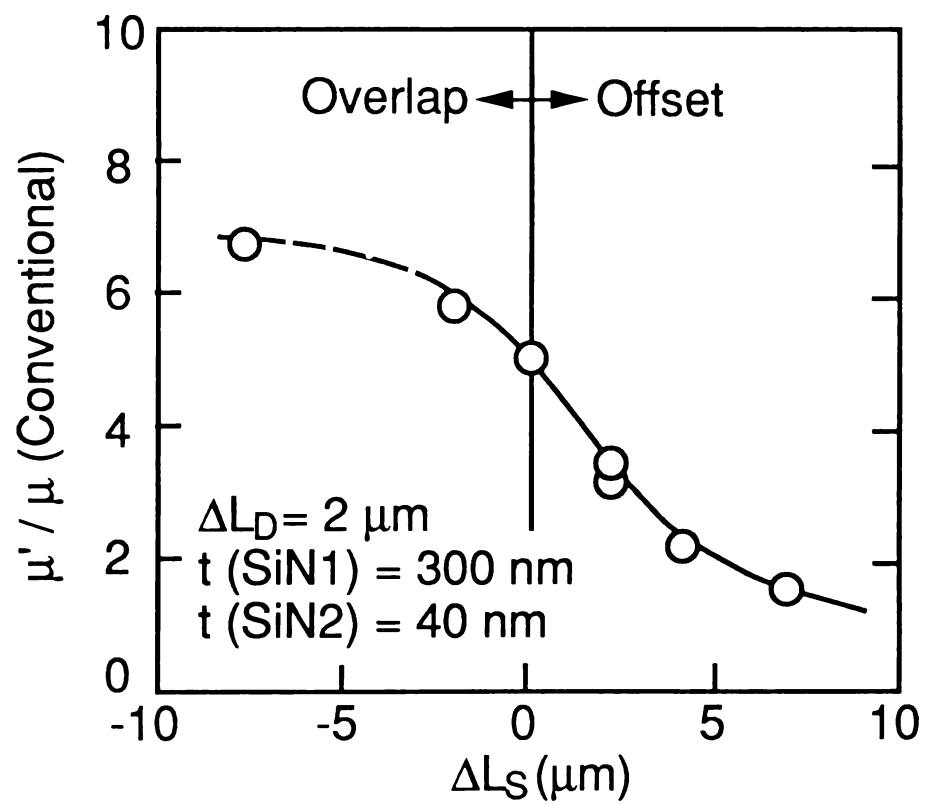


図2.28 等価実効移動度の ΔL_S 依存性

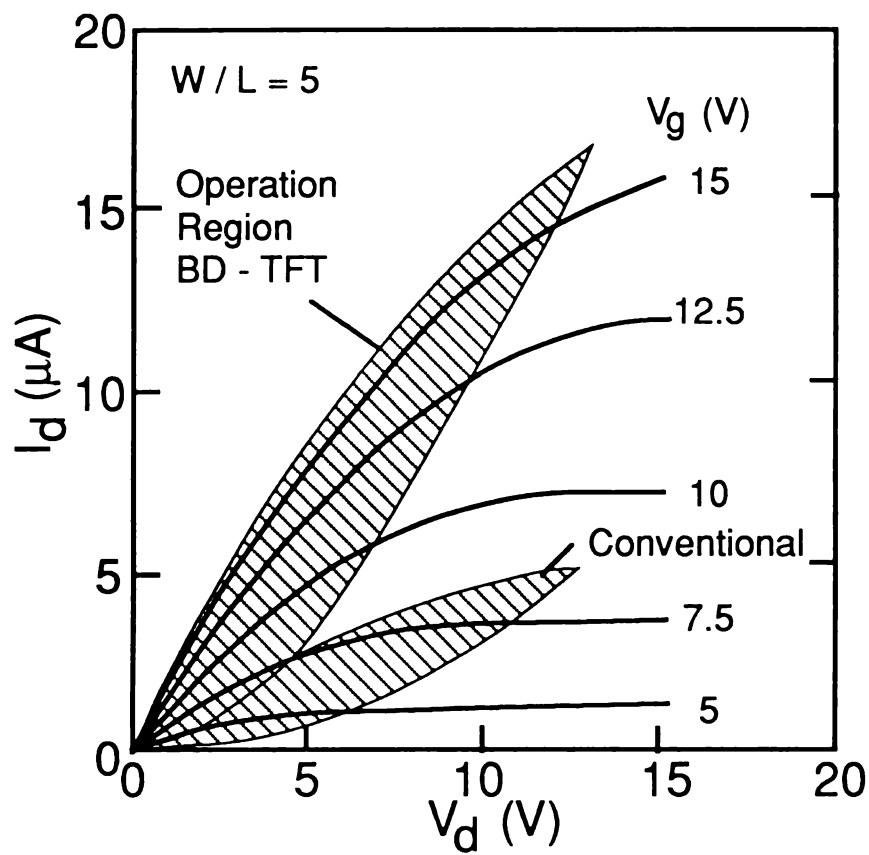


図2.29 BD-TFTの $I_d - V_d$ 特性

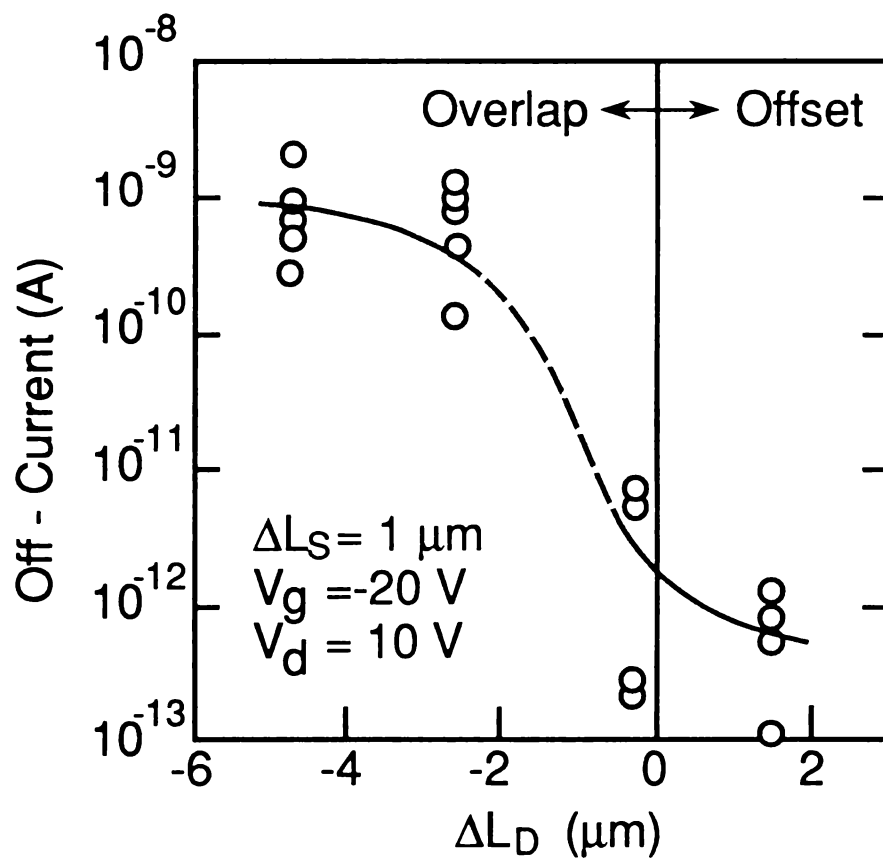
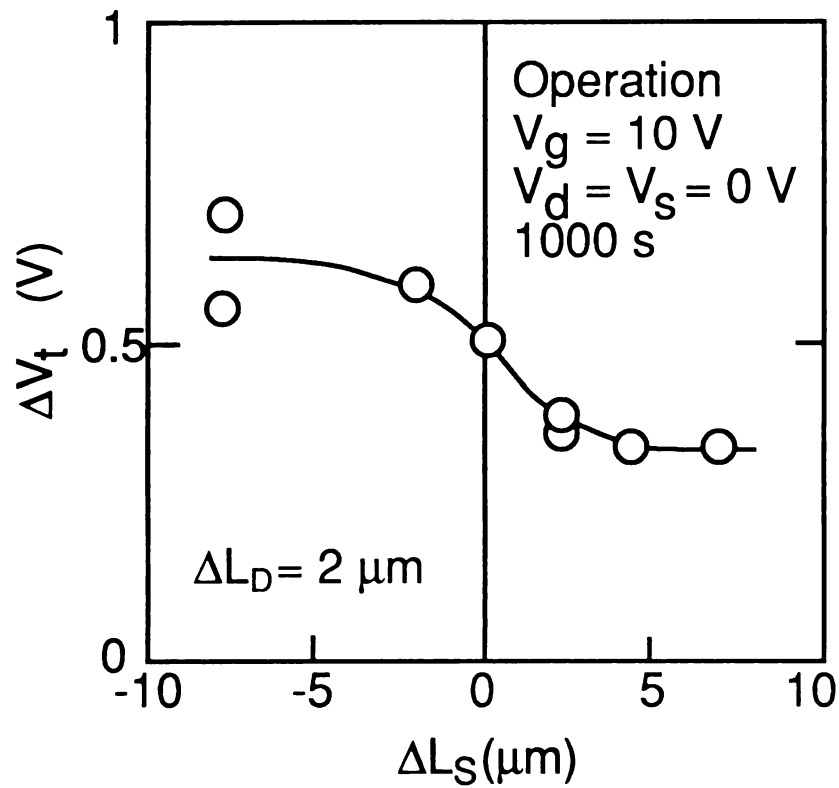


図2.30 BD-TFTのオフ電流の ΔL_D 依存性

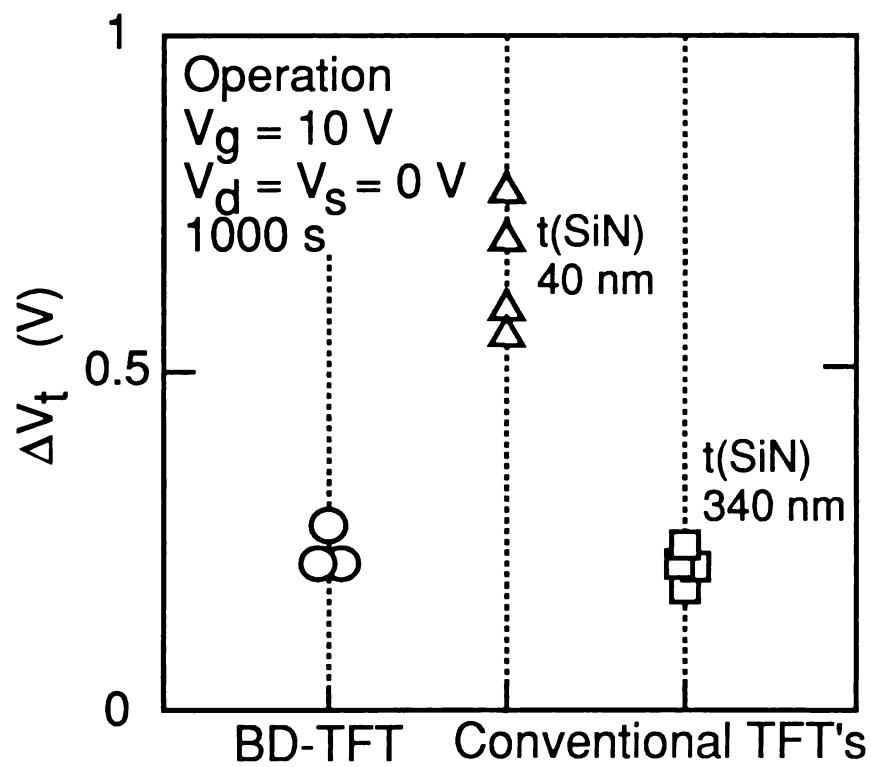
でのゲート絶縁膜の実効的な膜厚は、SiN1膜厚とSiN2膜厚の和の340 nmと考えられる。そのため、この部分で電界集中が緩和され、オフ電流が小さく保たれる。これに対し、G2ゲート電極がドレイン電極とオーバーラップするとオフ電流は急激に増加する。この様子をBD-TFTのオフ電流の ΔL_D 依存性として図2.30に示す。この図でのオフ電流は、 $V_d = 10\text{ V}$ 、 $V_g = -20\text{ V}$ の電圧条件で定義されたものである。この急激に増加するオフ電流の主要な成分は、G2ゲート電極とドレイン電極間のリーク電流である。すなわちドレイン電極に正、G2ゲート電極に負の電圧が印加されると薄いSiN2にはTFTのうちで最も強い電界が加わり、これを突き抜けてリーク電流が発生することになる。この結果より、BD-TFTにおいては、ドレイン電極とG2ゲート電極の間に少なくともオフセットを設定する必要があることが分かる。

オフセット領域による V_t ドリフトの低減効果は次のとおりである。a-Si TFTのしきい値電圧 V_t は、駆動中にドリフトすることが知られている。その主な原因は、a-Siとゲート絶縁膜界面での電荷捕獲によるものである。これについては第4章で更に詳しく論じるが、ここでは ΔL_S のオフセット構造によって V_t ドリフト量(ΔV_t)が低減されることを示す。図2.31はBD-TFTの V_t ドリフトを示すものである。(a)は ΔV_t の ΔL_S 依存性である。 ΔV_t は、TFTのゲートに10 Vを印加し、ソース及びドレインは接地して、1000秒間の直流駆動をする前後の V_t の値の差として求めた。 ΔV_t はTFTの安定性の指標であり、小さい方が望ましい。さて、オーバーラップ時($\Delta L_S < 0$)には ΔV_t は大きいですが、オフセットになると1/2程度に低減される。これは、上に述べたのと同様に、オフセット部においてゲート電界が緩和されて捕獲電荷量が少なくなるためである。(b)には3種類のTFTの ΔV_t の比較を示す。従来構造のTFTにおいて、そのゲート絶縁膜厚がSiN2膜厚と同じ40 nmの場合と通常の340 nmの場合の ΔV_t を比較すると、前者は後者の2倍以上の V_t ドリフトを起こすことが分かる。これに対し、BD-TFTの V_t ドリフトは、後者のTFTと同様の程度の V_t ドリフトに抑えられている。これらの結果により、ソース電極とG2ゲート電極の間には、少なくとも2 μm のオフセットを設ける必要があるとの結論を得る。

以上本節では、信頼性の低下を来すことなく高電流駆動能力を実現する新規なa-Si TFTの構造を提案した。これにより、高精細LCDの画素駆動あるいはシフトレジスタの駆動など高い電流駆動能力を要するTFT素子として有用であると考えられる。



(a) ΔV_t の ΔL_S 依存性



(b) TFT型別 ΔV_t の比較

図2.31 BD-TFTの V_t ドリフト

2. 7 まとめと今後の課題

アクティブマトリクス型液晶ディスプレイへの応用を目的として、逆スタガ構造の a-Si TFT を作製し、オン特性・オフ特性ともに十分良好な特性を有することを示した。その際、プロセス条件の検討、特性評価及び特性の改善を行った。検討した基本構造自体は既知のものであるが、新たに以下のような知見を得た。

- (1) a-Si 背面の電位が TFT の電流－電圧特性に与える効果、すなわちバックバイアス効果について明らかにした。特に、バックゲート電圧 V_{bb} により、TFT のしきい値電圧が変化することを示した。その変化の方向は、従来の MOS トランジスタの基板バイアス効果によるものと同一である。
 V_t 値の微細な制御のためには、背面部での固定電荷を除き、同時に背面電位を固定する必要があることを明らかにした。
- (2) TFT のオフ電流を確保するためには、オーミックコンタクトの n^+ 層のエッチング時に、i 層も 20～40 nm エッチングする必要があることを示した。これは、 n^+ 層形成時にドーパントの隣が i 層に拡散して抵抗低下が生じていることを究明した結果得られた条件である。加えて、光照射によるオフ電流の増大の機構を明らかにした。これらの結果に基づいた設計により、安定して 10^{-13} A のオフ電流を得ることができるようになった。
- (3) さらに、将来の大面积化・高精細化に備えて、TFT の電流駆動能力を高めるために新しい埋込 2 重ゲート構造を考案した。その動作を試作によって確認した結果、信頼性を損なうことなく従来の 3 倍以上のオン電流が得られることが分かった。この TFT は、LCD の画素駆動だけでなく、シフトレジスタの駆動 TFT にも有用であると考えられる。
- (4) TFT の移動度評価法として表面弾性波法に着目し、この方法の有用性を実験的に検証した。

本章に示してきたように、液晶ディスプレイの駆動素子としての a-Si TFT は十分な特性を有するものである。その作製技術は、LSI 製造に用いられる半導体技術を核とするものであり特に困難な点はない。

MIS デバイスとしての TFT の検討すべき課題は以下のとおりである。

- (1) デバイスとして最も重要なパラメータであるしきい値電圧 V_t の定式化を進める必要がある。これにより、 V_t 値を一層微細に制御することができるの

で、LCD応用の場合の歩留まり向上はもとより、TFT駆動電圧のより精密な設計が可能になる。

- (2) a-Si材料設計に基づくデバイスの限界性能の追求が望まれる。現時点で得られているa-Si TFTの特性が限界であるという一般的な見解はない。それはa-Si材料に関する物性の理解がなお進行中であり、それらを加味することによりデバイスの限界性能の追求がなお可能であると考えられているからである。また、微細構造の観測技術の最近の進歩は目覚ましく、TFTにおけるa-Siとゲート絶縁膜界面の構造解析が進めば、一層の特性向上が期待される。

以上の特性制御に関する研究の進展と、大面積にわたる半導体加工技術の向上によれば、a-Si TFTの高性能化を促進することが可能になり、大面積・高精度LCDの実現に結びつけることができる。

参 考 文 献

- 1) P. K. Weimer, Proc. IRE 50, 1462 (1962).
- 2) T. P. Brody, J. A. Asars, and G. D. Dixon, IEEE Trans. Electron Devices ED-20, 995 (1973).
- 3) P. G. LeComber, W. E. Spear, and A. Ghaith, Electron. Lett. 15, 179 (1979).
- 4) Y. Uchida, Y. Nara, and M. Matsumura, IEEE Electron Device Lett. EDL-5, 105 (1984).
- 5) Y. Ugai, Y. Murakami, J. Tamamura, and S. Aoki, Digest of Tech. Papers SID Intn'l Symp. (1984), p.308.
- 6) T. Sunata, T. Yukawa, K. Miyake, Y. Matsushita, Y. Murakami, Y. Ugai, J. Tamamura, and S. Aoki, Proc. Intn'l Display Research Conf. (1985), p.18.
- 7) T. L. Credelle, Proc. Intn'l Display Research Conf. (1988), p.208.
- 8) Y. Okubo, T. Nakagiri, Y. Osada, M. Sugata, N. Kitahara, and K. Hatanaka, Digest of Tech. Papers SID Intn'l Symp. (1982), p.40.
- 9) T. Sakai, S. Motte, H. Tanaka, M. Ohta, K. Takahashi, and T. Yamazaki, Proc. Intn'l Display Research Conf. (1987), p.127.
- 10) F. Inoue, K. Ando, N. Kabuto, M. Kamiya, M. Nakatani, R. Nashimoto, K. Suzuki, H. Suzuki, T. Tsukada, and H. Kawakami, Digest of Tech. Papers SID Intn'l Symp. (1988), p.318.
- 11) S. Kawai, N. Takagi, T. Kodama, K. Asama, and S. Yanagisawa, Digest of Tech. Papers SID Intn'l Symp. (1982), p.42.
- 12) Y. Ishii, Y. Takafuji, K. Yano, H. Take, F. Funada, M. Matsuura, and T. Wada, Digest of Tech. Papers SID Intn'l Symp. (1985), p.295.
- 13) S. Hotta, S. Nagata, Y. Miyata, K. Yokoyama, K. Adachi, T. Chikamura, M. Yoshiyama, A. Nishikawa, and K. Kawasaki, Digest of Tech. Papers SID Intn'l Symp. (1986), p.296.
- 14) T. Sakai, M. Shimbo, M. Suzuki, T. Yamazaki, and R. Sakami, Proc. Intn'l Display Research Conf. (1985), p.301.
- 15) S. Hotta and I. Kobayashi, Proc. Symp. on Recent Progress in Amorphous Silicon Devices (1985), p.31 (in Japanese).
- 16) A. Sasano, H. Matsumaru, Y. Kaneko, and T. Tsukada, J. Non-Cryst. Solids 97&98, 1295 (1987).

- 17) K. Ishibashi and M. Matsumura, Appl. Phys. Lett. 41, 454 (1982).
- 18) S. M. Sze, Physics of Semiconductor Devices 2nd ed., (Wiley, New York, 1981).
- 19) M. J. Powell and J. W. Orton, Appl. Phys. Lett. 45, 171 (1984).
- 20) T. Tiedje, J. M. Cebulka, D. L. Morel, and B. Abeles, Phys. Rev. Lett. 46, 1425 (1981).
- 21) Y. Kaneko and H. Fritzsche, J. Appl. Phys. 69, 8237 (1991).
- 22) R. Adler, D. Janes, B. J. Hunsinger, and S. Datta, Appl. Phys. Lett 38, 102 (1981).
- 23) H. Fritzsche, Phys. Rev. B29, 6672 (1984).
- 24) W. E. Spear, J. Non-Cryst. Solids 59&60, 1 (1983).
- 25) R.E. Johanson, Y.Kaneko, and H. Fritzsche, Phil. Mag. Lett. 63, 57 (1991).
- 26) Y. Kaneko, K. Tsutsui, and T. Tsukada, J. Non-Cryst. Solids (1992)
J. Non-Crystalline Solids 149, 264 (1992).
- 27) T. Ogawa, H. Wakemoto, H. Takezawa, and S. Hotta, Ext'd Abstracts of Intn'l Conf. Solid State Devices and Materials, (1990), p.1039.
- 28) H. C. Tuan, M. J. Thompson, N. M. Johnson, and R. A. Lujan, IEEE Electron Device Lett. EDL-3, 357 (1982).
- 29) J. Robertson and M. J. Powell, J. Non-Cryst. Solids 77&78, 1007 (1985).
- 30) Y. Tanaka, H. Matsumaru, K. Tsutsui, Y. Kaneko, H. Yamamoto, and T. Tsukada, Extended Abstracts of Jpn. Soc. Appl. Phys., (Autumn Meeting, 1988), p.378 (in Japanese).
- 31) K. D. Mackenzie, A. J. Snell, I. French, P. G. LeComber, and W. E. Spear, Appl. Phys. A31, 87 (1983).
- 32) W. E. Spear and P. G. LeComber, Solid State Commun. 17, 1193 (1975).
- 33) Y. Kaneko, N. Koike, K. Tsutsui, and T. Tsukada, Appl. Phys. Lett. 56, 650 (1990).
- 34) M. Ymamaguchi, Y. Kaneko, and K. Tsutsui, Ext'd Abstracts of Intn'l Conf. Solid State Devices and Materials, (1992), p.58.
- 35) Y. Kaneko, K. Tsutsui, H. Matsumaru, H. Yamamoto, and T. Tsukada, Proc. Intn'l Electron Devices Meeting, (1989), p.337.

第3章 a-Si TFT特性の 計算機シミュレーション

3.1 はじめに

第2章に記したように、TFTの製作には多くの時間を要する。したがって、素子の試作のみによってこれの特性改善を試みるのは得策ではない。その代わりに、TFT特性を計算によって評価できれば、系統的な知見を机上検討によって得ることができ、極めて効率の良い開発が可能となる。ここでは、a-Si TFT特性を計算機シミュレーションによって求める方法と計算結果について述べる。

a-Siのギャップ内状態密度を考慮に入れたTFT特性の解析については、これまでもいくつかの報告例がある。^{1~3)} しかしながら、これらには主として飽和領域の電流値の実験と解析の比較が記されているものの、サブスレシヨルド特性を含めた領域での特性は比較検討されていない。またa-Siデバイスの2次元数値シミュレータの研究の例としては、これまでにHiroseら⁴⁾が行ったものがあり、いくつかの数値解析結果が報告されている。しかし、実測値との比較は全くなされていない。

本章の目的は、実測値を良い精度で再現することが可能な2次元、3次元デバイスシミュレータの開発である。その検討の手順は以下のとおりである。

まず従来のシリコンデバイスのCAD (Computer Aided Design)用が開発されたスーパーコンピュータ上で動作する3次元デバイスシミュレータCADDETH (Computer Aided Device Design in Three dimensions)⁵⁾を母体とし、これにa-Siのバンドギャップ内準位にトラップされる電子のモデルを組み込んだ。このトラップ電子の準位は準静的容量電圧法（以下QCV: Quasi static Capacitance Voltage法）を用いて求めた。^{6,7)}

次に、このシミュレータを用いて $I-V$ 特性を計算した。計算結果と実測値とを比較し、サブスレシヨルド領域を含む I_d-V_g 特性及び I_d-V_d 特性について種々の電圧条件で最大誤差10%以下と良好な精度が得られることを確認した。加えて、温度特性や素子構造に関するシミュレーション結果と実測値とを比較し、さらにそのモデルに基づいて、オン抵抗の増大現象の解析を行った。^{8,9)}

本研究に続き、同様な考え方に基づく2次元シミュレータが開発され、今日のシミュレーション技術の主流^{10,11)}となっている。本章に述べる研究結果は、a-Si TFTの高精度シミュレータの先駆けと位置付けられる。

3. 2 a-Si TFTのモデル化

a-Si TFTの基本的な構造として、a-Si背面に絶縁膜を連続形成しない逆スタガ構造（図2. 2のI型）を検討した。既に述べたように、能動層のa-Si（i層）をはさんで、ゲート電極とソース・ドレイン電極が対向しているのが通常のシリコンMOSFETと大きく異なる点である。

3. 2. 1 トラップ電子モデル

a-Siのエネルギーバンドギャップの中には、図3. 1のように高密度の局在状態密度が存在し、多数の電子がそれにトラップされる。トラップされた電子密度はデバイス内の電位分布に大きく影響する。a-Si中での電子密度は、バンドギャップ中にトラップされた電子 n_T と伝導帯中の動き得る電子 n_C から成る。伝導帯中の電子は動くことができるので電流を形成するが、トラップされた電子は動くことができず電流に寄与しない。また、トラップされた電子であっても伝導帯中に励起されれば電流に寄与し、しばらく走行した後に再びトラップされる。このように、励起とトラップを繰り返して巨視的な電流が形成される。このa-Si中の電気伝導の描像は室温域で一般的に受け入れられているものであり、いわゆる多重トラップモデル（Multiple Trapping Model）と呼ばれるものである。^{12~14)} また、a-Si TFTにおいては主として電子が走行するので、以下では正孔を無視する。素子動作中においては、局在状態から伝導帯中への電子の熱励起とその逆過程であるトラップは頻繁に起こるので、電子のエネルギー分布は準熱平衡状態にあると考えてよい。⁴⁾ したがって、準フェルミエネルギー E_f が定義できる。伝導電子密度 n_C はボルツマン分布

$$n_C = N_C \exp((-E_C + E_f)/kT) \dots\dots\dots (3. 1)$$

で与えられる。ここに k はボルツマン定数、 T は絶対温度、 N_C は伝導帯状態密度、 E_C は伝導帯の底のエネルギーである。計算では N_C の値としては、値 $1.3 \times 10^{19} \text{ cm}^{-3}$ とした。^{1,4)}

トラップ電子密度 n_T はフェルミディラック分布関数を用いて

$$n_T = \int_{E_v}^{E_c} N(E) / \{1 + \exp((E - E_f)/kT)\} dE \dots\dots\dots (3. 2)$$

で与えられる。ここで、 E_v は価電子帯の上端のエネルギー、 $N(E)$ はギャップ内

状態密度である。式 (3. 1)(3. 2) から、 n_C 及び n_T は E_f の関数であることになり、したがって n_T と n_C は関数関係にある。この関数を f_T で表す。

$$n_T = f_T(n_C) \quad \dots\dots\dots (3. 3)$$

準フェルミエネルギー E_f は通常ギャップの中央より伝導帯側にあり、価電子帯側の $N(E)$ のテイル $N_2(E)$ はトラップ電子に完全に占有されている。そこで、 n_T を次のように2つの部分に分けて考える。

$$n_T = n_{T0} + \Delta n_T \quad \dots\dots\dots (3. 4)$$

ここに、 n_{T0} は $N_2(E)$ 中の電子密度であり、通常一定値である。すなわち

$$n_{T0} = \int_{E_v}^{E_c} N_2(E) dE \quad \dots\dots\dots (3. 5)$$

一方、 Δn_T は状態密度 $N_1(E)$ 中に捕獲された電子密度であり、電子伝導に関与し得る。(3. 3) (3. 4) より Δn_T も n_C の関数となる。これを f で表す。

$$\Delta n_T = f(n_C) \quad \dots\dots\dots (3. 6)$$

$N_1(E)$ の実測値については、3. 3 節に述べる。

3. 2. 2 基本方程式と境界条件

上述のように、本章の数値シミュレーションは、既存のシリコンデバイスシミュレータである CADDETH⁵⁾ に変更を加える形で行った。CADDETH の制約により、シミュレーション用の素子構造は、図 3. 2 のようになる。ソース・ドレインの金属電極が上面にあること、絶縁 SiN 層が a-Si の下に埋まってはならず表面に露出せねばならないことがその制約である。したがって、図 3. 2 の構造は、図 2. 2 の I 型の TFT を上下さかさまにし、ソース・ドレイン(低抵抗の) n^+ 層で延長し、表面上の電極 S と D に接続してある。

a-Si の部分でのポアソン方程式は、

$$\epsilon_a \Delta \phi = q (n_C + n_{T0} + \Delta n_T - N_{D0}) \quad \dots\dots\dots (3. 7)$$

である。ここに、 ϵ_a は a-Si の誘電率、 ϕ は静電ポテンシャル、 N_{D0} は熱平衡状態においては電子と電荷中性条件を保つ全ドナー濃度である。ここで実効的なド

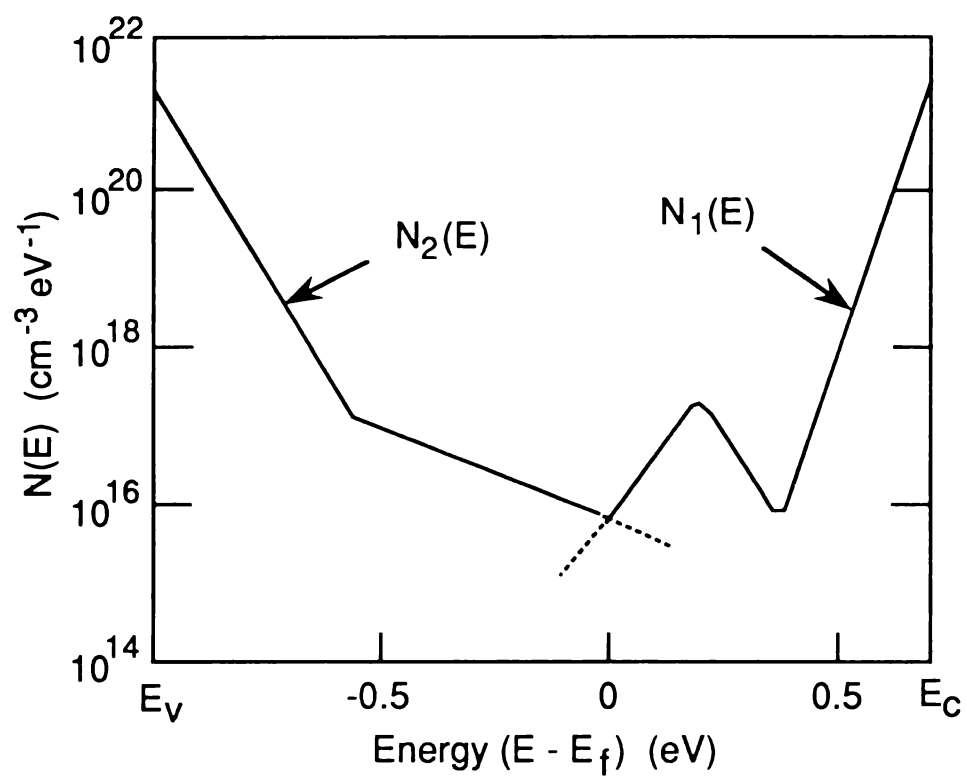


図3.1 a-Siのギャップ内状態密度の概略図

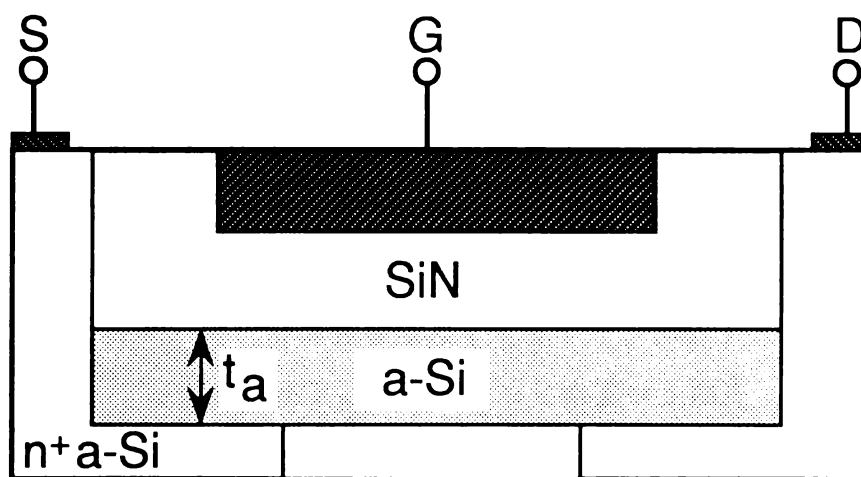


図3.2 a-Si TFTのシミュレーション用構造

ナ－濃度 N_D を

$$N_D = N_{D0} - n_{T0} \quad \cdots \cdots \cdots (3.8)$$

と定義する。この表記を用いるとポアソン方程式は、

$$\epsilon_a \Delta \phi = q (n_C + \Delta n_T - N_D) \quad \cdots \cdots \cdots (3.9)$$

となる。q は電気素量 (1.6×10^{-19} クーロン) である。

伝導電子の連続の式は、

$$\nabla \cdot J = -U_{gr} \quad \cdots \cdots \cdots (3.10)$$

電流はドリフト電流と拡散電流からなるので、

$$\begin{aligned} J &= q \mu_c [n_C (-\nabla \phi) + (kT/q) \nabla n_C] \\ &= \mu_c kT \exp(q\phi/kT) \nabla (n_C \exp(-q\phi/kT)) \quad \cdots \cdots \cdots (3.11) \end{aligned}$$

である。ここで、 J は電流密度、 μ_c は伝導帯の電子移動度、 U_{gr} はキャリアの生成再結合の割合である。本章の検討では、この割合をゼロとした。

ゲート絶縁膜内では、電流成分をゼロと仮定できるので、ポテンシャルだけを解けばよい。すなわち、

$$\Delta \phi = 0 \quad \cdots \cdots \cdots (3.12)$$

a-Si と SiN の境界ではガウスの法則が成り立ち、電束密度の法線成分の連続性より、

$$\epsilon_a \nabla n \phi \Big|_{a-Si} = \epsilon_g \nabla n \phi \Big|_{SiN} \quad \cdots \cdots \cdots (3.13)$$

となる。ここに、 ϵ_g は SiN の誘電率であり、 ∇n は法線成分を表す。境界条件については、オーミック電極下での電荷中性条件

$$n_C + \Delta n_T = N_D \quad \cdots \cdots \cdots (3.14)$$

を仮定し、それ以外の境界面では以下の自由境界条件を与えた。

$$\nabla n n_C = 0, \quad \nabla n \phi = 0 \quad \cdots \cdots \cdots (3.15)$$

3. 3 a-Siのギャップ内状態密度

QCV法^{6,7)}によってa-Siのギャップ内状態密度を求めた。図3. 3はQCV法によって得られたC-V特性の例である。通常の高周波CV法の結果との違いは、同図中Aの箇所の信号のバンプにある。このバンプについては、これまでに同様の測定結果が報告されている。^{15,16)} 筆者らは、このバンプを含む特性を解析しギャップ内状態密度を求めた。⁸⁾ 図3. 4は、図3. 3を解析した結果である。伝導帯下のAで示した指数関数的に変化するバンドテイル部分は、

$$N_1(E) \doteq N_T \exp((E - E_c)/D_1) \dots\dots\dots (3. 16)$$

で近似できる。 D_1 は傾斜、 N_T は E_c における状態密度の値である。 $E_c - E_f$ は通常0. 65～0. 70 eVである。図3. 4では、バンドテイルの下方 $E = E_p$ の位置にサブピークが現われるのが特徴である。このサブピークは、QCV法の特
性のバンプに由来し、C-V法によって求められた例としては初めてのものである。電界効果法^{17,18)}などMIS構造を用いて求められたものにはサブピークがあり、その位置やレベルが両者で酷似しているので、同一の起源と考えられる。この状態密度は、a-SiとSiNの界面における応答から求められたものであり、a-Siバルクの状態密度そのものに界面の情報が加わったものを反映していることには注意を要する。ただし、この状態密度分布の形状については異説^{19,20)}があり、 E_f から伝導帯側のギャップ内状態密度分布を傾きの異なる2つの指数関数分布の重ね合わせ¹¹⁾で表すこともある。以下では上記のサブピークをそのまま組み込んで解析を行うことにする。付録Aにはサブピークのないときの解析解について記す。

解析にあたっては、フラットバンド電圧 V_{fb} とフェルミ準位から測った伝導帯の底のエネルギーの位置 $E_c - E_f$ の2つの定数が未定定数として残る。図3. 4は $V_{fb} = -2. 0$ Vと仮定して求めたもので、典型的な状態密度分布である。 V_{fb} を変えると、 $N(E)$ の分布は大きく変化する。 $N(E)$ の分布を特徴づけるパラメータとしては、次が挙げられる。

N_T : 伝導帯直下のギャップ内状態密度

D_1 : ギャップ内状態密度分布の伝導帯側の傾斜

$E_p - E_f$: ギャップ内状態密度サブピークの位置

$N(E_p) = N_p$: ギャップ内状態密度のサブピークにおける値

これらを V_{fb} に対してプロットした結果を図3. 5 (a)～(d)に示す。 N_T は V_{fb} によって大きく変化する。しかし傾斜 D_1 はほとんど一定であり、24. 7

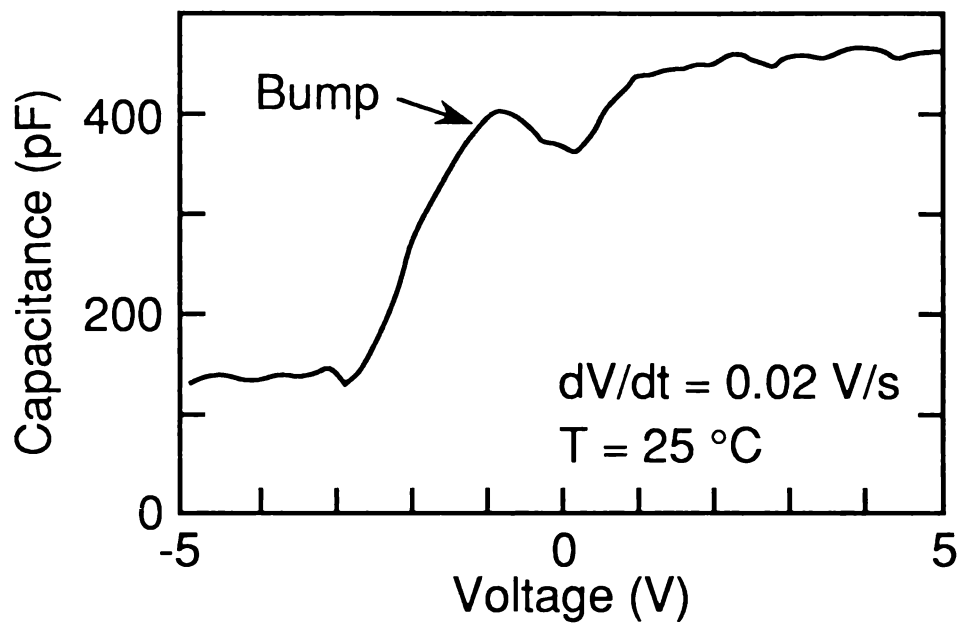


図3.3 QCV法によるC-V特性の例

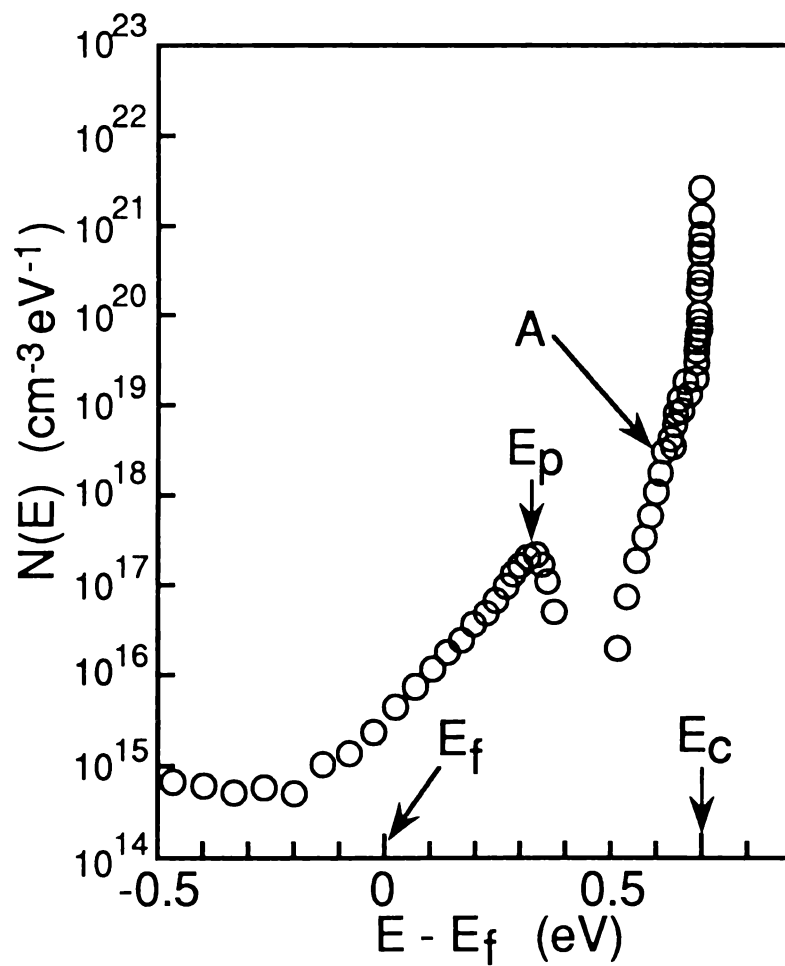


図3.4 QCV法によるa-Siギャップ内状態密度

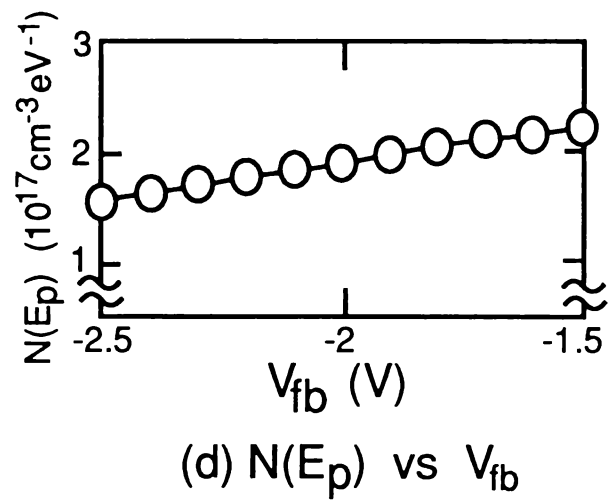
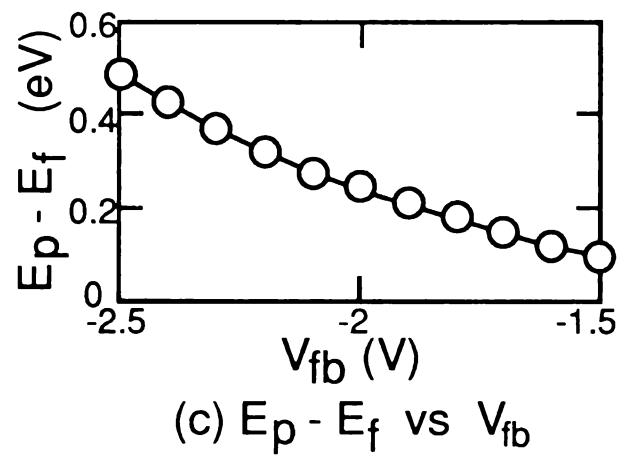
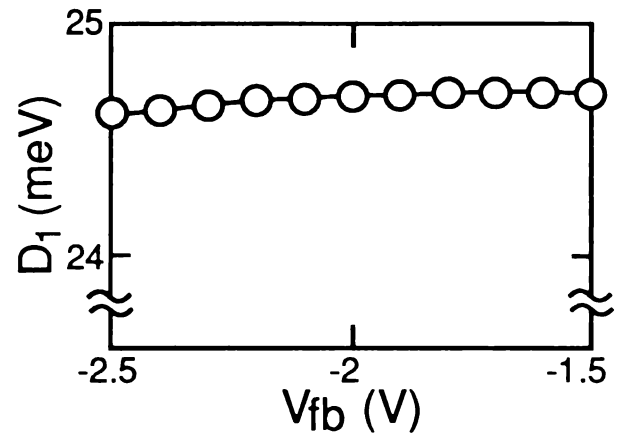
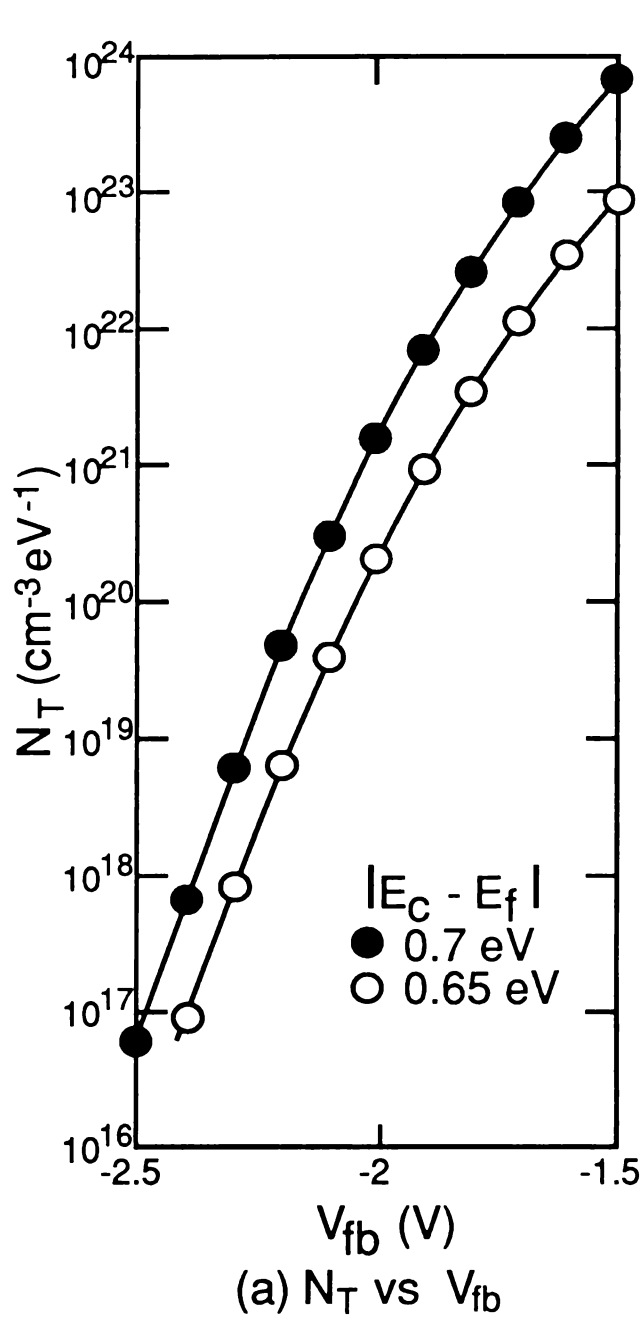


図3.5 諸パラメータの V_{fb} 依存性

meVである。この値は、ほかの評価法によって求められた値と一致が良い。²¹⁾

図3.4のサブピークとそれ以上のエネルギーの部分のギャップ内状態密度分布 $N_1(E)$ をここでは以下のように指数関数の1次結合で表す。

$$\begin{aligned} N_1(E) &= N_T \exp((E - E_c)/D_1) + N_p \exp((E_p - E)/D_2) & (E > E_p) \\ &= N_p \exp((E - E_p)/D_3) & (E < E_p) \\ &\dots\dots\dots (3.17) \end{aligned}$$

ここに、 $D_1 = 24.7 \text{ meV}$, $D_2 = 50 \text{ meV}$, $D_3 = 56 \text{ meV}$ である。

例えば、 $V_{fb} = -2.0 \text{ V}$, $E_c - E_f = 0.7 \text{ eV}$ とすると、 $N_T = 1.7 \times 10^{21} \text{ cm}^{-3} \text{ eV}^{-1}$, $N_p = 1.9 \times 10^{17} \text{ cm}^{-3} \text{ eV}^{-1}$, $E_p - E_f = 0.46 \text{ eV}$ となる。

さて、式(3.6)で Δn_T は n_C の関数であることを述べたが、上の値を用いて関数形 f を数値的に求めたのが図3.6である。 n_C が 10^{16} cm^{-3} 以上では Δn_T は n_C とほぼ比例関係にある。また、 Δn_T は n_C より1桁以上大きい。 Δn_T と n_C の関係は主として N_T の値で決まり、ほかのパラメータの影響は小さい。

3.4 シミュレーション結果

3.4.1 $I_d - V_g$ 特性

図3.7に、a-Si TFT測定サンプルの寸法を入れた断面構造を示す。ゲート長 $20 \mu\text{m}$ 、ソース・ドレインの n^+ 層間隔 $13 \mu\text{m}$ 、SiN層とa-Si層の厚さは、それぞれ $0.3 \mu\text{m}$ 及び、 $0.3 \sim 0.4 \mu\text{m}$ である。また下部の n^+ 層は $0.04 \mu\text{m}$ と薄くしてあるが、不純物濃度が 10^{21} cm^{-3} と高く十分低抵抗であるので、直列抵抗の影響は小さい。伝導帯における電子移動度は、 $7 \text{ cm}^2/(\text{Vs})$ ²²⁾とした。メッシュ数は 50×50 である。計算では、ポアソン式(3.9)、電流の連続式(3.10)及びトラップ電子密度(3.6)を連立させニュートン法を用いて一括解を求めた。なお、同図には誘電率 ϵ_a , ϵ_g の値も示してある。 ϵ_0 は真空の誘電率である。

$I_d - V_g$ 特性の計算結果を図3.8に示す。a-Si層の不純物濃度 N_D は、 10^{15} cm^{-3} とし、CADDETHに入力する V_{fb} の値は、 -2 V とした。図に明らかなように、実験と計算結果は、非常に良好に一致する。このときのギャップ内の準位に関する諸パラメータの値は図3.5で $V_{fb} = -2 \text{ V}$, $E_c - E_f = 0.7 \text{ V}$ としたときのものである。トラップ電子密度 Δn_T は図3.6に示したも

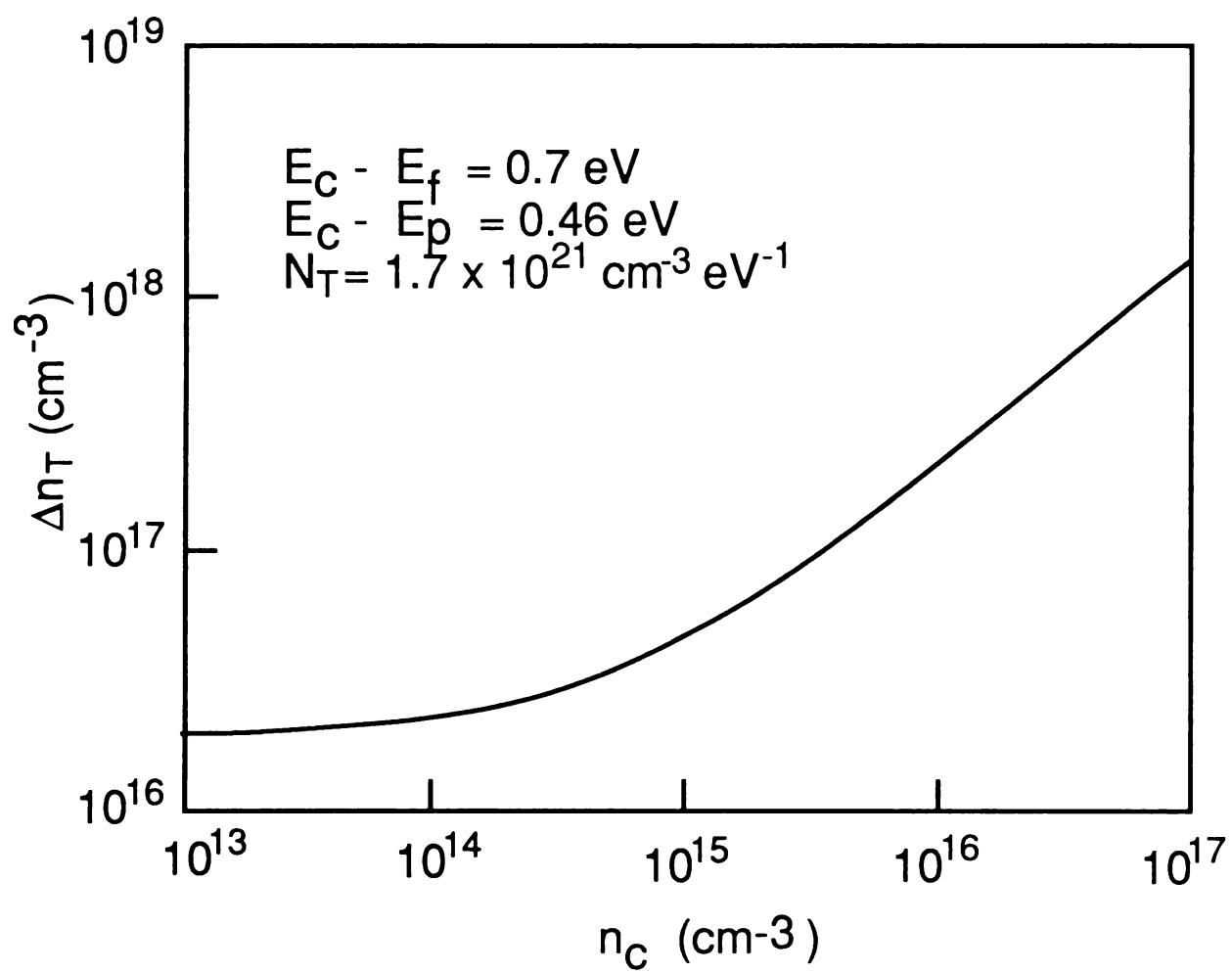


図3.6 トラップ電子密度 Δn_T と伝導電子密度 n_C との関係

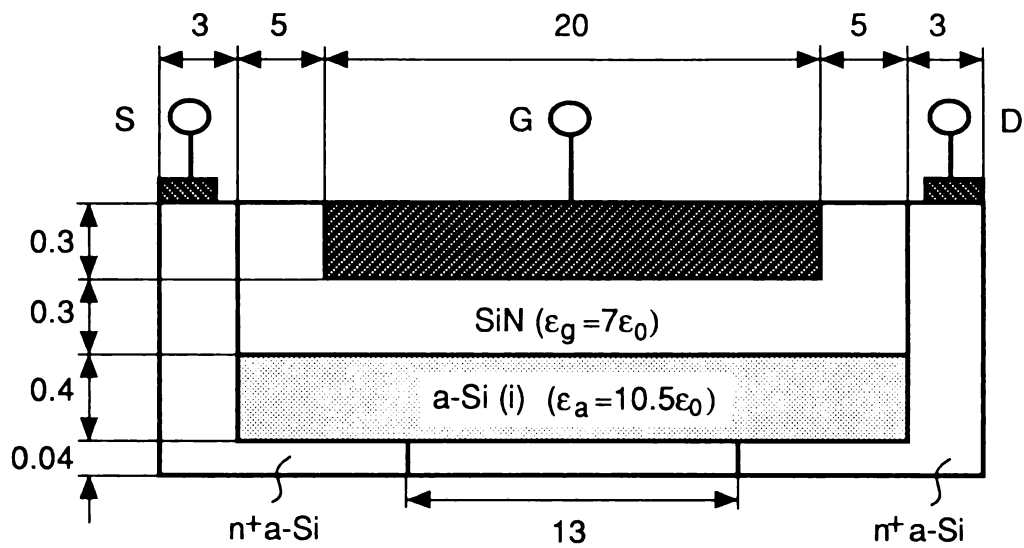


図3.7 a-Si TFTの断面構造
(寸法単位は μm)

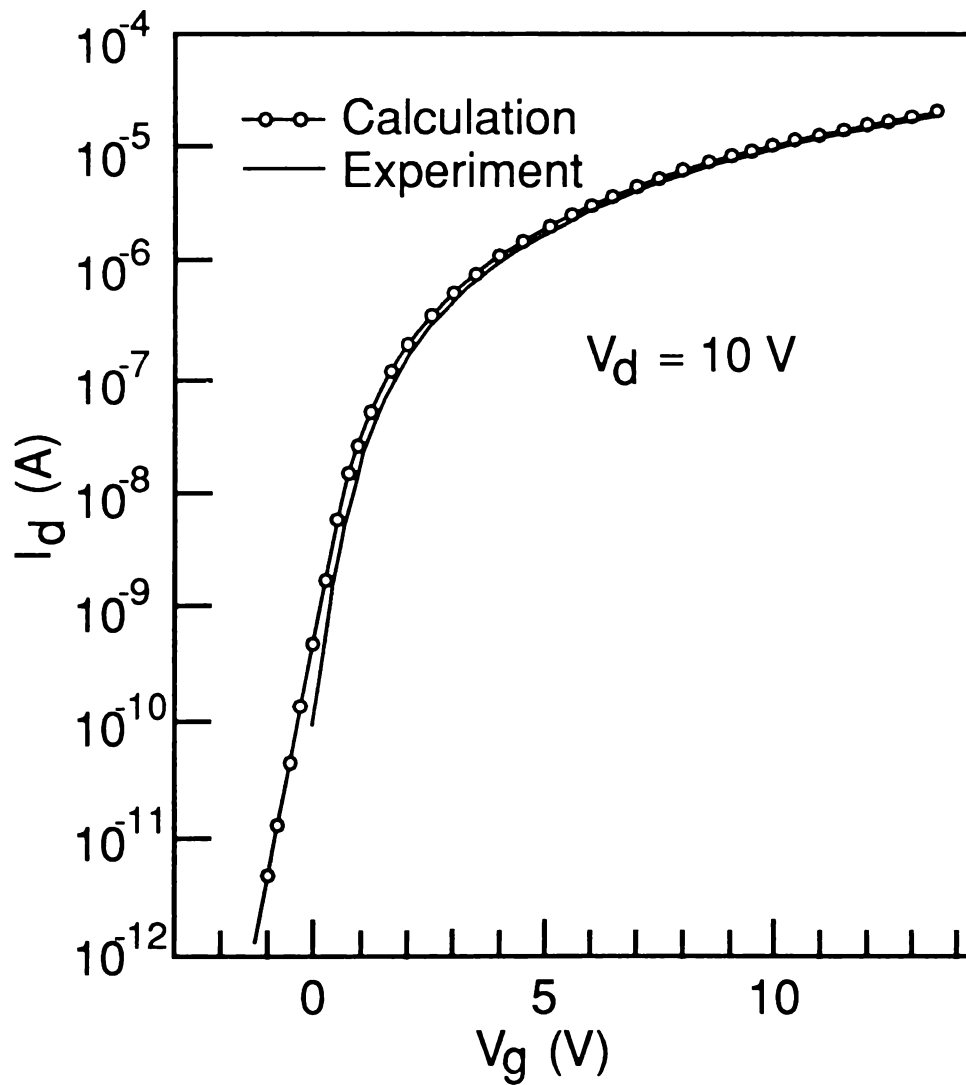


図3.8 I_d - V_g 特性の計算と実験の比較

のとなる。不純物濃度 N_D を変化させたときの、 $I_d - V_g$ 特性の計算結果に対する影響としては、 N_D が 10^{15} cm^{-3} 以下ではほとんどないが、 10^{16} cm^{-3} 以上ではオフ電流がカットされない傾向が得られた。ところでこの N_D は、式 (3.8) に表されるように全ドナー濃度 N_{D0} と n_{T0} との差である。これらの量は 10^{19} cm^{-3} のオーダーであり、 N_D はそれらに比べて微量である。つまり N_D は n_{T0} の設定のしかたによって、任意に変化する量であり、一意的に決まるものではない。ここでは、 $I_d - V_g$ 特性が実験値と一致が良いという観点から $N_D = 10^{15} \text{ cm}^{-3}$ なる値を設定した。すなわち、ギャップ内状態密度の不確定であった部分は、 $I_d - V_g$ 特性の計算値が実験値と最も良く一致するという条件で決定した。

さて、図 3.8 の結果は、サブスレシールド特性においても良好なシミュレーションが可能なことを示すものであり、この点が従来のシミュレータに見られなかった新規な点である。これはギャップ内状態密度を正當に評価したことの帰結と考えられる。この領域において $\partial V_g / \partial \log_{10}(I_d)$ で定義されるテイル係数について調べた結果が図 3.9 である。テイル係数は、ギャップ内状態密度のサブピークの影響を強く受ける。このゲート電圧領域で a-Si/SiN 界面におけるフェルミ準位が、このサブピークの近辺にあるからである。実際、サブピークのない条件で $I_d - V_g$ 特性を計算すると、このテイル係数は 60 mV/decade と非常に小さくなり、理想的な特性値 $(kT/q) \cdot \ln(10)^{23)}$ に近づく。

3.4.2 $I_d - V_d$ 特性

a-Si TFT の $I_d - V_d$ 特性の計算と実験の比較を図 3.10 に示す。両者の一致は極めて良好である。その誤差は、最大でも 10% 以下である。低いドレイン電圧領域で観測されるわずかな S 字型特性²⁴⁾ も計算により良好に再現されている。S 字型特性とは、低いドレイン電圧で電流値が V_d に比例せず小さくなる現象である。ソース・ドレインの n^+ 層とゲート絶縁膜の間の a-Si 層は一種の寄生素子として働く。したがって、a-Si 層の厚さはドレイン電流特性に強い影響を与える。計算によればこの S 字型特性は、図 3.11 に示されるように a-Si の厚さが $0.4 \mu\text{m}$ 程度になると極めて顕著に現われるのが分かる。S 字型特性のモデル化については、次節で検討する。

a-Si TFT 内部の電位分布や電流密度分布をグラフィック出力したものが、図 3.12 である。画像を見やすくするためにゲート長を $4 \mu\text{m}$ 、ソース・ドレイン n^+ 層間隔を $3 \mu\text{m}$ と寸法を縮小し、 n^+ 層厚さを厚くした素子についての出力結果である。その他の縦方向の寸法は図 3.7 のものと同一である。バイアス条件

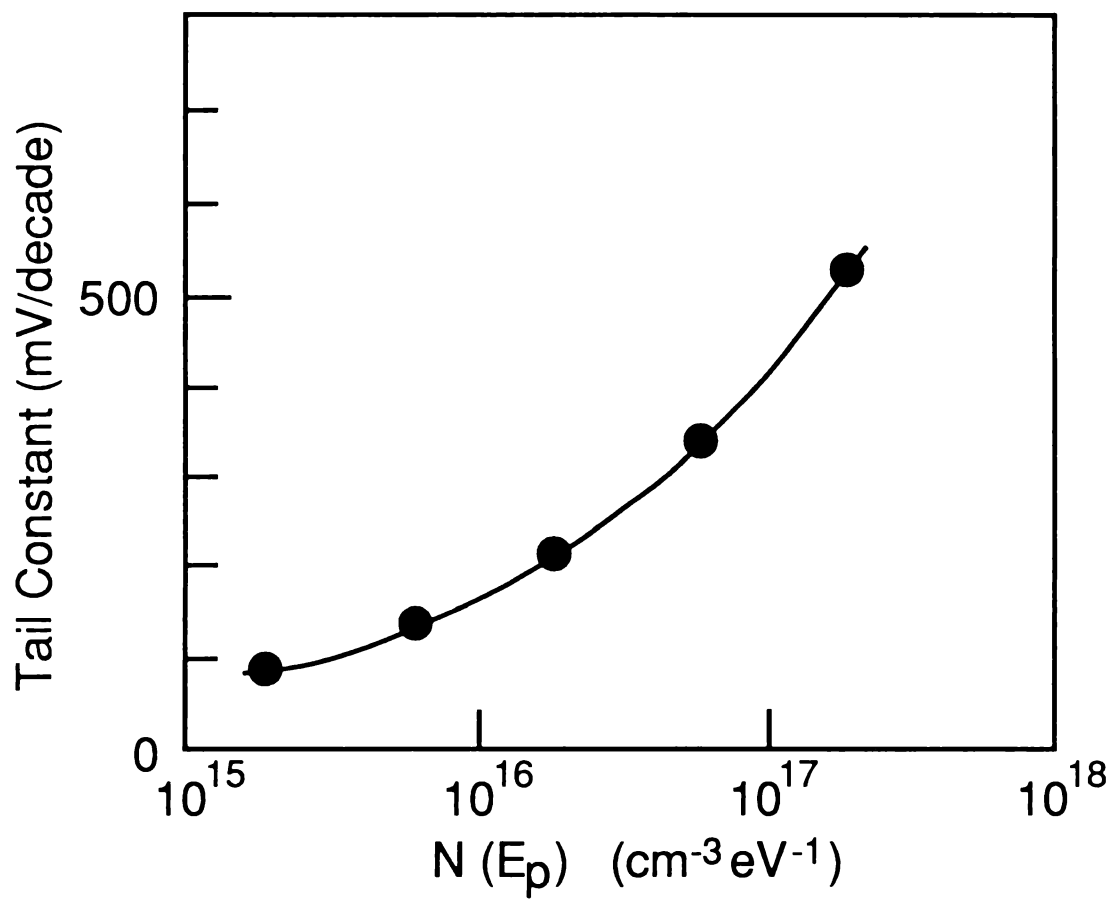


図3.9 テイル係数とサブピークの関係

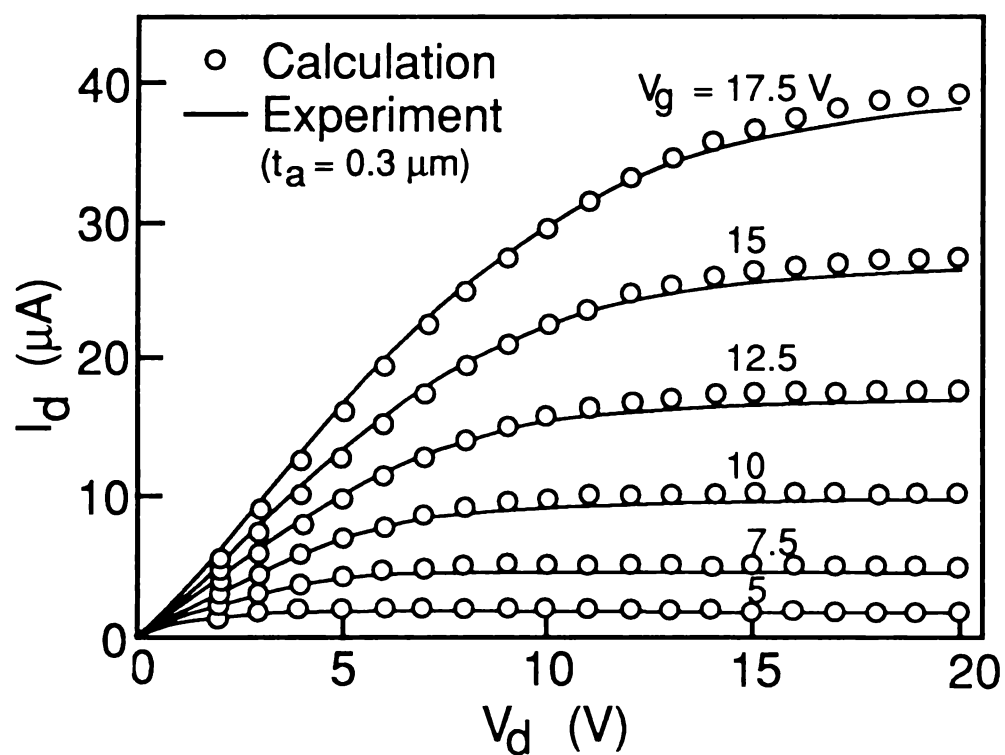


図3.10 I_d - V_d 特性の計算と実験の比較

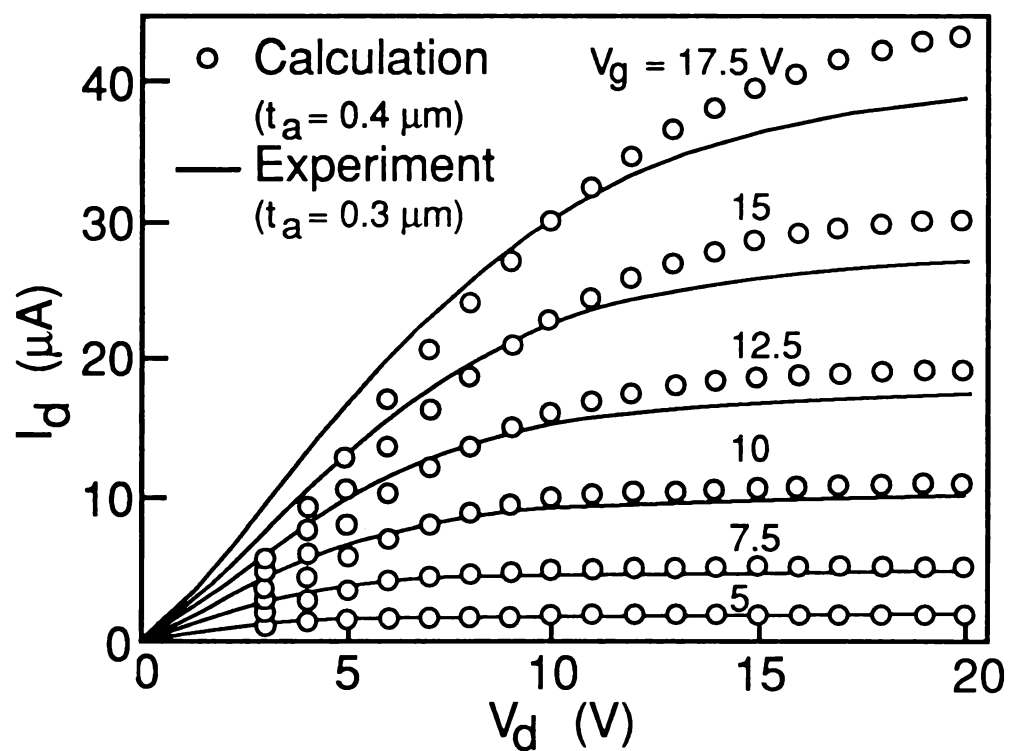


図3.11 I_d - V_d 特性の計算結果 ($t_a = 0.4 \mu\text{m}$)

は、図中に示してある。電流密度の高い部分は図中の赤い部分であるが、ソース電極から流れ込んだ電子は、チャンネルに集中した後、ドレイン電極近傍で若干広がった形になってから、ドレイン電極に流れ込んでいることが分かる。

以上のように、本シミュレータによれば a-Si TFT の $I-V$ 特性に関し、非常に良好な精度でシミュレーションが行えることが示された。

3. 4. 3 S字型特性の検討

ここでは、S字型特性のメカニズムを調べる。⁵⁾

図3. 12に示された電流密度分布によれば、TFTの電流は、主としてソースパス、ドレインパス、約15 nmの厚さのチャンネル部の限られた領域を流れることが分かる。ここにソースパス、ドレインパスはそれぞれソース・ドレイン電極とゲート電極の重なった箇所の a-Si を膜厚方向に横切る部分であり図3. 13に明示されている。同図の経路 SC_1 (ソースパス), C_1C_2 (チャンネル部), そして C_2D (ドレインパス) に沿っての電位分布を図3. 14に示す。電圧条件は、 $V_d = 1\text{ V}$, $V_g = 5\text{ V}$ である。チャンネル部に沿っての電圧降下はわずかに0.22 Vであり、大部分の電圧は SC_1 (0.35 V), C_2D (0.43 V) に印加される。このために、ドレイン電流が相対的に小さくなってS字型特性が生じることになる。

次に、このS字型特性のモデル化を行う。この SC_1 と C_2D における電圧分布はほぼ同じ形をしており、真空管や高抵抗半導体で見られる空間電荷制限電流（以下 $SCLC$: Space Charge Limited Current）のそれと非常に良く似ている。ここでは、ソースパス SC_1 とドレインパス C_2D における電流を $SCLC$ と仮定する。a-Si の両端に電圧 V が印加されたとする。このときポアソン方程式は、

$$\epsilon_a \frac{dE_a}{dx} = -q(\Delta n_T + n_C) = -q(1 + r_1)n_C \quad \cdots \cdots (3. 18)$$

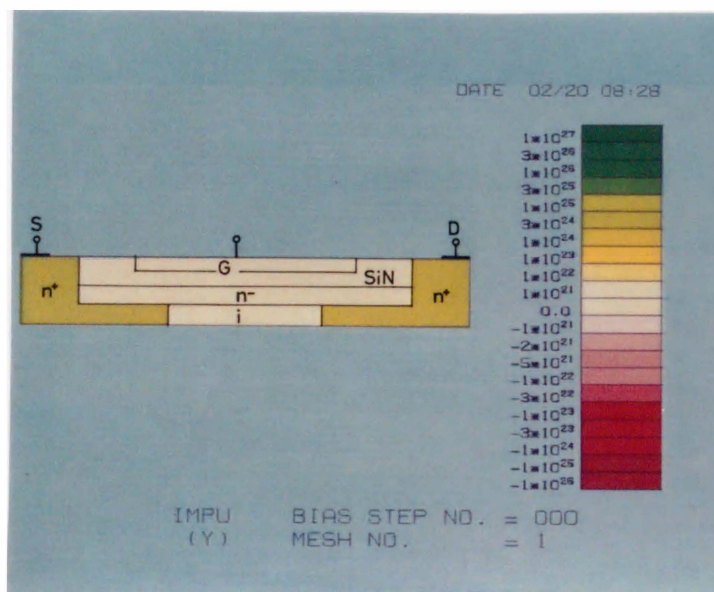
となる。ここに x は膜厚方向にとる。 E_a は a-Si 中の電界である。 r_1 はソース・ドレインパスにおいて Δn_T と n_C の間の比例関係を仮定したときの係数である。電流密度 J は、拡散電流を無視すると

$$J = -q n_C \mu_c E_a \quad \cdots \cdots (3. 19)$$

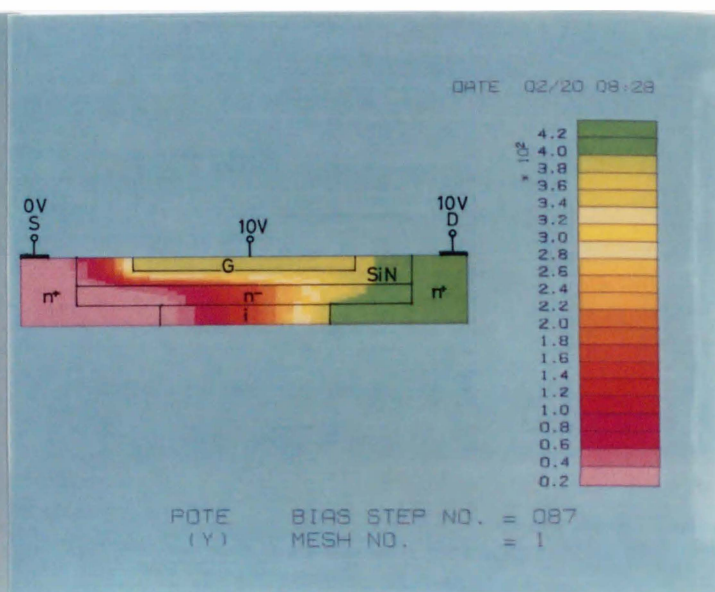
となり、 x に依存しない。式 (3. 18)(3. 19) から、

$$\frac{dE_a}{dx} = (1 + r_1) J / (\epsilon_a \mu_c E_a) \quad \cdots \cdots (3. 20)$$

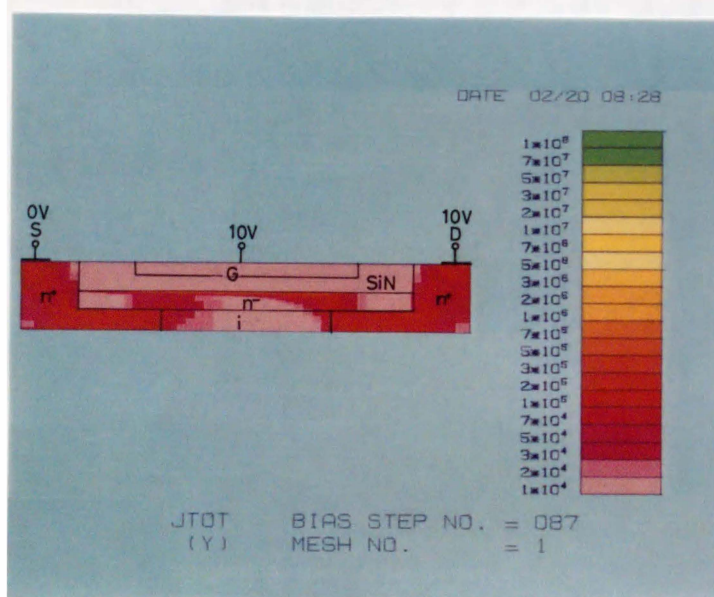
となる。 $x = 0$ で $E_a = 0$ とし、印加電圧が V であることを考慮すると



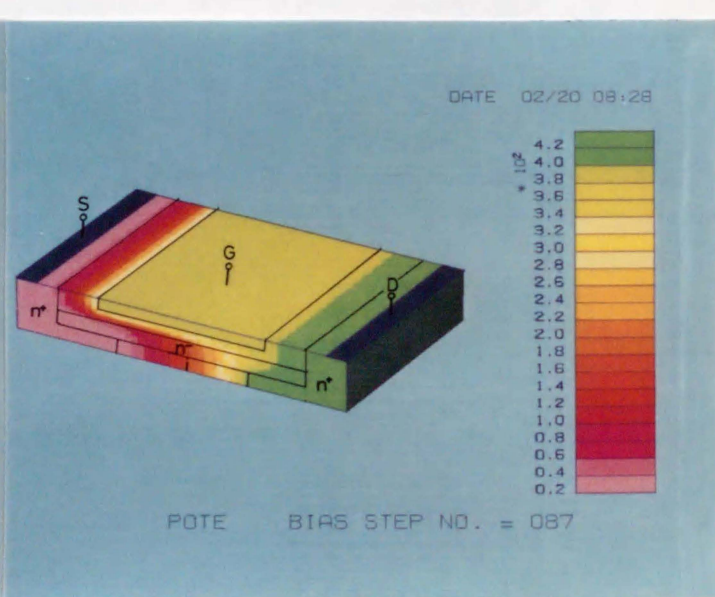
(a) 不純物分布



(b) 電位分布



(c) 電流密度分布



(d) 電位分布鳥瞰図

図3.12 a-Si TFTシミュレーションのグラフィック出力結果

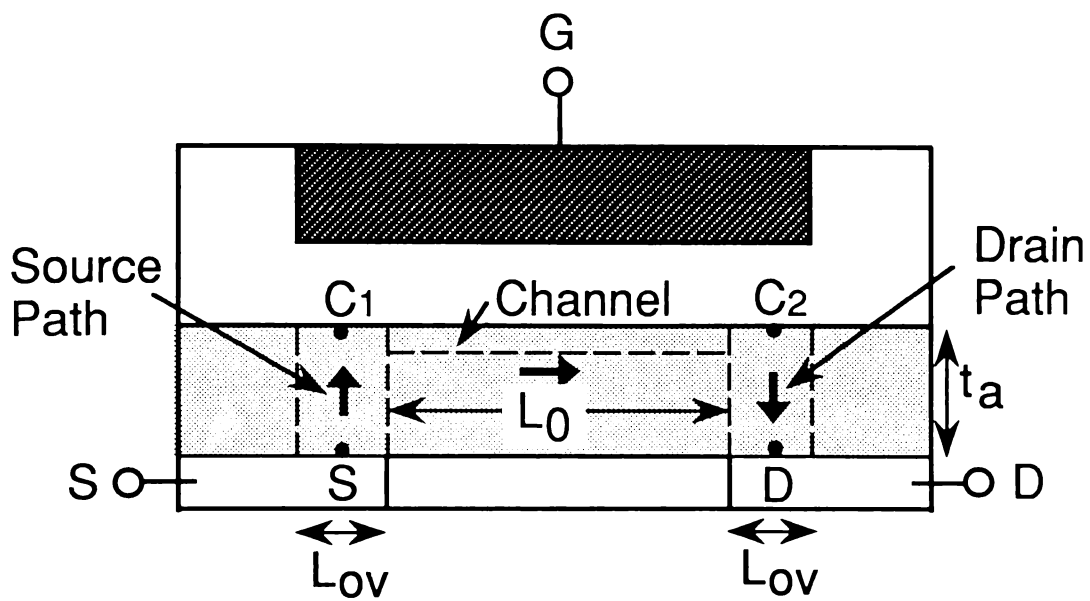


図3.13 a-Si TFTの電流経路

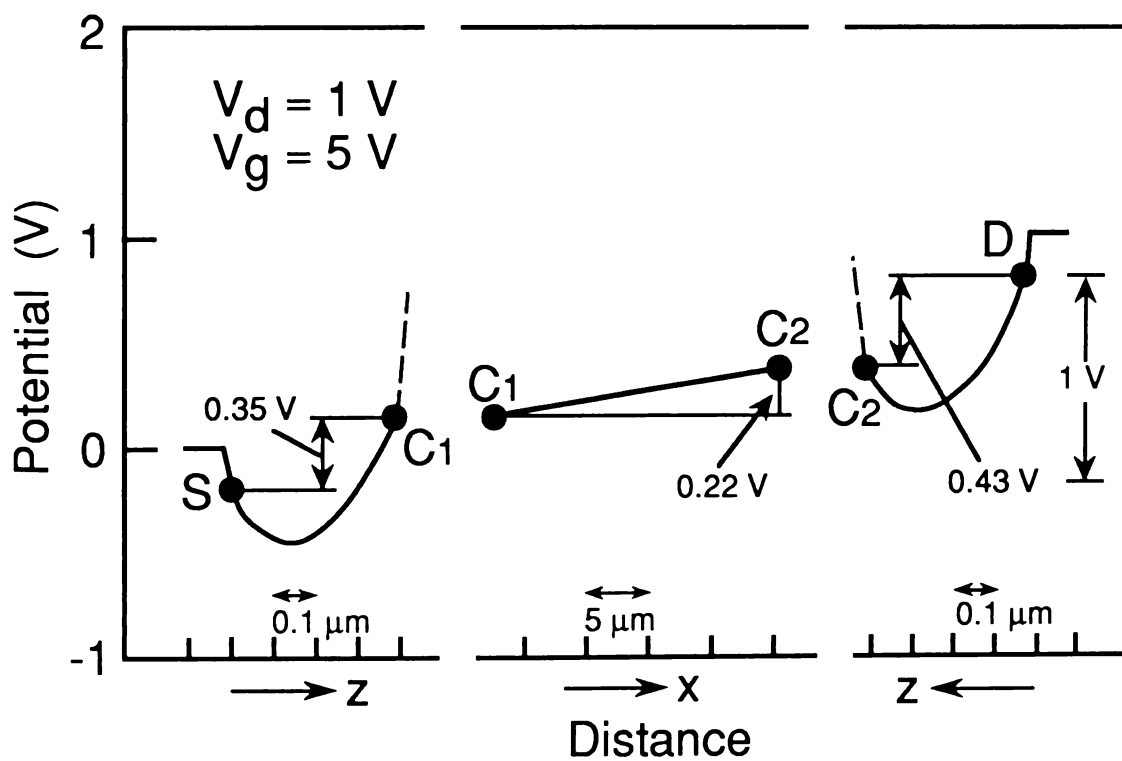


図3.14 電流経路に沿っての電位分布

$$J = (9/8)(\epsilon_a \mu_c V^2 / (1 + r_1) t_a^3) \dots\dots\dots (3.21)$$

を得る。ここに t_a は $a-Si$ 層の厚さである。点 C_1 , C_2 における電圧をそれぞれ V_{C1} , V_{C2} とし、これを式 (3.21) に代入することにより、ソースパス、ドレインパスにおける電流の表式として、

$$I = (9/8)(WL_{ov})(\epsilon_a \mu_c / (1 + r_1) t_a^3) V_{C1}^2 \dots\dots\dots (3.22)$$

$$I = (9/8)(WL_{ov})(\epsilon_a \mu_c / (1 + r_1) t_a^3) (V_d - V_{C2})^2 \dots\dots (3.23)$$

を得る。 W は TFT のチャネル幅、 L_{ov} は電極の重なり幅である。一方、非飽和領域においてチャネル部を流れる電流は、グラデュアルチャネル近似を用いて

$$I = \mu(W/L_{eff})(\epsilon_g/t_g)\{V_g - V_t - (V_{C1} + V_{C2})/2\}(V_{C2} - V_{C1}) \dots\dots\dots (3.24)$$

と表される。ここで、 ϵ_g , t_g はそれぞれゲート絶縁膜の誘電率、膜厚であり、 L_{eff} は実効的なチャネル長である。 L_{eff} は、図 3.13 に示されるマスクチャネル長 L_0 よりも大きい。その求め方と解析結果については 3.4.4 節に示す。また μ はチャネルにおけるキャリアの実効的な移動度であり、伝導帯における移動度 μ_c と次の関係がある。

$$\mu = \mu_c n_C / (\Delta n_T + n_C) \dots\dots\dots (3.25)$$

チャネル部で $\Delta n_T = r_0 n_C$ を仮定して、式(3.22)から(3.25)を用いて、

$$I_d = \{\mu_c / (1 + r_0)\}(W/L_{eff})(\epsilon_g/t_g) \times (V_g - V_t - V_d/2)\{(V_d + V_0)^{1/2} - V_0^{1/2}\}^2 \dots\dots\dots (3.26)$$

ここに

$$V_0 = (8/9)\{(1 + r_1)/(1 + r_0)\}(\epsilon_g/\epsilon_a) \times (t_a^3/L_{ov} t_g L_{eff})(V_g - V_t - V_d/2) \dots\dots\dots (3.27)$$

を得る。式 (3.26) によると $V_d \gg V_0$ では通常の MOSFET と同様の線形領域 ($I_d \propto V_d$) の特性になるが、 $V_d < V_0$ では SCLC 特性の $I_d \propto V_d^2$ になる。 V_d は 1 V であるので、 V_0 が 1 V 程度になると図 3.11 に示されるような S 字型特性が生じるようになる。

図3. 15にS字型特性のシミュレーション結果とモデル式(3. 26)の比較を示す。計算に用いた値は、同図に示したとおりである。 $V_g = 5\text{ V}$, $V_d = 1\text{ V}$ では $V_0 = 0.56\text{ V}$ である。これに対応し、 V_d が0～1 Vで2乗特性が現われている。

以上の検討により、逆スタガ構造においては、膜厚方向に流れる電流がドレイン電流を制限しており、a-Si i層の薄膜化によってオン特性を改善できる余地があるという知見を得た。これについて更に詳しい計算結果の例を図3. 16に示す。同図には、ゲート電圧4～10 Vの間でTF Tのオン電流($V_d = 10\text{ V}$)のa-Si膜厚依存性を示してある。a-Si膜厚を $0.3\text{ }\mu\text{m}$ から $0.02\text{ }\mu\text{m}$ とすることにより、オン電流は、1.5～2倍に上昇することが分かる。図2. 2のI型のTF Tの場合は、 n^+ 層エッチング時のa-Si膜厚制御の困難さからi層をそれほど薄くはできないが、エッチング抑止膜を有するII型のTF Tでは $0.02\text{ }\mu\text{m}$ 程度のa-Si膜厚のTF Tが作製されている。²⁵⁾ それによれば、実際にオン電流の上昇が確認されており、電界効果移動度で $0.8\sim 1.4\text{ cm}^2/(\text{Vs})$ と、確かにa-Si膜厚が $0.3\text{ }\mu\text{m}$ の場合の1.5～2倍となることが知られている。この結果は、上記の議論を裏付けるものである。

3. 4. 4 TF Tの実効チャネル長の解析

これまでに述べてきたように、ソースパスやドレインパスにけるSCLCがTF Tのオン特性を制限している。本節では、このSCLCがTF Tの実効チャネル長 L_{eff} に及ぼす影響についての解析結果を記す。⁹⁾

図3. 17は、a-Si膜厚が $0.33\text{ }\mu\text{m}$ と $0.95\text{ }\mu\text{m}$ のTF Tの $I_d - V_g$ 特性の飽和領域について、次式

$$I_d = \beta(V_g - V_t)^2 / 2 \quad \dots\dots\dots (3. 28.1)$$

$$\beta = \mu_{obs} C_i W / L_0 \quad \dots\dots\dots (3. 28.2)$$

を用いて求めた移動度 μ_{obs} のマスクチャネル長 L_0 依存性を示したものである。これによれば、ソース・ドレイン電極の間隔で決まる L_0 が μ_{obs} に大きな影響を与え、しかもその程度は、 L_0 が小さいほど、またa-Si膜厚 t_a が大きいほど大きくなることが分かる。しかしながら、TF Tのキャリアの移動度は、本来、ゲート絶縁膜とa-Si膜の界面の質で決まるものであるから、チャネル長という外的な因子の影響は、極めて考えづらい。したがって、上記 μ_{obs} には何らかの

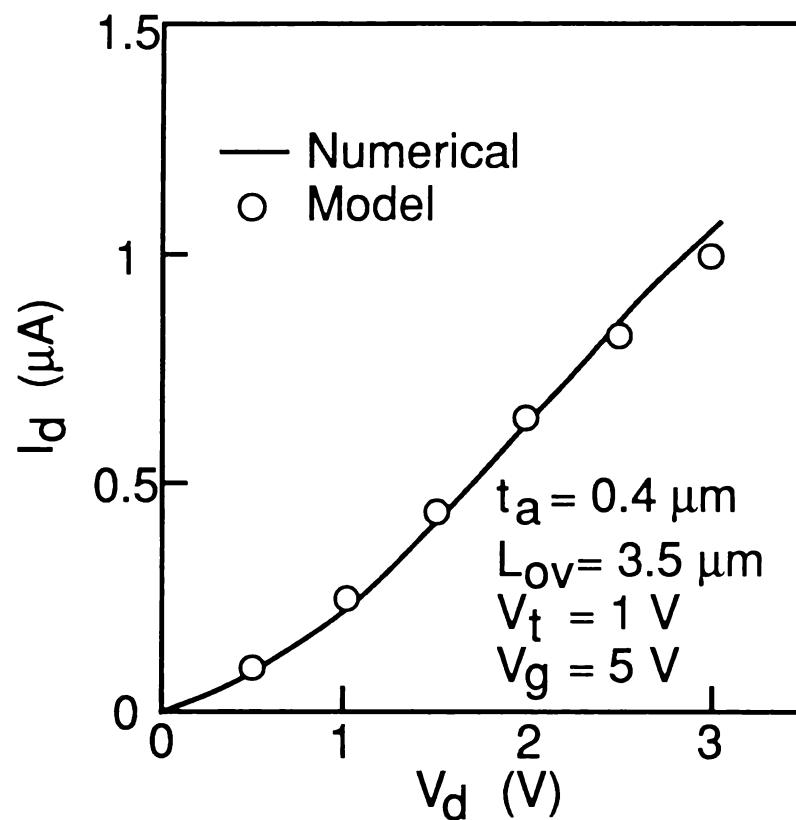


図3.15 S字型特性のモデル式の実験検証

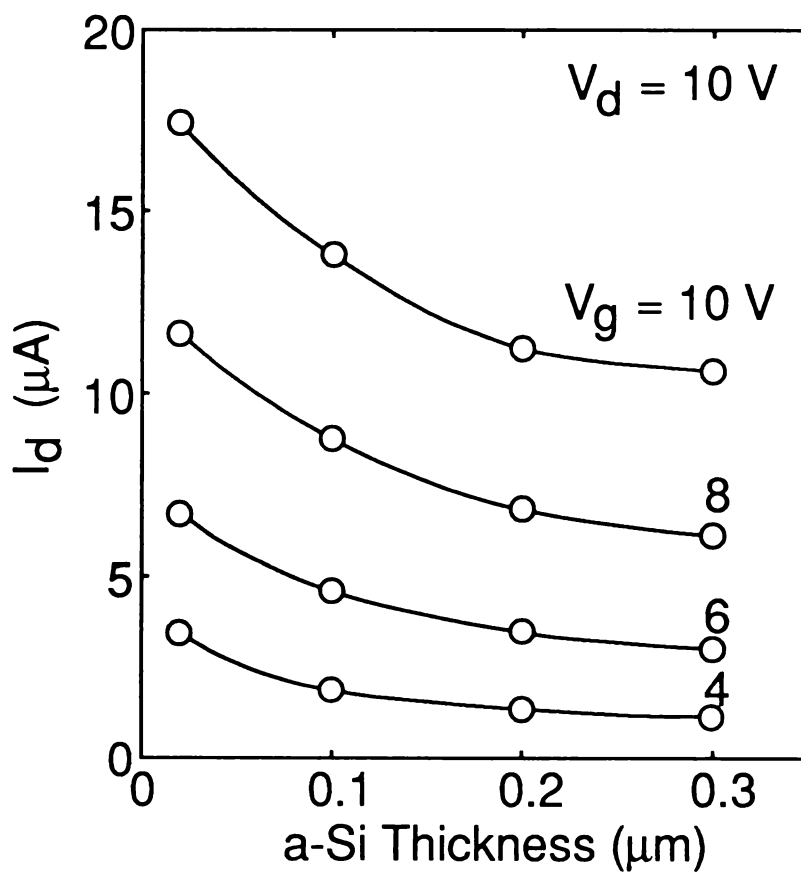


図3.16 ドレイン電流のa-Si膜厚依存性

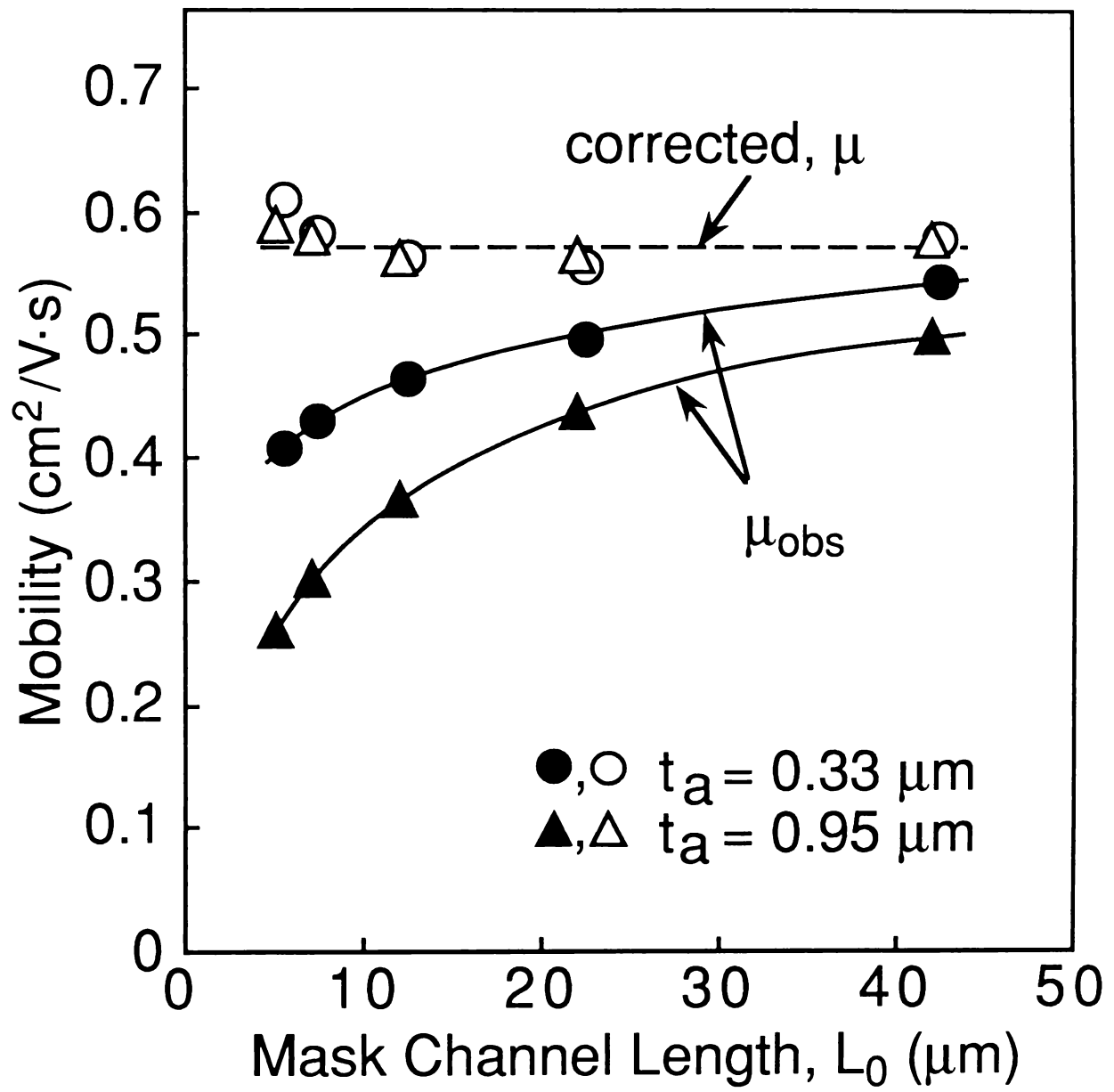


図 3.17 移動度のマスクチャネル長依存性

補正が必要であると考えられる。筆者らは、実効的なチャンネル長 L_{eff} を以下の
ように求めることにより μ_{obs} を補正した。

図3. 18は、 $1/\beta$ をマスクチャンネル長 L_0 に対してプロットしたものである。
もし式(3. 28)が成り立つならば、このプロットは原点を通過する直線上に乗
るはずである。しかしながら実際は、同図に明らかなように、有意なオフセット長
 ΔL が認められる。 ΔL の値としては、 $t_a = 0.33 \mu m$ ($0.95 \mu m$) のと
きに $2.1 \mu m$ ($5.8 \mu m$) である。解析の上では、 ΔL はチャンネル長の増分の
意味を持つ。物理的には、ソースパスにおける電流機構がSCLCであり、それ
によってドレイン電圧が実効的に低下する現象をチャンネル長の増分に置き換えたもの
である。

ΔL を用いると、TFTの実効チャンネル長として、

$$L_{eff} = L_0 + \Delta L \quad \dots\dots\dots (3. 29)$$

を定義できる。これを使うと、

$$\mu = \beta L_{eff} / C_i W \quad \dots\dots\dots (3. 30)$$

より、補正值である実効的な移動度 μ を求めることができる。図3. 17には、
この補正值も記してある。 μ はマスクチャンネル長やa-Si膜厚によらないほぼ
一定の値となっており、補正の妥当性が示されている。

次に、 ΔL をSCLCの観点から解析する。まずソースパスにおける電流の表式
を式(3. 22)のSCLCと仮定する。一方、界面 $C_1 C_2$ に沿っての飽和電流
は次のように表される。

$$I = \{\mu_c / (1 + r_0)\} (WC_i / L_0) (V_g - V_{Cl} - V_t)^2 / 2 \quad \dots\dots\dots (3. 31)$$

式(3. 22)と(3. 31)より ΔL と L_0 の関係を求めることができる。⁹⁾

$$\Delta L = L_0 \{ \delta / 2 + \delta^{1/2} \} \quad \dots\dots\dots (3. 32.1)$$

$$\delta = (8/9) \{ (1 + r_1) / (1 + r_0) \} (C_i / \epsilon_a) \{ t_a^3 / L_0 L_{ov} \} \quad (3. 32.2)$$

式(3. 32)の関係を実験的に確かめるために、種々のa-Si膜厚のTFTに
ついて ΔL を求めた。結果を図3. 19に示す。同図におけるそれぞれの測定点は、
図3. 18に示したのと同じ外挿により求めたものである。計算結果は、 $L_0 =$
 $12.4 \mu m$, $L_{ov} = 3.8 \mu m$, $C_i = 18.5 \text{ nF} / \text{cm}^2$, $\epsilon_a =$

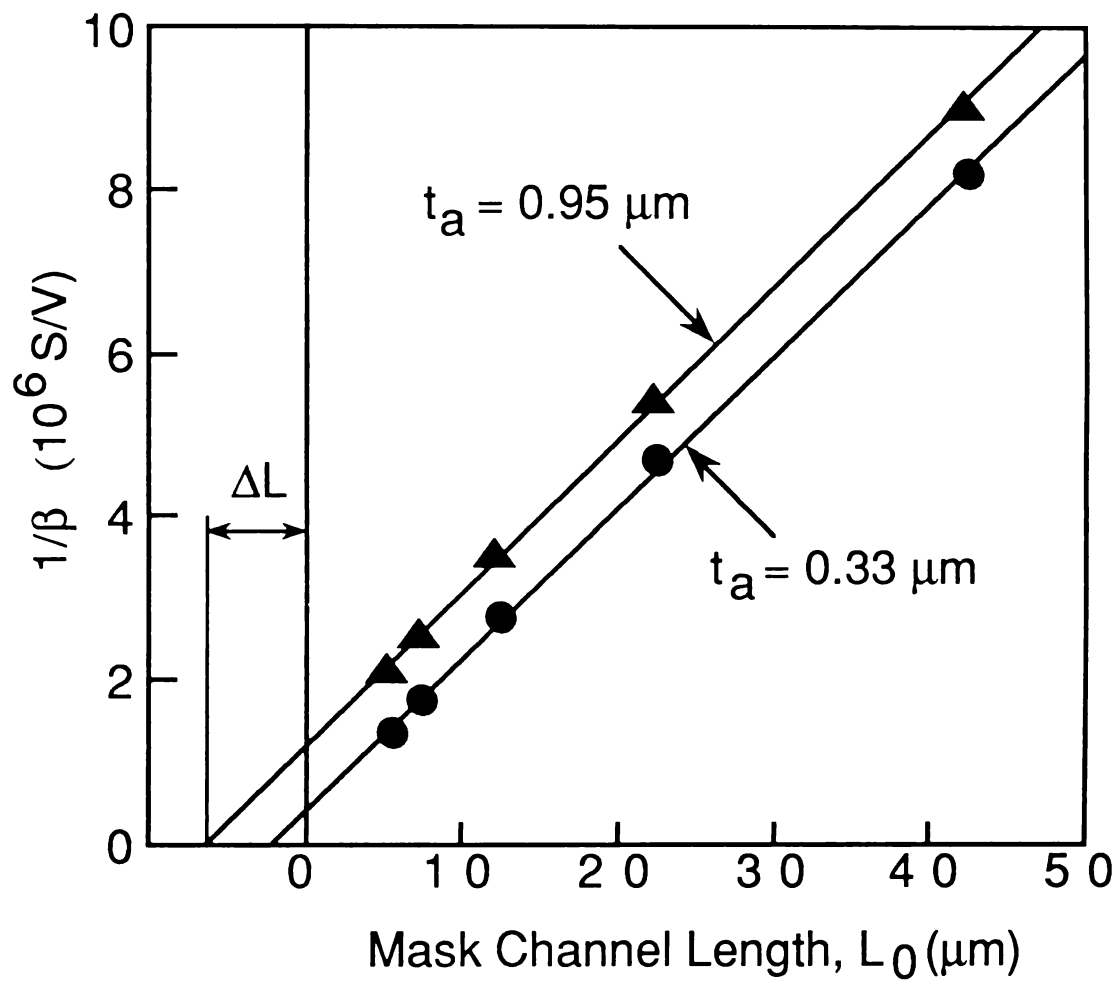


图3.18 $1/\beta$ vs L_0

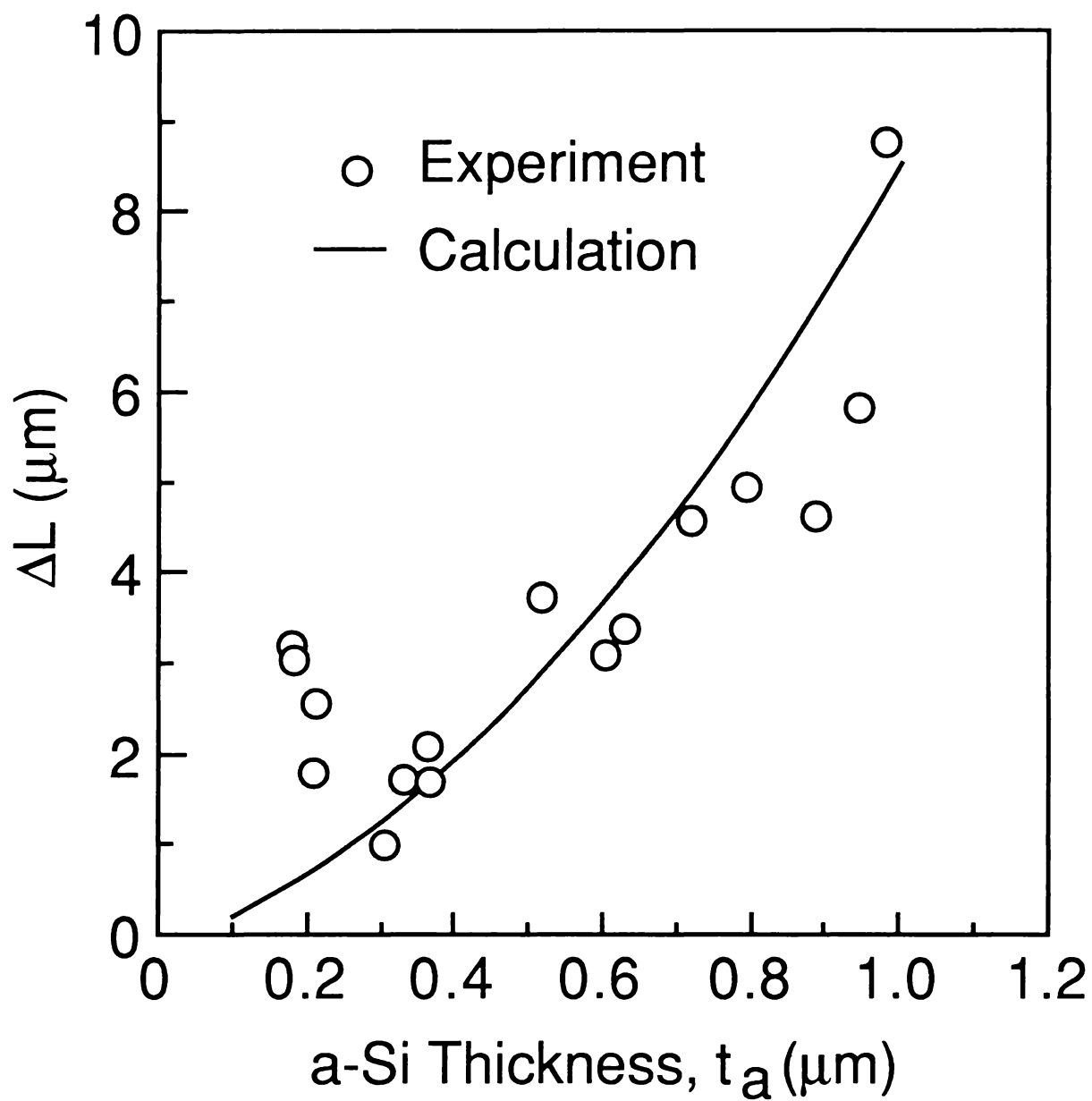


図3.19 チャネル長の増分の a-Si 膜厚依存性

$10.5\epsilon_0$ (ϵ_0 は真空の誘電率)を用いて得られた。キャリアの比 r_1 と r_0 の値は、それぞれ180, 30とした。これらは、3.4.1及び3.4.2節でTF Tの電流－電圧静特性を計算するのに用いられた値である。

図3.19の結果は、特に t_a が小さいところで定量的に検討の余地があるものの、実験と計算結果の定性的な一致は良好であり、 ΔL の起源が電極オーバーラップ領域におけるSCLCであることが十分に示唆される。換言すると、 ΔL の大きさに実際に対応する空間的な距離が存在するわけではなく、ソースパスにおけるドレイン電圧の実効的な低下現象がチャネル長の増分に置換されたものであることが分かる。

以上本節では、3.4.3節に述べたような、オン特性のa-Si膜厚依存性を説明するのに、実効的なチャネル長の増大 ΔL で解釈すると、TF Tのソースパスやドレインパスにおける電流機構としてSCLCが矛盾なく組み込まれることを示した。

3.4.5 その他の計算結果

第2章に示したように、a-Si TF Tは駆動温度によってしきい値電圧 V_t や移動度が変化する。特に V_t の変化についての計算結果を図3.20に示す。計算では、各温度でのパラメータを入力して $I_d - V_g$ 特性を算出し、飽和領域での $(I_d)^{1/2} - V_g$ 曲線から V_t を求めた。温度 $-50 \sim 60^\circ\text{C}$ の範囲において計算結果は実測値と良好に一致しているのが分かる。ここでの V_t は、文献3におけるしきい値電圧 V_{t1} に対応するが、そこに報告された V_{t1} の温度依存性の計算結果と比較して、本シミュレータは計算精度の大幅な改善を達成するものである。

計算結果の別の例として、TF Tの電極の位置関係とドレイン電流について記す。a-Si TF Tはnチャネルデバイスであり、十分に大きなドレイン電流を確保するためには、ソースとゲート電極をオーバーラップさせておく必要がある。一方、このオーバーラップはソース・ゲート電極間に寄生容量を派生するので、可能な限りオーバーラップ寸法を小さくすることが望ましい。このオーバーラップ寸法 L_{ov} に対するドレイン電流の依存性の計算結果を、図3.21に示す。 L_{ov} が $2\mu\text{m}$ 以上では、ドレイン電流の変化は小さいが、 L_{ov} が $0\mu\text{m}$ で10%減少、 $-1\mu\text{m}$ で95%減少する。これらの計算結果は、実際にこの寸法を変化させた素子の測定結果を良好に説明する。これによればプロセス裕度を含め $L_{ov} = 5\mu\text{m}$ として設計し、仕上がり値として $2\mu\text{m}$ を確保すれば、十分なドレイン電流を得ることができることが分かる。

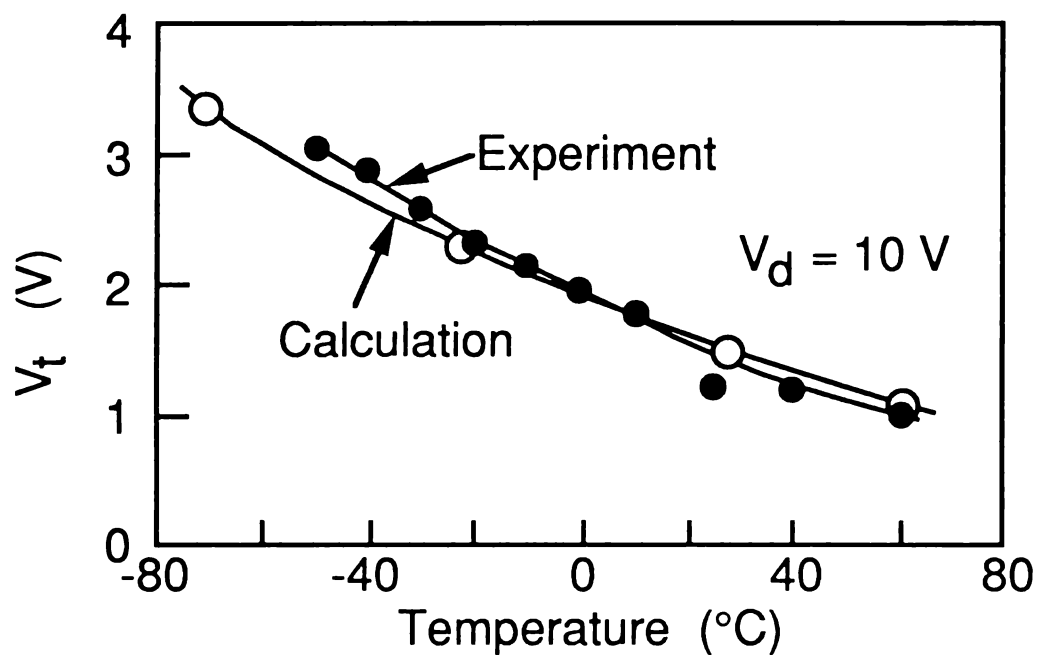


図3. 20 V_t の温度依存性

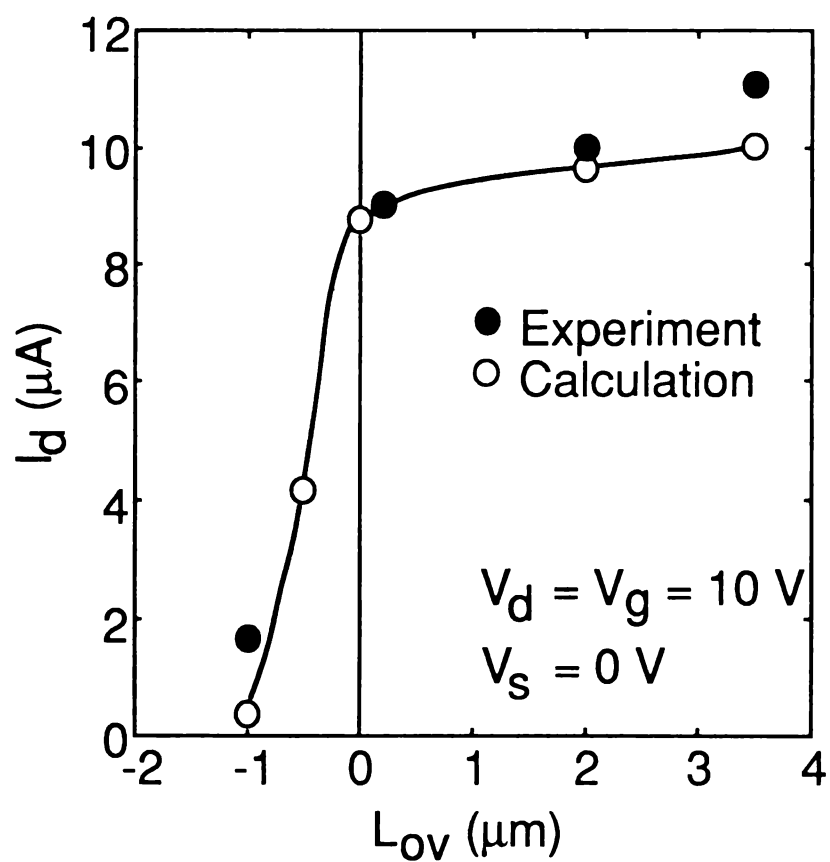


図3. 21 ドレイン電流のオーバーラップ寸法依存性

3. 5 まとめと今後の課題

スーパーコンピュータ上で動作する a-Si TFT 特性のシミュレーション及びモデリングの研究を行い、従来にない精度の 2 次元シミュレータを達成した。主な結果を以下に列挙する。

- (1) 準静的 CV 法を用いて実測したギャップ内状態密度に基づくトラップ電子のモデルを、既存の 2～3 次元デバイスシミュレータ CADDETH に組み込み、a-Si TFT の $I_d - V_g$ 特性及び $I_d - V_d$ 特性が計算できることを示した。
- (2) シミュレータの精度は極めて良好であり、計算結果はサブスレショルド特性及びオン特性のいずれの領域においても実測値と 10 % 以下の誤差で一致した。サブスレショルド特性のテイル係数は 300 mV/decade であるが、これはギャップ内状態密度のうち比較的深い位置（伝導帯から 0.4～0.6 eV）にある準位の影響を強く受けるものである。
- (3) 低ドレイン電圧領域では、スタガ構造に特有な a-Si を膜厚方向に横切るチャネル経路の部分によって、S 字型特性が現われる。この特性は、空間電荷制限電流の考え方を取り込むことによりモデル化が可能なことを示した。さらに、そのモデルに基づいて TFT のオン抵抗の増大現象を解析し、実効チャネル長の増大効果として記述できることを示した。
- (4) シミュレータを用いて、TFT 特性の a-Si 膜厚依存性、電極配置との関係、温度依存性などを計算した結果、いずれも実測値を良好に再現することが確認された。

以上、本研究により得られた 2 次元 TFT シミュレータは、素子の計算機設計に適用できる精度を有するものであり、設計の効率向上に有用であると考えられる。

a-Si TFT シミュレータの今後の課題は、以下のとおりである。

- (1) 正孔の伝導について考慮し、これを組み込んで TFT のオフ特性について精度のよいシミュレータを開発することが必要である。そのためには、a-Si の価電子帯側のギャップ内状態密度の精密な評価が不可欠である。
- (2) ギャップ内準位中の電子の充放電の機構を正確にモデル化することにより、静特性だけでなく、スイッチング動作のシミュレーションを可能にし、デバイス、回路設計にフィードバックすることが必要である。

参 考 文 献

- 1) S. Kishida, Y. Naruke, Y. Uchida, and M. Matsumura, Jpn. J. Appl. Phys. 22, 511 (1983).
- 2) T. Leroux, Solid-State Electronics 29, 47 (1986).
- 3) M. Shur, C. Hyun, and M. Hack, J. Appl. Phys. 59, 2488 (1986).
- 4) N. Hirose, Y. Uchida, and M. Matsumura, Jpn. J. Appl. Phys. 24, 200 (1985).
- 5) T. Toyabe, H. Masuda, Y. Aoki, H. Shukuri, and T. Hagiwara, IEEE Trans. Electron Devices ED-32, 2038 (1985).
- 6) M. Hirose, T. Suzuki, and G. H. Dohler, Appl. Phys. Lett. 34, 234 (1979).
- 7) 高橋,小長井編 最新アモルファスハンドブック, (1983), p.148.
- 8) T. Toyabe, H. Masuda, Y. Kaneko, A. Sasano, H. Fukushima, and T. Tsukada, Proc. Intn'l Electorn Devices Meeting, (1986), p.575.
- 9) Y. Kaneko, T. Toyabe, and T. Tsukada, Jpn. J. Appl. Phys. 31, 3506 (1992).
- 10) J. G. Shaw and M. Hack, J. Appl. Phys. 65, 2124 (1989).
- 11) M. Hack and J. G. Shaw, J. Appl. Phys. 68, 5337 (1990).
- 12) T. Tiedje, J. M. Cebulka, D. L. Morel, and B. Abeles, Phys. Rev. Lett. 46, 1425 (1981).
- 13) J. Orenstein and M. Kanster, Phys. Rev. Lett. 46, 1421 (1981).
- 14) T. Tiedje and A. Rose, Solid State Commun. 37, 49 (1981).
- 15) Y. Mishima, T. Kimura, and K. Oki, Symp. Digest Japan. Soc. Appl.Phys., (Spring Meeting, 1989), p.41.
- 16) H. Uchida and S. Kaneko, ibid., p.46.
- 17) R. L. Weisfield, P. Viktorovich, D. A. Anderson, and W. Paul, Appl. Phys. 39, 263 (1981).
- 18) N. Goodman and H. Fritzsche, Phil. Mag. B42, 149 (1980).
- 19) M. J. Powell, IEEE Trans. Electron Devices 36, 2753 (1989).
- 20) J. M. Marshall, R. A. Street, and M. J. Thompson, Phil. Mag. B54, 51 (1986).
- 21) D. V. Lang, J. D. Cohen, and J. P. Harbison, Phys. Rev. B25, 5285 (1982).
- 22) W. B. Jackson, C. C. Tsai, and S. M. Kelso, J. Non-Cryst. Solids 77&78, 281 (1985).

- 23) S. M. Sze, Physics of semiconductor devices 2nd. ed., (Wiley, New York, 1981), p.462.
- 24) M. J. Powell, and J. W. Orton, Appl. Phys. Lett. 45, 171 (1984).
- 25) S. Shirai, S. Hotta, S. Nagata, Y. Miyata, K. Yokoyama, K. Adachi, A. Nishikawa, K. Kawasaki, T. Chikamura, and M. Yoshiyama, Digest of Tech. Reports, (IEICE of Japan, 1986), ED86-39 (in Japanese).

第4章 a-Si TFTの信頼性

4.1 はじめに

前章までに述べてきたように、オン／オフ特性のみに焦点をすれば、a-Si TFTはLCD応用に対し十分な特性を有するものである。しかしながら、このa-Si TFTには、信頼性に問題があることが指摘されている。¹⁾ これはしきい値電圧 (V_t) のドリフトという動作安定性にかかわる問題である。この信頼性の問題が提起された当初は、アモルファス材料という構造の本質的な不安定性に対する不安もあいまって、a-Si TFTの実用化に対する多分に悲観的な憶測が投げかけられた。その一方で、このような動作不安定性の少ない多結晶シリコン(p-Si) TFTによるアクティブマトリクスLCDの研究が活性化した。²⁾ それ以来、LCD用TFTの半導体材料として、a-Siとp-Siのどちらが適するかについて常に比較されることになった。著者らは、a-Si薄膜プロセスの工業技術的な特長である(1)大面積化の容易性、(2)400℃以下の低温プロセスに基づく低コストなどの点を考慮に入れ、TFT应用においてはa-Siがp-Siに対して優位にあると判断した。そして、a-Si TFTの実用化を推進すべく、その V_t ドリフトの原因を究明し克服する研究に着手した。

本研究の範囲では、a-Si TFTの V_t ドリフトの評価を通じ、その特徴の抽出、機構の解析検討及び低減対策を行った。本章では、それらにより得られた知見をまとめる。

第1に、TFTの $I-V$ 特性とMISキャパシタの $C-V$ 特性を用いて、 V_t ドリフトを調べた。特に V_t ドリフトのゲート電圧、ドレイン電圧、駆動温度及び駆動時間など諸パラメータに対する依存性を評価した。これらの基礎データをもとに、経験的な V_t ドリフトの定式化を行った。この経験式により、長時間寿命試験での V_t ドリフトの予測を可能にした。

第2に、ゲート絶縁膜厚を変化させたTFTを用いて V_t ドリフトのメカニズムの検討を行った。特に、a-Si TFTの V_t ドリフトはゲート絶縁膜である窒化シリコン膜(SiN)に印加される電界に強く依存するという点を明らかにした。さらに、2重ゲート絶縁膜を有するTFTを用いて、ゲート電界によりa-SiとSiNの界面近傍で固定電荷が生じるため V_t ドリフトが発生することを検証した。

第3に、TFTの作製プロセス条件と V_t ドリフトの関係を調べた。その際、特にSiN/a-Siの堆積温度が V_t ドリフトの低減に効果があることを見だし

た。すなわち、従来はa-Si太陽電池の作製技術からの類推により230℃近辺の堆積温度が用いられていたが、これを300℃以上に引き上げることで V_t ドリフト量を1/3以下に低減できることを示した。また、SiN形成材料ガスの組成比が V_t ドリフトに大きな影響を与えることを明らかにした。すなわちSiN膜中のシリコンと窒素の組成が化学量論的組成に対してシリコン過剰になると、 V_t ドリフトは増大することが判明した。これらの結果をもとに、信頼性の観点からTF Tプロセスの最適化を行った。

最後に、最適化したa-SiTF Tの長期寿命の推定を行った。その結果、 10^4 時間駆動での V_t ドリフト量は1V未満と見積もられ実用化の見通しを得た。以下に、これらの検討結果の詳細を述べる。

4. 2 a-SiTF Tのしきい値電圧ドリフト

4. 2. 1 ドレイン電流の変化と V_t ドリフト

a-SiTF Tを直流駆動すると、ドレイン電流が時間経過とともに減衰する現象が観測される。図4. 1にその例を示す。ゲート電圧20V、ドレイン電圧10Vで30分間駆動すると、ドレイン電流は初期値 I_0 の10%程度分だけ減衰している。一般にこの減衰の割合は、10~20%と報告されている。³⁾ また、この現象は、移動度(μ)が減少するためではなく、TF Tのしきい値電圧(V_t)が正方向へドリフトすることによって生じることが知られている。⁴⁾ 後述するように、この V_t ドリフトはTF Tを駆動するときその駆動電圧、特にゲート電極に印加する電圧がストレスになって生ずるものである。 V_t ドリフトによってドレイン電流(I_d)ーゲート電圧(V_g)特性が変化する様子の典型的な例を図4. 2に示す。これは、ゲート電極に直流電圧を400時間印加する前後での I_d ー V_g 特性の変化である。ゲート電極に正符号(負符号)の電圧を印加すると、 I_d ー V_g 特性は正方向(負方向)にはほぼ平行シフトしている。これは、TF Tの V_t が正方向(負方向)にドリフトすることに対応する。このドリフトの方向はa-SiTF Tについて一般的に成り立つものである。¹⁾ そのメカニズムの詳細検討は4. 4節で行うが、簡単なMOSトランジスタの理論⁵⁾からの類推によれば、この V_t ドリフト現象はストレス電圧印加によりTF TのSiN/a-Si界面あるいは、ゲート絶縁膜であるSiN膜中に捕獲された固定電荷に起因すると考えられる。一方、通常のMOSと異なることは、ゲート絶縁膜として電荷捕獲準位の多いSiN膜を使用している点、さらに半導体であるa-Siの禁制帯内の準位密度が大きい点である。実際、SiN膜中の電荷捕獲準位を利用して、金属ーシリ

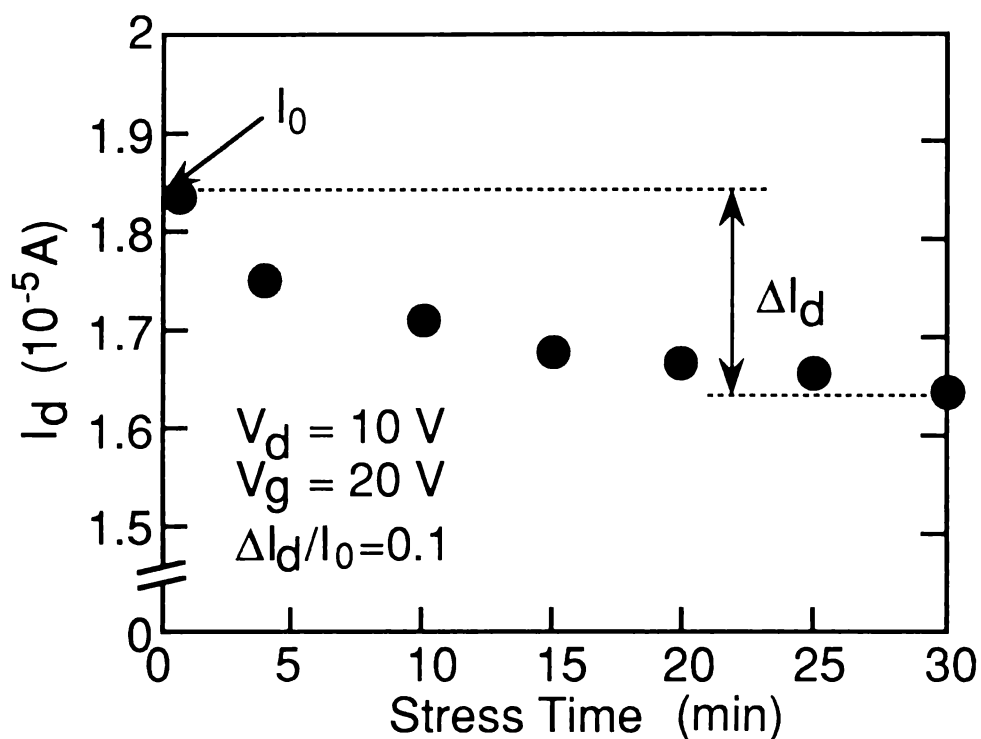


図4.1 DC電圧駆動によるドレイン電流の減衰の例

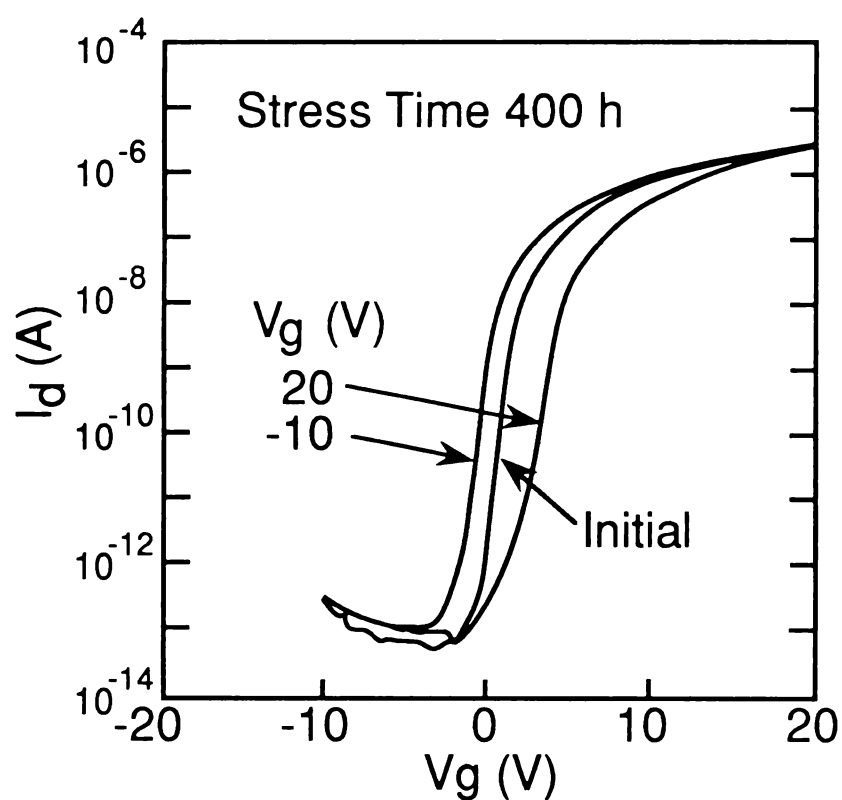


図4.2 DC電圧印加前後の I_d - V_g 特性の変化
(しきい値電圧ドリフト)

コン窒化膜－シリコン酸化膜－シリコン構造（MNOS）の不揮発性メモリ素子が提案されている。⁶⁾ すなわち、 $a-Si$ TFTの場合は V_t ドリフトに関与し得る因子が通常の単結晶MOSの場合以上に複雑に絡んだ系なので、この点に注意して機構検討を行う必要がある。

さて、TFTのアクティブマトリクスLCDへの応用を考えた場合、上記のように V_t ドリフトが生ずると、LCDの各画素の液晶駆動に必要な電圧を均一かつ制御性良く伝達することが困難になる。すなわち、このドリフト現象は、ディスプレイの安定な動作に対して重大な障害となるものであり十分な対策が必要である。その障害の度合いを直接的に調べるには $a-Si$ TFTをLCDに組み込んでその表示特性の寿命試験を行えばよい。しかし、ここでは簡単のために、TFT素子単体の動作寿命試験を行った。以下では、まず V_t ドリフトの定量評価、機構検討を行い、次にLCD応用における影響を調べるという手順を踏んだ。

4. 2. 2 V_t ドリフトの評価方法

第2章に記した最も簡単な構造である逆スタガ型の $a-Si$ TFTを用いて V_t ドリフトの評価を行った。 $a-Si$ 及び SiN の厚さはともに $0.3\mu m$ である。 V_t ドリフト量（ ΔV_t ）の定量には次の2通りの方法を用いた。

(1) $I-V$ 法： ストレス電圧を印加する前後に I_d-V_g 特性を測定し、 V_t の変化量を求める方法。これは図4. 2に示されるように一般的な方法である。

I_d-V_g 特性からの V_t の決定には、第2章にも示したように、飽和領域の $(I_d)^{1/2}-V_g$ 曲線の外挿値から求めた。

(2) $C-V$ 法： $SiN/a-Si$ のMISキャパシタの $C-V$ 特性の変化を調べる方法。従来のMOSトランジスタの理論では、MOS容量の $C-V$ 特性のフラットバンド電圧のシフトをトランジスタの V_t ドリフトと同じものとして扱われてきた。⁵⁾ しかし、 $a-Si$ の場合は、第3章に論じたように禁制帯内の準位密度分布が複雑なため、 $C-V$ 特性上でフラットバンド電圧の値を正確に求めるのは容易ではない。そこで、 V_t ドリフト試験が $C-V$ 特性に及ぼす変化を調べた。結果を図4. 3に示すが、これによれば $C-V$ 特性はゲート電圧ストレスの印加によって $I-V$ 特性と同じ方向に平行シフトする。したがって、そのシフト量 ΔV は、フラットバンド電圧の値が不明であっても容易に求値可能なことが判る。しかもその ΔV は、図4. 4に示されるように I_d-V_g 特性から求めた ΔV_t と良好に一致することが確認された。結論として $a-Si$ TFTの場合もMOSと同様に、MIS特

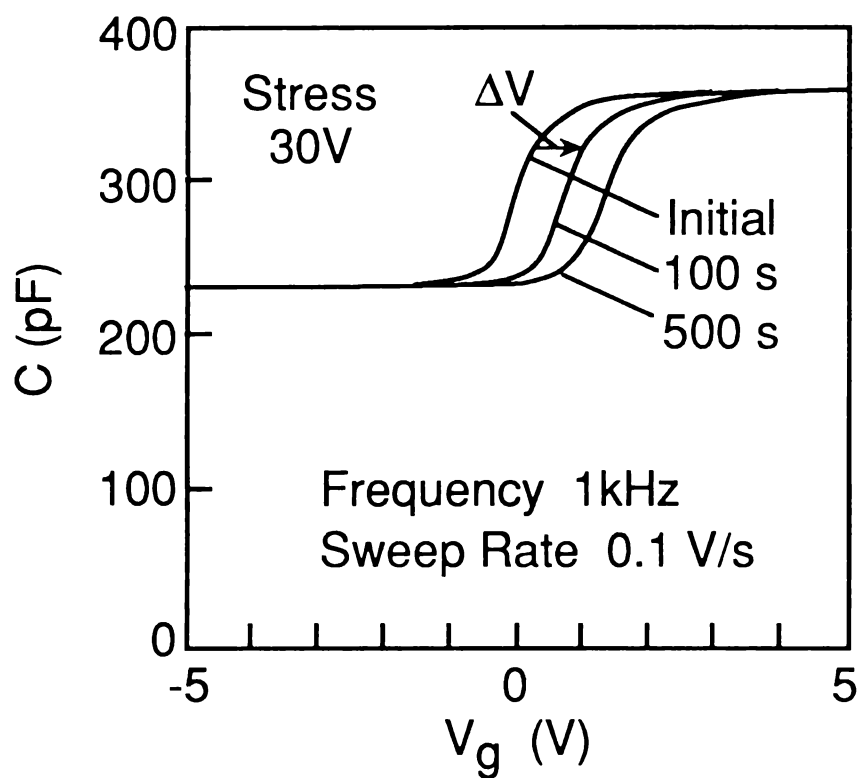


図4.3 DC電圧印加前後のC-V特性の変化

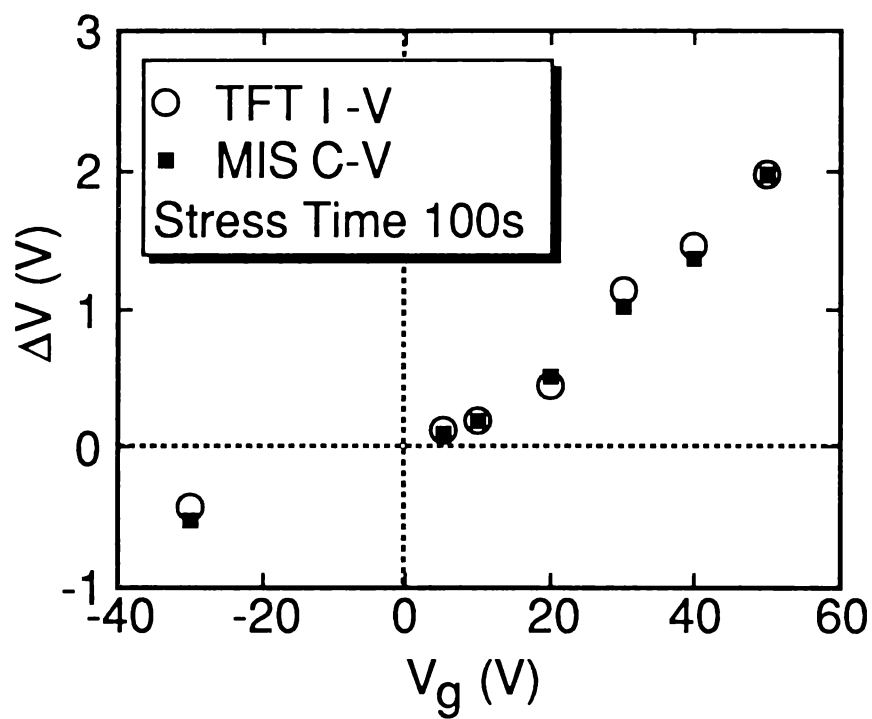


図4.4 ΔV_t 評価法の確認

性の平行シフト量 ΔV_t の値をもって、 ΔV_t と定めることができる。 $C-V$ 特性の測定条件としては、測定周波数1 kHz、電圧掃引速度は0.1 V/sを用いた。これらの値は、 ΔV を精度良く決めるために設定した。すなわち、いずれの条件もSiN/a-Siの直列容量値から電荷蓄積層の形成によるSiN容量値への遷移が急峻となるように定めた。

上記2つの方法によって測定した ΔV_t の再現性は、いずれも ± 0.1 Vと極めて良好であり、以降の検討ではこの2つの方法を適宜使い分けた。ただし以下の点を考慮に入れた。(1)の方法では、 I_d-V_g 特性を測定すること自体がTF Tに対する弱いストレスになり得る。したがって、 V_t ドリフトの極めて生じやすいサンプルに対してはこの測定法は適していない。また、(2)の方法は簡便であり、MISキャパシタがTF Tに比べ作製が容易なことを考えると効率の良い評価が可能である。しかし、電流値の変化に関する情報が得られないので、 ΔV_t の値を手早く評価するときのみ好適である。

ストレス条件としては、電圧、時間、温度をパラメータとした。特に、LCD応用を考えた場合、TF Tには正負両極性の電圧が印加されるので、双方の極性のストレス電圧を使用した。この電圧としては標準的には直流電圧を用いたが、実際の使用状況に近いパルス電圧の場合についても調べた。

その他、 ΔV_t を実測する上で V_t 値の初期化と光遮蔽が重要である。

(1) 初期化： 電圧ストレスによってシフトしたa-Si TF Tの V_t は180～200℃の熱処理で初期値が再現する。⁴⁾したがって、この熱処理を V_t 値の初期化の手続きとして利用することができる。図4.5は初期化に必要な熱処理時間を検討した結果であり、サンプルによって異なる ΔV_t の大きさにかかわらず、30分の熱処理で初期値が十分に再現することが示されている。200℃、30分の条件で、この再現性は ± 0.2 V以内であった。ここではこの初期化の手続きを用いて、同一の素子に複数回にわたり V_t ドリフトを試験した。これによりTF Tの作製条件のばらつきの影響を受けずに、種々のストレス条件に対する ΔV_t の測定が可能になった。また、この複数回の熱処理による I_d-V_g 特性の劣化は観測されなかった。

(2) 光遮蔽： a-Siは光導電性が大きいので、光照射によって誘起された電荷が V_t ドリフトに影響を与え得る。実際、SiO₂/a-Si積層MIS素子の電界効果の実験⁷⁾によれば、 V_t ドリフトが増大するという現象が報告されている。図4.6は、SiNをゲート絶縁膜とするTF T素子の上方から白色光を照

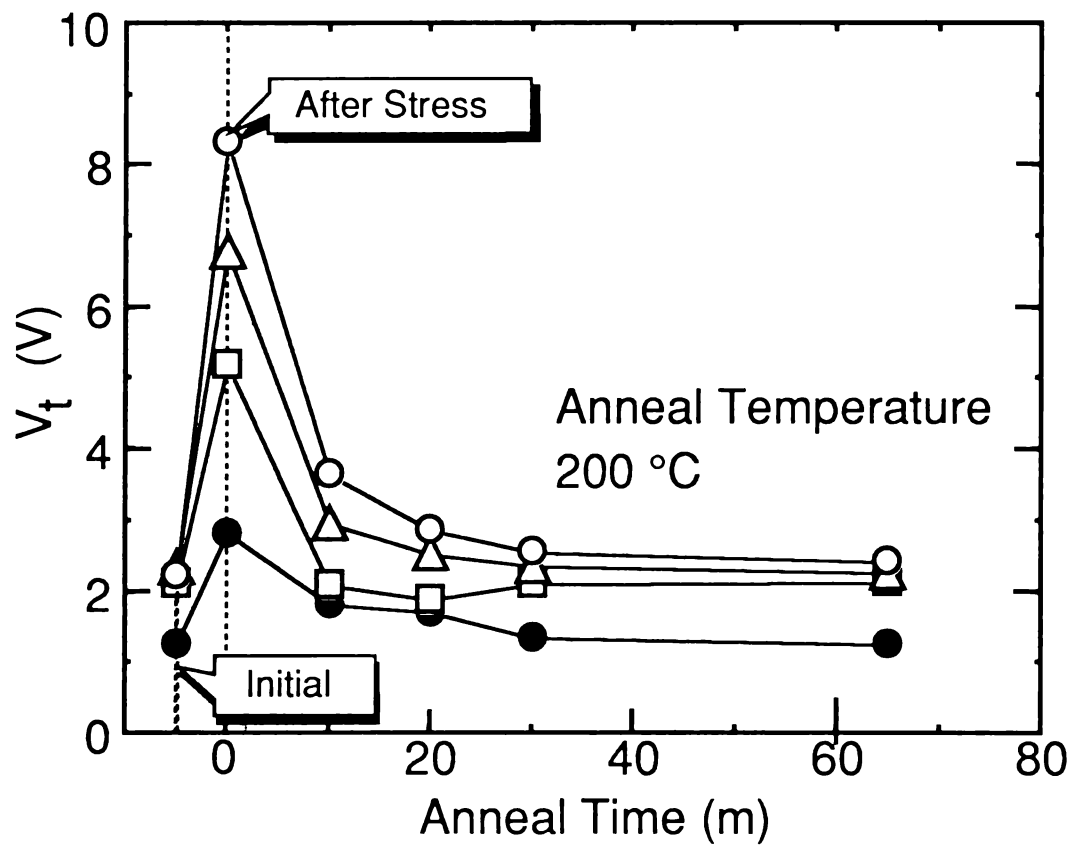


図4.5 V_t の初期化：熱処理時間の検討
(記号はサンプルの違いを表す)

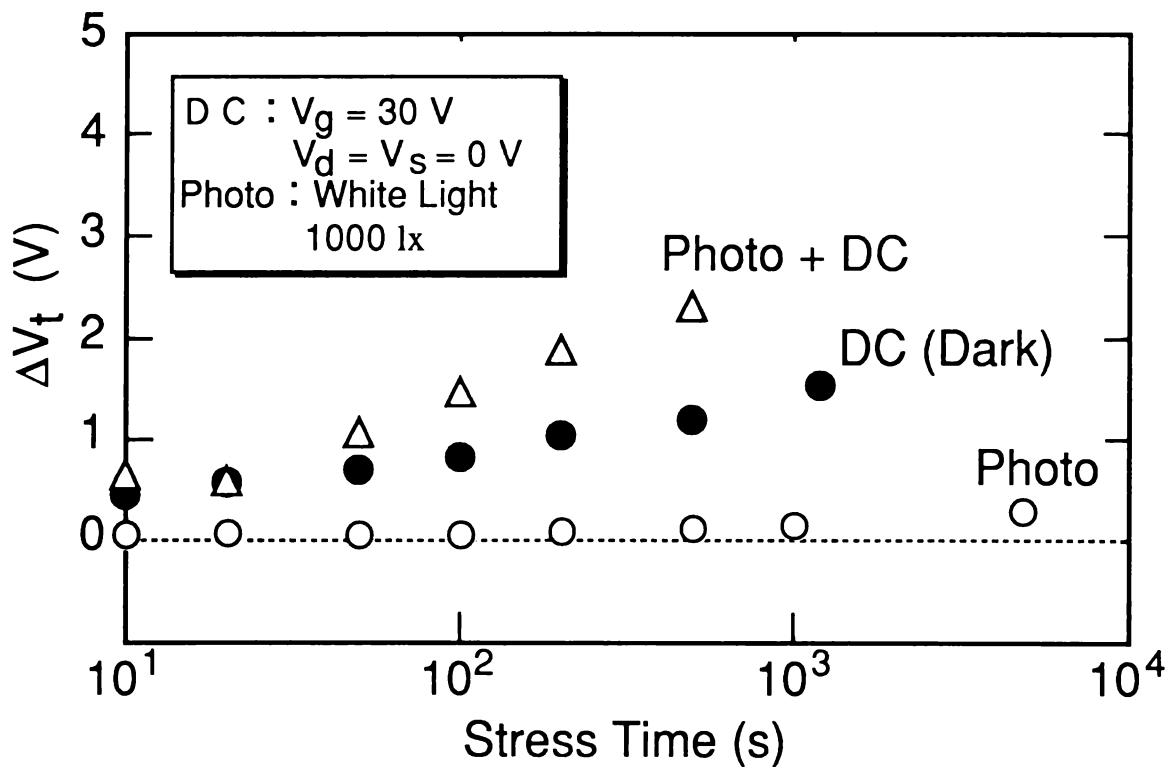


図4.6 光照射による V_t ドリフトの増大

射したときの V_t ドリフトの様子を示したものである。この場合にも、光照射は DC 電圧ストレスに対する V_t ドリフトを促進させるのが分かる。同図の結果によれば、暗状態における DC 電圧ストレス印加による V_t ドリフト量に対し、白色光 10^3 lx の光照射を重ねることによりドリフト量が約 2 倍程度にまで増大している。この原因としては、 V_t ドリフトの機構に大きく寄与する Si N/a-Si 界面の電荷密度あるいは電荷捕獲準位密度（4.4.5 節）が光照射により増大し、この界面に固定される電荷量が増大するためと考えられる。以下に述べる ΔV_t の定量においては、光照射による現象の複雑化を回避した。すなわち、断わりのない限り、すべての測定は電磁気シールドを兼ねた金属暗箱中で素子を光遮蔽して行った。

4.3 V_t ドリフトの定式化

本節では、a-Si TFT の V_t ドリフトについて、一般的な傾向を明らかにするために、TFT の駆動電圧、温度、時間に対する V_t ドリフトの定式化を行う。この結果は、4.4 節のメカニズム検討、4.6 節の寿命推定の議論に対する基礎データとなる。

4.3.1 駆動電圧依存性

ここでは V_t ドリフトの TFT 駆動電圧に対する依存性について述べる。⁸⁾ この点に関しては、これまでにゲート電圧 (V_g) 依存性について詳しく調べられている。¹⁾ これに対し、ドレイン電圧 (V_d) 依存性に関する検討は十分ではなかった。図 4.7 はその検討結果の例である。実験は、ソース電極を接地して行った。同図に明らかなように、 ΔV_t はドレイン電圧に対する明確な依存性を持たない。その代わり、 ΔV_t の大きさはゲート電圧により決まっていることが示されている。 $V_d \neq 0 \text{ V}$ のときは、ストレス電圧印加時におけるソース・ドレイン電極間の電位分布はチャンネル方向に関して非対称になる。図 4.7 の結果は、この非対称性が V_t ドリフトに余り影響を与えないことを示している。例えば、 $V_g = V_d = 30 \text{ V}$ の場合と $V_g = 30 \text{ V}$ 、 $V_d = 0 \text{ V}$ の場合の両ストレス条件を比べれば、電位分布の非対称性が重要でないことは明らかである。これらの条件に対し ΔV_t がほぼ同じ大きさとなるので、ストレス電圧として最も重要なのは、ゲート・ソース電極間に印加される電圧であることが示唆される。この結果に対する解釈を 4.4.7 節に論ずる。

次に、TFT の V_t ドリフトに最も密接に関連すると考えられるゲート・ソース間電圧の検討結果を示す。図 4.8 は V_t ドリフトのゲート電圧 (V_g) 依存性で

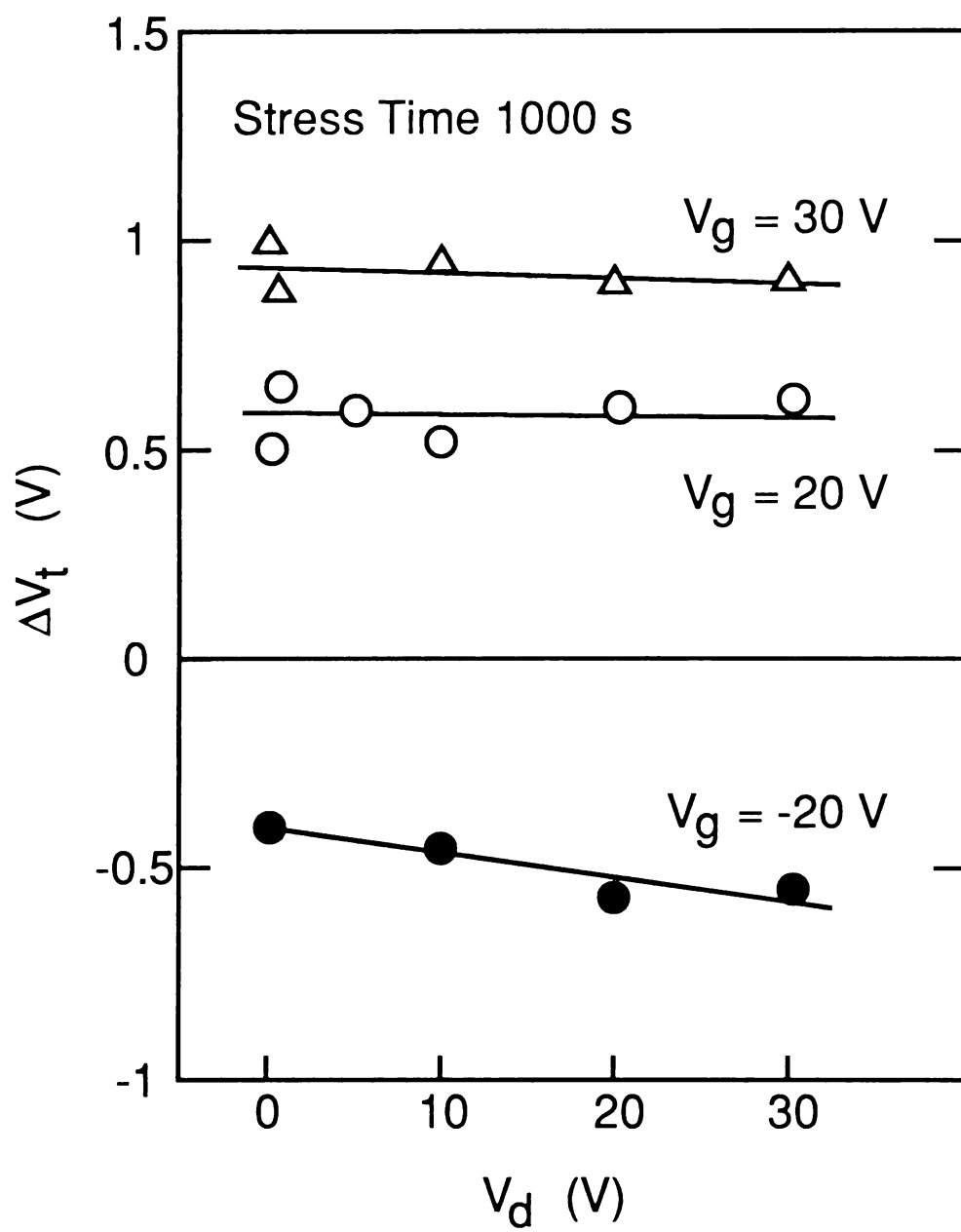


図4.7 V_t ドリフトのドレイン電圧依存性

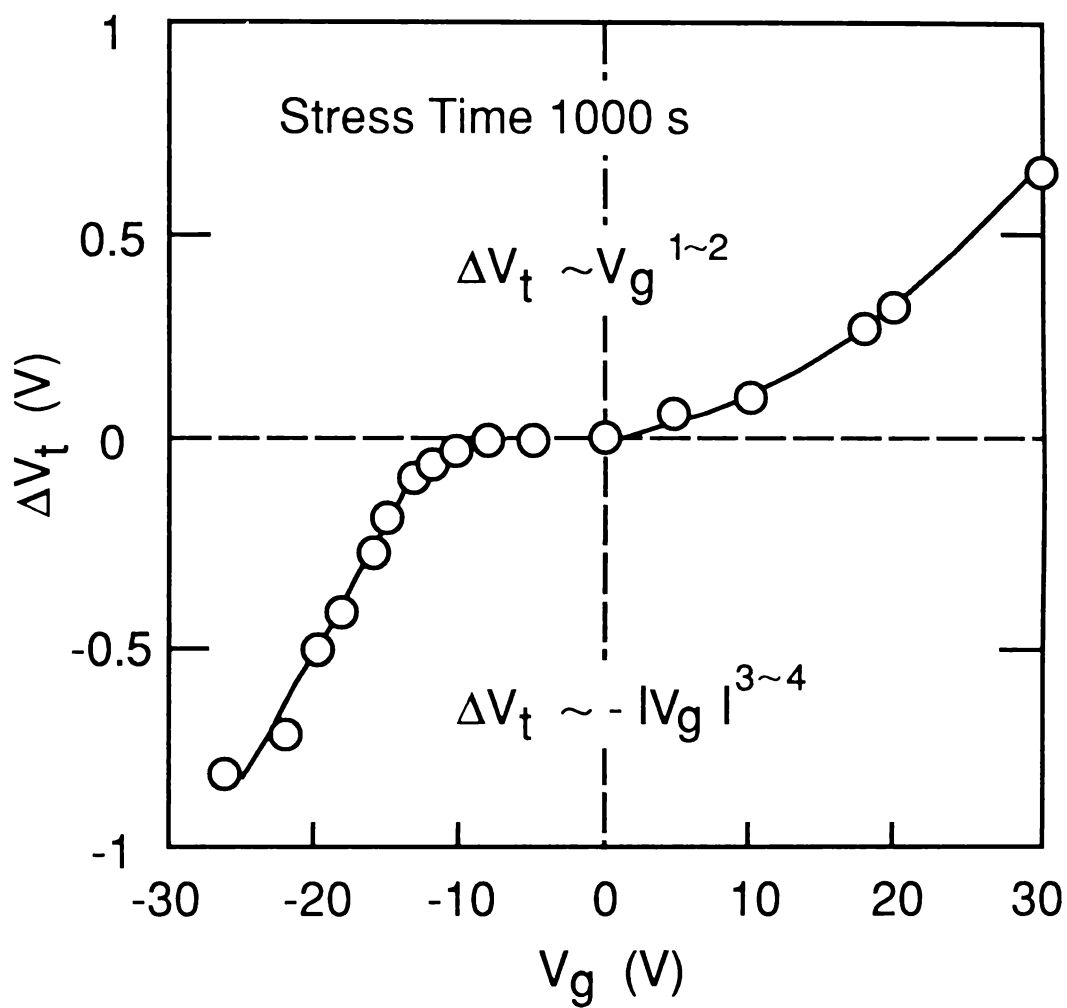


図4.8 V_t ドリフトのゲート電圧依存性

ある。これらは、ドレイン電極とソース電極を短絡し接地して測定した結果である。 ΔV_t の V_g 依存性はゲート電圧の極性によって異なり、一般に次式で表されることが見いだされた。

$$\Delta V_t \sim V_g^{1.5 \sim 2} \quad (V_g > 0) \quad \dots\dots\dots (4.1)$$

$$\Delta V_t \sim -|V_g|^{3 \sim 4} \quad (V_g < 0) \quad \dots\dots\dots (4.2)$$

ゲート電圧の極性が異なると a-Si 中に誘起される支配的な電荷の極性及びその密度が異なるため、 V_t ドリフトの様相が異なってくると考えられる。なお、以上の結果において、ストレス電圧の印加時間は 10^3 秒であるが、少なくとも 10^4 秒までは同様の動作電圧依存性が成り立つことを確認している。

4.3.2 駆動温度依存性

a-Si TFT を BT (Bias Temperature) 試験した結果を図 4.9 に示す。この BT 試験は、高温状態で TFT にストレス電圧を印加する試験である。調べた温度範囲は $25 \sim 100^\circ\text{C}$ であり、この領域で ΔV_t は活性化型の変化をし、活性化エネルギー (ΔE) 約 0.3 eV を有する。すなわち、 ΔV_t の温度依存性の表式として、

$$\Delta V_t \propto \pm \exp(-\Delta E/kT) \quad \dots\dots\dots (4.3)$$

となる。ここに右辺の符号はストレスゲート電圧の符号と合致する。また k はボルツマン定数、 T は BT 試験の絶対温度である。また ΔE の値は、ストレス電圧の正負によらず約 0.3 eV であり、文献 1 に報告される値と一致が良い。この活性化エネルギーは、ゲート絶縁膜中あるいは界面で固定電荷が発生するときの熱励起過程の特性エネルギーに対応すると考えられる。その詳細な機構は解明できていない。

4.3.3 駆動時間依存性

V_t 値の変化の駆動時間依存性を図 4.10 (a) に示す。これは正バイアス 20 V と負バイアス -10 V の DC 駆動についてそれぞれ 10^3 時間までの結果を記したものである。時間軸は、ストレス印加時間 (t) の対数の 2 乗で表した。これによれば時間経過の表式として、

$$\Delta V_t \propto \pm (\log(t))^2 \quad \dots\dots\dots (4.4)$$

を得る。a-Si 側から SiN 中へトンネリングによる電荷注入が起こり、 V_t ドリ

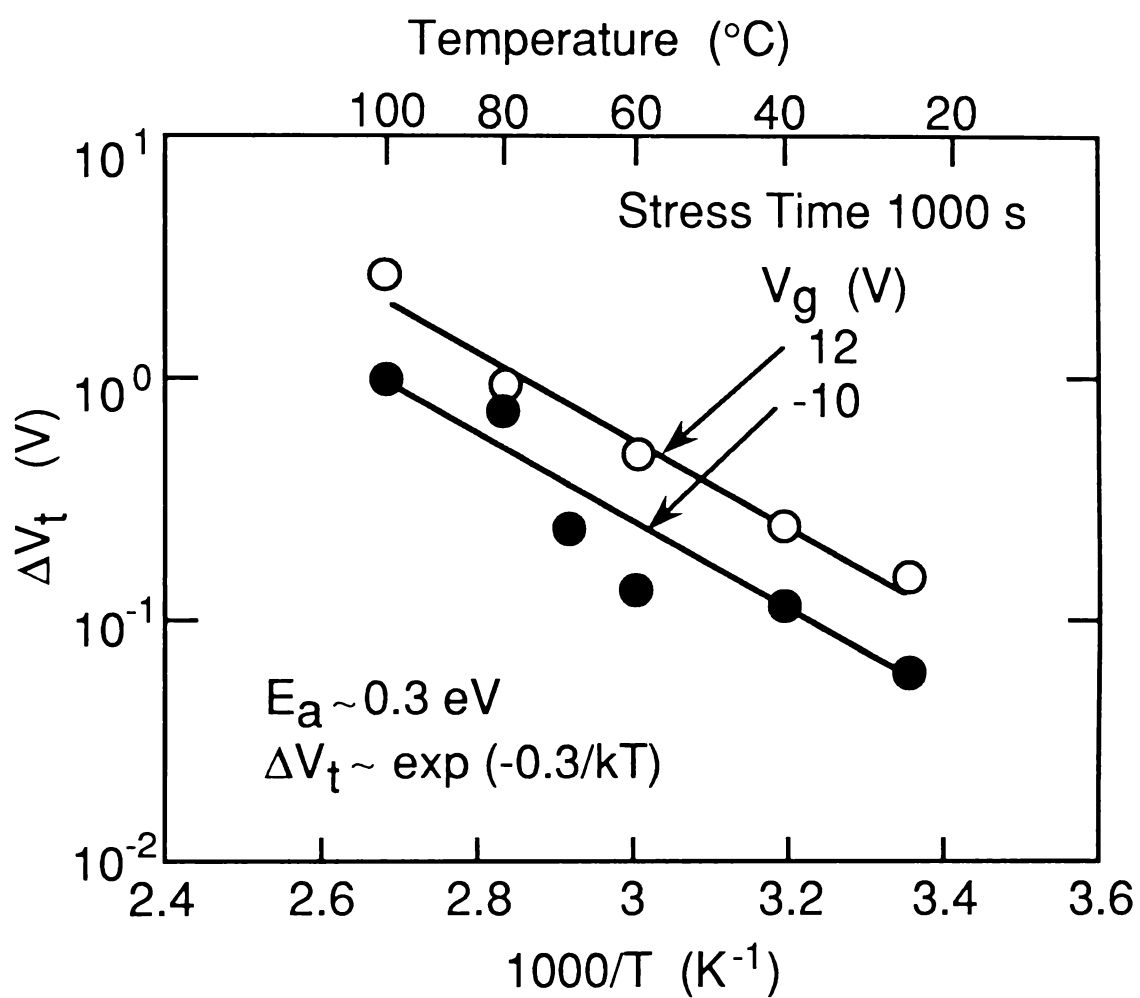
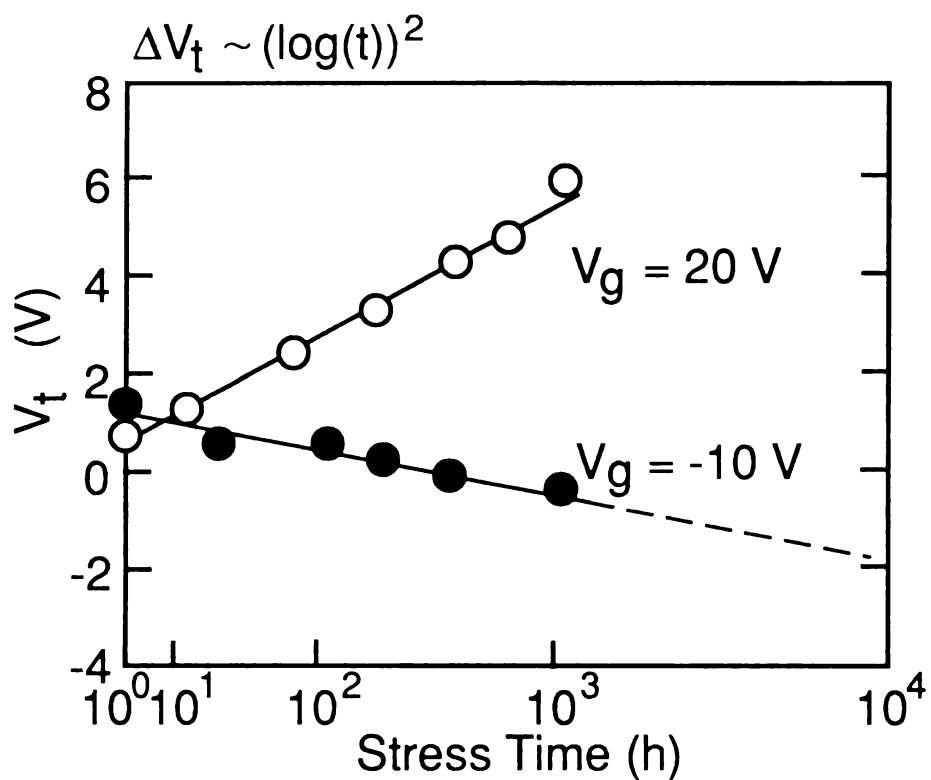
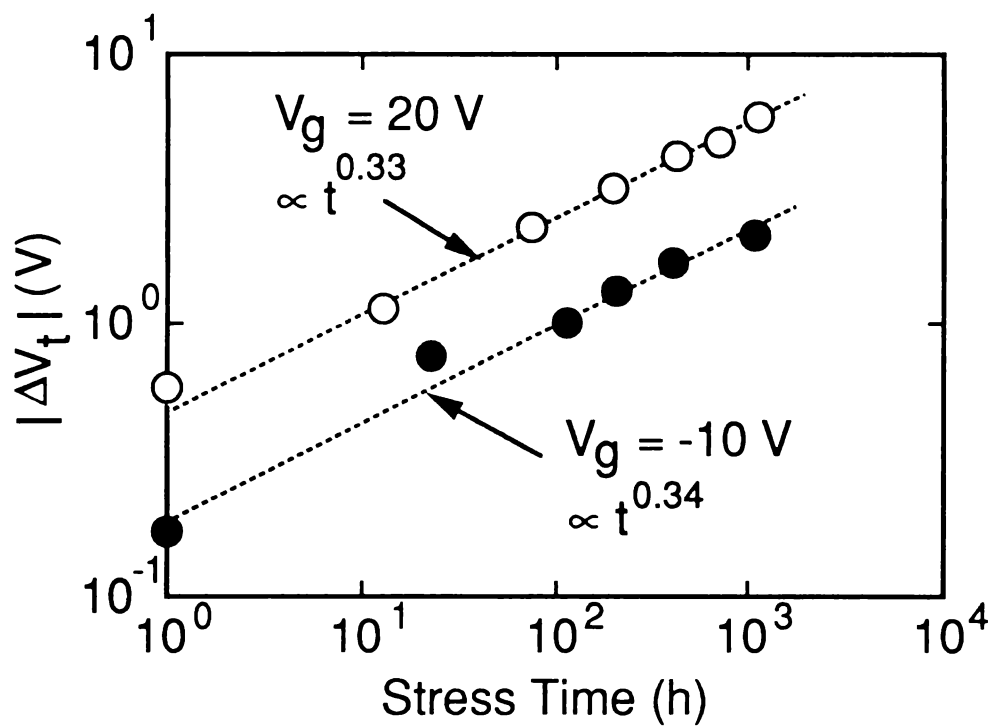


図4.9 V_t ドリフトの駆動温度依存性
(BTストレス試験結果)



(a) V_t vs $(\log(t))^2$ プロット



(b) 両対数プロット

図4.10 V_t ドリフトの駆動時間依存性

フトが発生する機構を考えた場合、この時間依存性は $\log(t)$ に比例することが知られている。⁹⁾ 上記の時間依存性はこのトンネリングによる電荷注入の機構を否定するものである。この結果を両対数プロットしたのが図4. 10 (b)である。これによれば、

$$\Delta V_t \propto \pm t^{0.3 \sim 0.4} \dots\dots\dots (4. 5)$$

なる時間依存性となる。この式の物理的な解釈には、まだ定説はないが、a-Siにおける弱いSi-Si結合の破断によるダングリングボンドの形成と結び付ける試みがある。¹⁰⁾

4. 3. 4 本節のまとめ

以上の結果を一つの経験式にまとめると、

$$\Delta V_t = \alpha \cdot |V_g|^\beta \cdot t^\gamma \cdot \exp(-\Delta E/kT) \dots\dots\dots (4. 6)$$

となる。著者らが最初に定式化したこの表式は他の報告でも追試されており、¹¹⁾ a-Si TFTについて一般的に成り立つと考えられる。式(4. 6)右辺の比例係数 α の符号はストレスゲート電圧の符号と合致する。この係数 α の絶対値の大きさはTFTの作製プロセス条件に強く依存する。 ΔV_t を低減するにはこの α の絶対値を小さくすればよい。その検討結果は4. 5節に述べる。一方、指数 β , γ , 活性化エネルギー ΔE は試料によらずほぼ一定値を得た。それらの代表値を、表4. 1にまとめる。

表4. 1 V_t ドリフトの特性指数

| V_g | β | γ | $\Delta E(\text{eV})$ |
|-------|---------|-----------|-----------------------|
| 正 | 1.5 ~ 2 | 0.3 ~ 0.4 | 0.3 |
| 負 | 3 ~ 4 | | |

式(4. 6)を用いて、a-Si TFTの長時間動作時の V_t ドリフトの推定が可能である。しかし、この式の使用には次の注意が必要である。同式に含まれる時間依存性は、 ΔV_t の初期値が0Vであることを仮定している。この仮定を満たさない場合は矛盾が生ずるので注意せねばならない。例えば、ある電圧条件で1000秒ストレスを加えたとする。これを500秒ずつ2回に分けて同じストレ

スを印加した場合と比較する。上記2種のストレス試験に対する V_t ドリフト量は実質的に変わらない。これに対し、それぞれのストレスに対して式(4.6)を適用すると、表4.1に示されたような γ 値では明らかに $1000\gamma \neq 500\gamma + 500\gamma$ となって矛盾する。これは、右辺が $\Delta V_t(t=0)=0V$ の初期条件を満たさないからである。

また、式(4.6)におけるゲート電圧依存性は、ストレス時間1000秒という比較的短い時間で、小さい $|\Delta V_t|$ の値から導出したことにも注意が必要である。すなわち、この場合 $|\Delta V_t|$ は高々1Vであり、ストレス印加中の V_t ドリフトによる実効的なゲート電圧の変化は無視することができるのである。一般的に、より正確なゲート電圧依存性を求めるためには、精度の許す限り短時間のストレスに対する ΔV_t 値を用いねばならない。換言すれば、長時間ストレスに対する ΔV_t 値を用いると β 値を過少評価することになるが、上式ではこれによる誤差は十分に小さい。

4.4 V_t ドリフトのメカニズムの検討

4.4.1 V_t ドリフトと寄生電荷

MISトランジスタは、ゲート電極に電圧を加え半導体／ゲート絶縁膜界面に誘起されるチャンネル電荷を制御するデバイスであるが、このチャンネル電荷はゲート電圧のみならず、半導体／ゲート絶縁膜界面あるいは、ゲート絶縁膜中の「寄生電荷」にも依存する。この寄生電荷が従来のMISトランジスタの V_t 値の不安定性の原因であり、4種類に分類されている。^{12,13)} これらを図4.11に示した。それぞれの起源は以下のとおりである。

- (1) 絶縁膜中の固定電荷(Q_f)： 半導体／ゲート絶縁膜界面近傍にある。主としてゲート絶縁膜形成時に発生する過剰シリコンの陽イオンである。電荷量はゲート絶縁膜厚にほとんどよらない。
- (2) 絶縁膜中の捕獲電荷(Q_{ot})： 絶縁膜中全体にわたって分布するが、主として半導体とゲート電極の両界面あるいはそれらの近傍に存在する。電荷捕獲は放射線損傷、半導体層からの高いエネルギーを有するキャリア注入などによって形成される。
- (3) 可動イオン(Q_m)： アルカリイオン(しばしばナトリウム)の絶縁膜汚染により生ずる。ゲート電界印加中に絶縁膜中を移動し得る。
- (4) 界面捕獲電荷(Q_{it})： 半導体／ゲート絶縁膜界面に存在する。これは

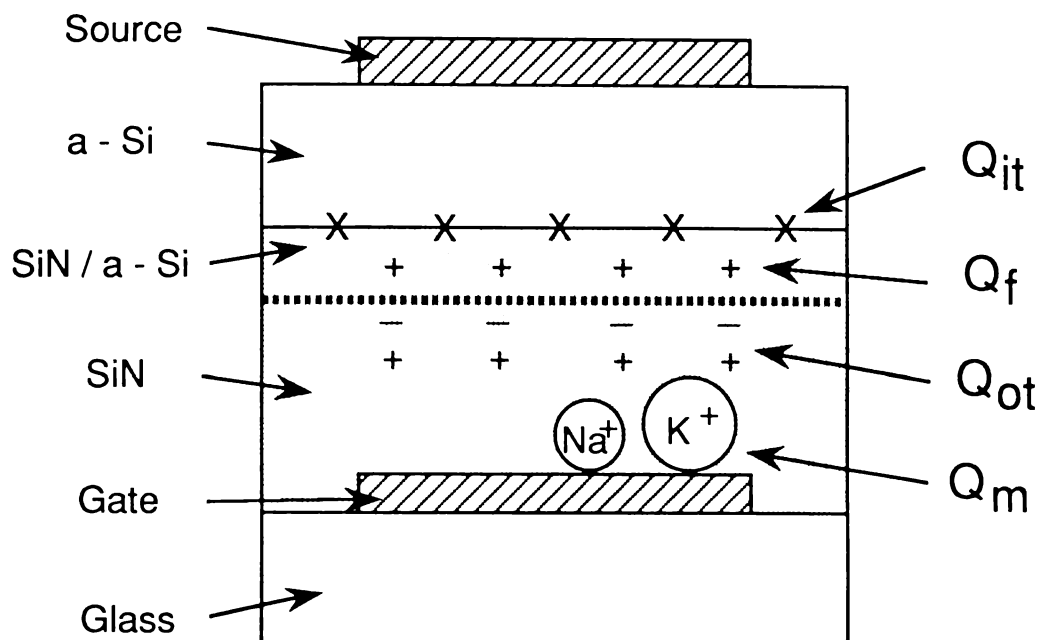


図4.11 MIS構造の寄生電荷の分類

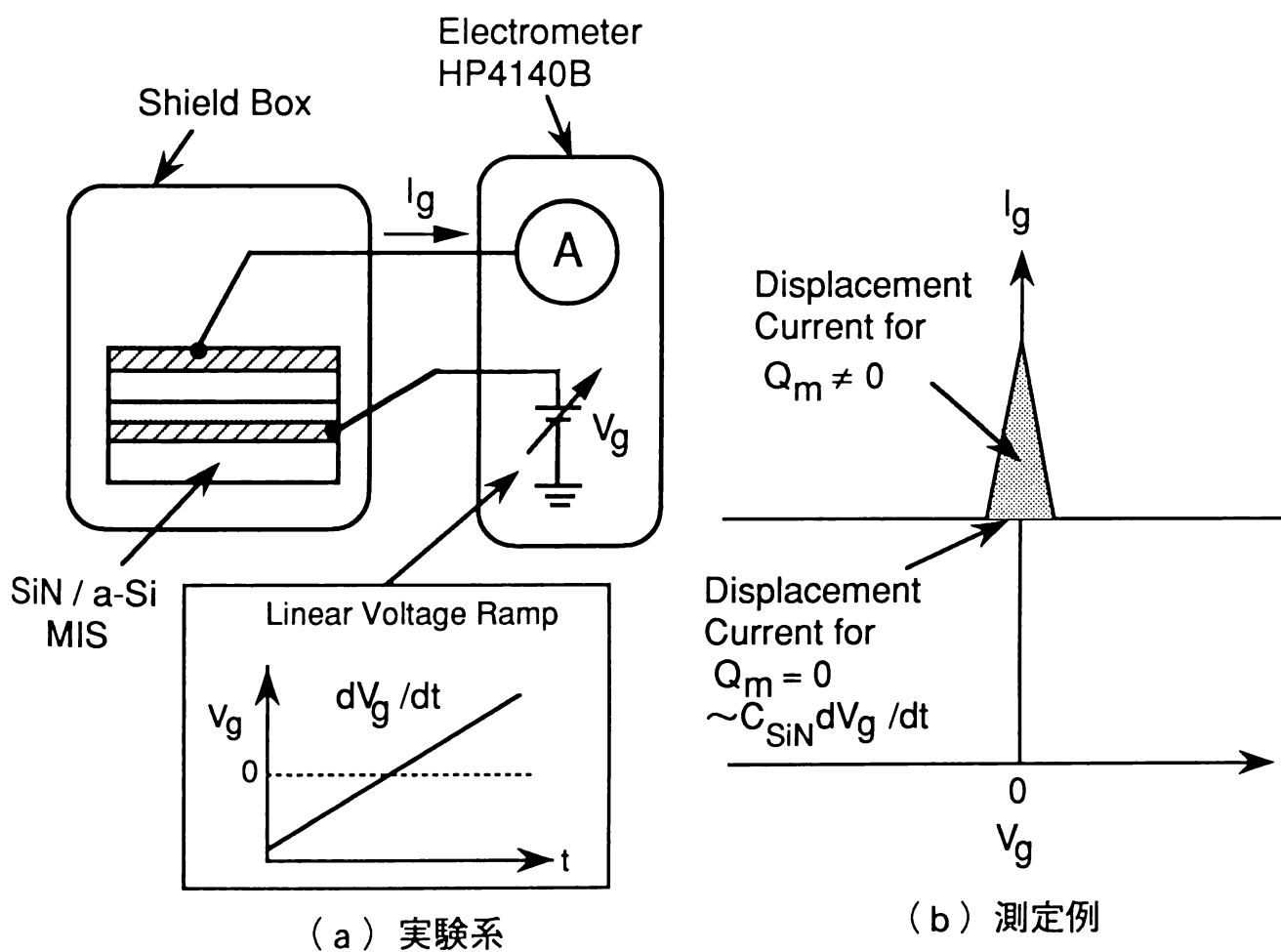


図4.12 TVSの実験系と測定例

界面における欠陥， Si のダングリングボンドなどにより生じる。これらの界面捕獲準位は，半導体中の可動キャリアと交換し得る。

さて， a-Si TFT も MIS 素子であるから，上記の枠組みで， V_t ドリフト現象の少なくとも一部は解釈が可能と期待される。上記 4 種の電荷のうち， Q_f は V_t の初期値のばらつきにかかわる。以下では， V_t ドリフト現象に関与するものとして， Q_{ot} ， Q_m ， Q_{it} について調べる。ただし，4. 2 節に述べたように， SiN/a-Si の MIS 構造による TFT は，従来の MOS と異なって V_t ドリフトに関与し得る因子が複雑に絡んでいることに注意しなければならない。すなわち， a-Si の構造自体の複雑さに加え，ゲート絶縁膜の SiN 膜中には電荷捕獲準位が極めて多い点が現象解析をより複雑にしている。

その他，2. 4 節に述べたように a-Si 層のパッシベーション層側の状態が特性に影響を与え得る。この状態はデバイス作製条件に依存するが，¹⁴⁾ ここでは TFT の作製条件の安定性から，試作したすべての TFT で同じ状態と仮定する。以降では，以上の知見に基づいて， V_t ドリフトを律則する因子の実験による切り分けを行い，4. 3 節に述べた現象を説明できるドリフト機構を検討する。

4. 4. 2 可動イオン

a-Si TFT のゲートに印加するストレス電圧の極性と， V_t ドリフトの方向が一致するという結果から，この現象の原因として， SiN 膜あるいは SiN/a-Si 界面への電荷注入がまず考えられる。¹⁾ 実際，前節 (3) の可動イオンが存在するとすれば，絶縁膜内のイオン分布の変化による V_t ドリフトの方向は観測された方向と全く逆になる。^{12, 15)} また，ゲート絶縁膜の SiN はイオンドリフトの阻止能が十分大きいことから可動イオンの可能性は小さい。しかしながら，イオンフリーの作製プロセスで形成される MOSLSI に比べ，ガラス基板というイオン源を有する TFT においてはこのイオンの影響を実際に調べておくことが重要である。そこで，可動イオンの情報が得られる TVS 法^{16, 17)} (Triangular Voltage Sweep法)を用いて実験を行った。この実験系を図 4. 12 に示す。 MIS 容量を恒温槽内 ($> 200^\circ\text{C}$) に設置し，ゲート電極に線形のランプ状の電圧を加える。この状態でゲート電流 (I_g) - 電圧特性を測定する。ゲート絶縁膜中に可動イオンがない場合は， MIS 容量とランプ電圧の掃引速度で決まる変位電流のみが観測される。可動イオンが存在する場合は，イオンドリフトに起因する変位電流成分が $V_g = 0 \text{ V}$ 付近に現われる。これは，ゲート電圧の極性が変化するとき絶縁膜中の可動イオンがゲート電極側から半導体界面側へ移動するために生ずる。

この方法は、 $C-V$ 法ほど解析が容易でないが、可動イオンの有無の手早い判定法として有用である。¹²⁾

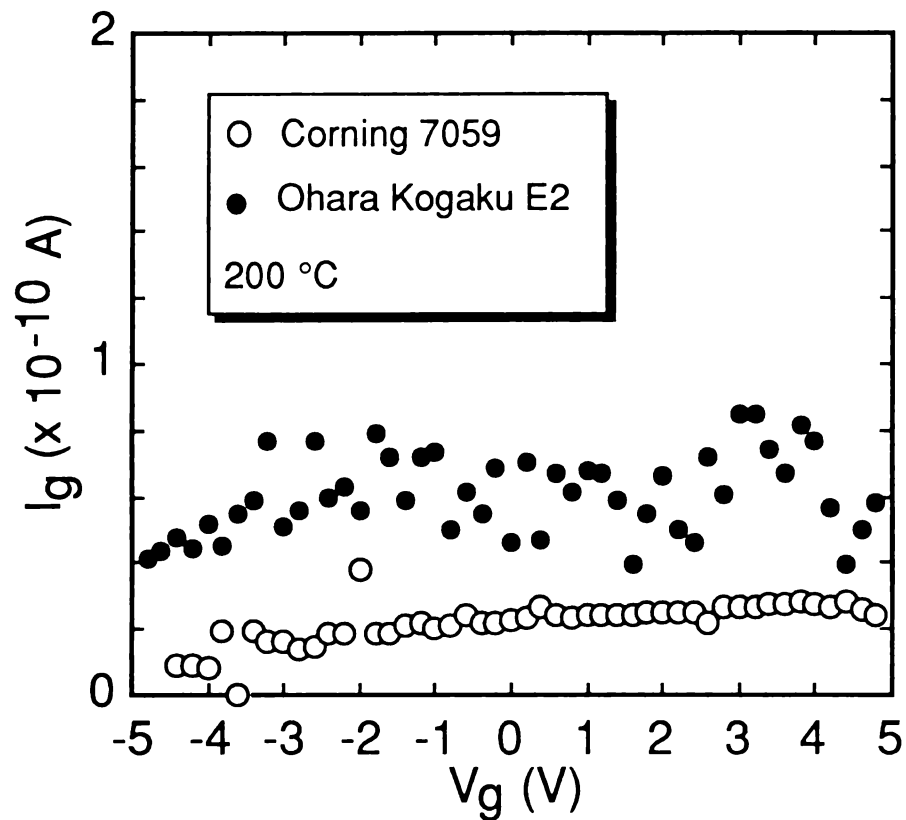
電極面積 2 mm^2 の M I S 容量 ($C_{r/SiN/a-Si(i+n^+)/Al}$) についての 200°C で行った測定結果を図 4. 13 に示す。(a) はガラス基板として Corning 社製 7059, 小原光学社製 E2 を用いた場合についての結果である。電圧掃引速度は、 50 mV/s であり、掃引方向は負から正である。これらに明かなように、いずれの基板についても有意なイオンドリフト信号が検出されていない。また電圧掃引方向を逆転しても同様な結果を得ている。比較のために ppm のレベルでナトリウム汚染された電極面積 1 mm^2 の $SiO_2/Si(p)$ 容量の同一測定系での実験結果を同図 (b) に示す。ゲート電圧 0 V 近辺にイオンドリフトの信号である鋭いピークが見られる。図 4. 13 (a) (b) の違いは、ゲート絶縁膜が SiN であるか SiO_2 であるかの違いを反映しているものと考えられる。これらの結果より、少なくとも 200°C までは、 SiN をゲート絶縁膜とする T F T の V_t ドリフトに可動イオンの関与する可能性は、極めて小さいことが明らかになった。

4. 4. 3 電荷捕獲の発生箇所の検討

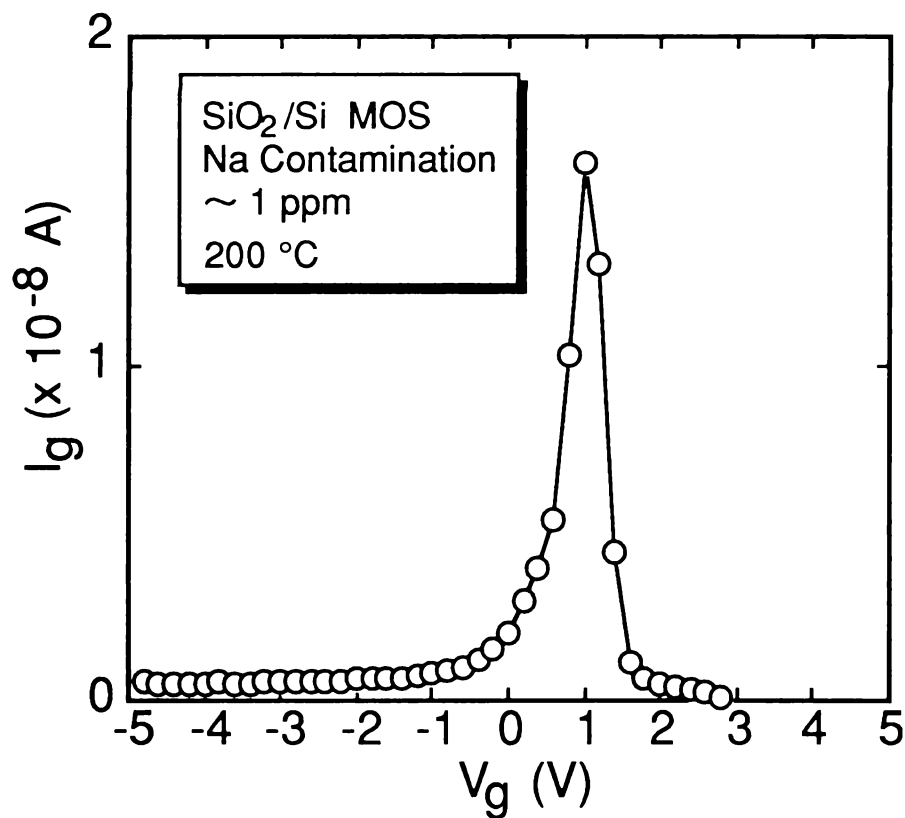
以降では、 V_t ドリフトに関与する電荷として電子あるいは正孔を検討の対象にする。すなわち、4. 4. 1 節に挙げた、絶縁膜中の捕獲電荷 Q_{ot} 及び界面捕獲電荷 Q_{it} について検討する。

まず、4. 3 節に述べた実験結果を絶縁膜中及び界面での電荷捕獲の過程で記述してみる。ゲートに正の電圧を印加すると、 $a-Si$ との界面側に電子、ゲート電極側に正孔が蓄積する。これを長時間持続すると、それがストレスになり V_t が正方向にドリフトする。これまでの議論は、¹⁾ この V_t ドリフトは $a-Si$ 側で電子や正孔が関与する現象であるという仮定の上に行われていた。しかし、いずれの電荷が捕獲準位に捕獲されるかは実験的に検証されていなかった。ここでは特に、この電荷捕獲現象が絶縁膜の $a-Si$ 側で生じるかゲート電極側で生じるかについての切り分けを行う。

それには、2重ゲート絶縁膜を有する T F T を用いればよい。⁸⁾ 4. 5 節に述べるように、 V_t ドリフトは SiN 膜の形成条件に大きく依存する。そこで、 Si 過剰の SiN 膜と、ストイキオメトリ組成に近い SiN 膜の2種類を用意し、これらの単層膜あるいは2重積層膜から成る $a-Si$ T F T を作製した。図 4. 14 に T F T の構成を示す。I 型の T F T は2重ゲート絶縁膜を有し、ゲート電極／



(a) a-Si / SiN MISのTVS信号



(b) 参照データ

図4.13 TVS測定結果

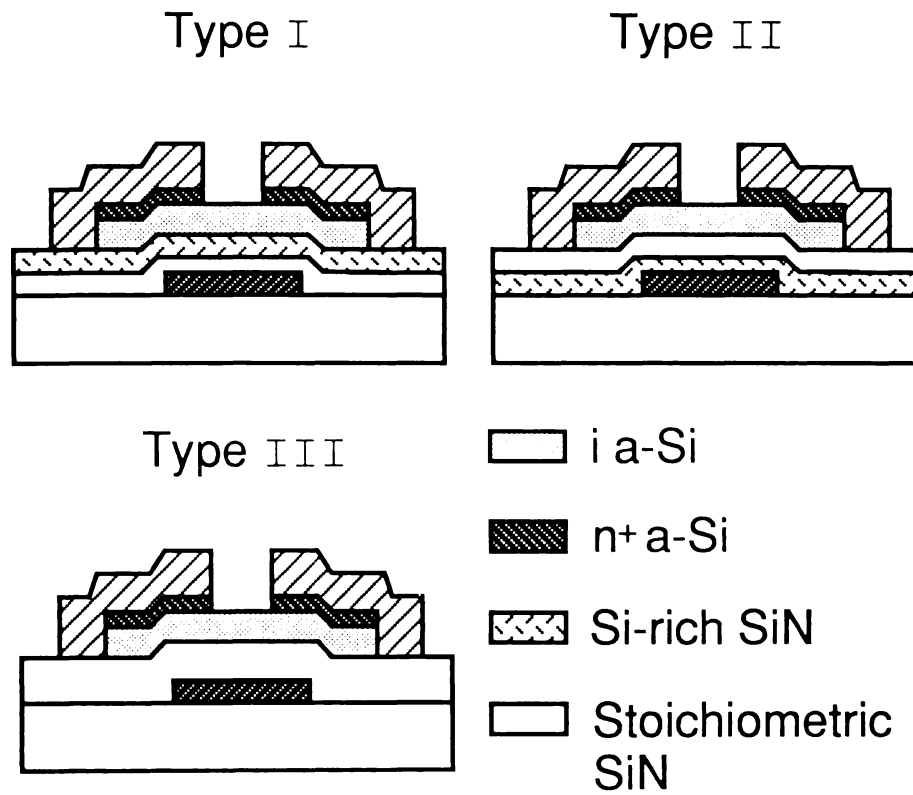


図4.14 2重ゲート絶縁膜構造のTFTの構成

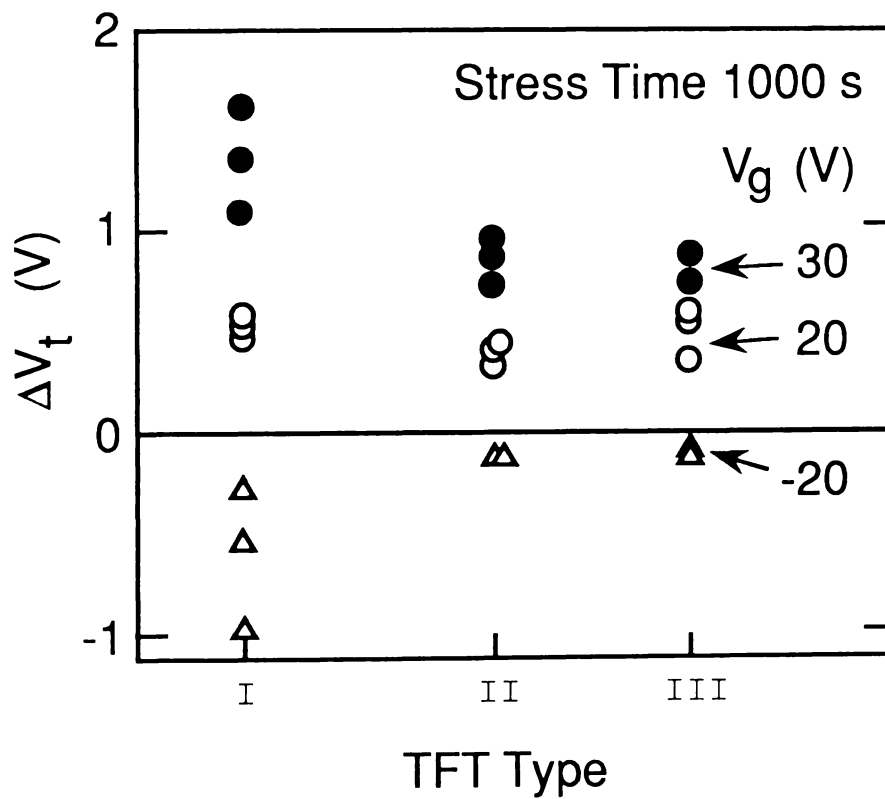


図4.15 2重ゲート絶縁膜構造TFTのDCストレス試験結果

ストイキオメトリ SiN ($0.15\ \mu\text{m}$) / Si 過剰 SiN ($0.15\ \mu\text{m}$) / a-Si ($0.30\ \mu\text{m}$) の構造をしている。II 型の TFT は 2 重ゲート絶縁膜の積層順を逆転してある。また III 型の TFT は標準的な単層ゲート絶縁膜構造でありゲート電極 / ストイキオメトリ SiN ($0.30\ \mu\text{m}$) / a-Si ($0.30\ \mu\text{m}$) の構成となっている。a-Si 及び SiN 膜は同一チャンバ内で真空を破らずに形成した。堆積温度、ガス流量比、その他のプロセス条件及び膜質についての議論は、4.5 節で行う。

図 4.15 にこれら 3 つの型の TFT についての V_t ドリフトの試験結果を比較する。ゲート電圧の極性が正負いずれの場合にも、I 型の TFT は、他の 2 つの型の TFT より不安定なことが明らかである。一方、II 型及び III 型の TFT は、 V_t ドリフト量が小さく、その大きさもほぼ等しい。上述のように、これらの TFT の大きな構造上の違いは、a-Si と界面を形成する SiN の膜質であることを考慮に入れると、次の 2 点の知見が導かれる。

(1) a-Si TFT の V_t ドリフトは a-Si / SiN の界面あるいはその近傍における電荷捕獲を反映したものである。ゲート電極と窒化シリコンの間の界面における電荷捕獲準位からの V_t ドリフト過程への寄与は非常に小さい。

(2) シリコン過剰の SiN 膜は V_t ドリフトが大きく、ゲート絶縁膜として適していない。この点については、4.5 節で論ずる。

以上により、a-Si / SiN 界面及びその近傍の性質が TFT の不安定性の機構に関して非常に重要なことが明確になった。すなわち、 V_t ドリフトの主原因となる電荷は、界面捕獲電荷 (Q_{it}) と界面近傍における絶縁膜中の捕獲電荷 (Q_{ot}) である。これらの電荷捕獲過程を検討することにより、4.3 節に述べた V_t ドリフト現象を説明するのが次の課題である。

4.4.4 電荷捕獲準位の起源と V_t ドリフト

ここでは、 V_t ドリフトの主原因と考えられる捕獲電荷 Q_{it} と Q_{ot} の捕獲準位の起源についての議論をし、特に、 Q_{it} が重要であることを示す。a-Si / SiN 系の場合、 Q_{it} は a-Si のダングリングボンドに起因する禁制帯内の準位あるいは a-Si と SiN の格子不整合によって生じる準位に捕獲される電荷である。 Q_{ot} は、不揮発性メモリ素子などに利用されている SiN 膜のバルク中の準位に捕獲される電荷である。

a-Si TFT の V_t ドリフトが論じられた当初は、¹⁾ その原因として a-

S i 側から S i N 膜のバルク中の準位に捕獲される電荷が支配的であると考えられた。しかもその電荷捕獲はトンネリング過程によると考えられ、式 (4. 3) に見られる温度依存性は S i N 中の捕獲電荷のホッピング伝導に関するものとの機構が提唱された。この見解を支援するデータとして、シリコン過剰の S i N 膜を使った T F T の方が、ストイキオメトリに近い組成の S i N 膜の場合よりも V_t ドリフトが大きいことが実験的に確認された。^{18, 19)} しかしながら、S i N 膜の形成条件を最適化し、絶縁膜のバルクの膜質に起因する V_t ドリフトを取り去っても、なお有限な V_t ドリフトが残る点は説明できなかった。一方で、T F T の V_t ドリフトを a - S i 膜中の深い準位に捕獲された電荷 Q_{it} によって説明するモデルが提案された。²⁰⁾ これは、電荷捕獲準位がゲート電圧ストレスによって a - S i 膜中に新たに誘起されるという考え方である。

現在は、これらの双方の過程が存在するというモデルによる説明^{21~23)} が主流である。このモデルは、ソース・ドレイン電極と a - S i 層のコンタクトを電子と正孔の双方が注入されるように作製した T F T²⁴⁾ (いわゆる a m b i p o l a r

T F T) を用いた実験により導入された。これによれば、 V_g が高電圧のときは、主としてトンネリングによって S i N 膜中に電荷が捕獲される。この場合の V_t ドリフト量は、トンネリング過程の特徴を表しており、温度依存性を持たないことが明確に示された。 V_g が低電圧になると、a - S i / S i N 界面領域の a - S i 内に準位が生成される現象が支配的になると説明されている。この界面領域での準位生成の機構としては、弱い S i - S i 結合の切断が支配的²⁵⁾ と考えられている。この考え方は、図 4. 2 に見られるようにストレス電圧印加によってサブスレシヨルド特性が変化することからも妥当と考えられる。S i - S i 結合の破断がもたらすギャップ内状態密度の変化によってサブスレシヨルド特性が変化するのは第 3 章の結果からもうなづける推論である。ただし、サブスレシヨルド特性には 2. 4 節に述べたバックバイアス効果の影響もあるので、定量的な議論はかなり難しい。さて、弱い S i - S i 結合の切断という機構により、4. 3 節に述べた V_t ドリフトの活性化エネルギー ΔE 、時間依存性の指数 γ ($= 0. 3 \sim 0. 4$) の説明が試みられている。特に時間依存性は、光照射下の非晶質シリコンにおける光導電率の劣化現象²⁶⁾ (いわゆる S t a e b l e r - W r o n s k i 効果) に見られる経時変化²⁷⁾ と酷似することが注目されている。しかしながら、T F T の S i N / a - S i 構造における a - S i 部分での捕獲準位の増大については、直接的な実験検証はなされてはおらず、定性的な説明にとどまっているのが実情である。この点については、今後検討を深める必要がある。

さて、4.3節の結果は、 V_g が低電圧での実験結果であり、かつまた ΔV_t は温度依存性を有することから判断して、少なくともトンネリングによるSiN膜中の電荷注入によるものでないことは、明らかである。また実際の機構については必ずしも確定していないが、a-Si/SiN界面部分に捕獲された電荷 Q_{it} が支配的になって V_t ドリフトが決まっていることが結論される。

次に、この Q_{it} の発生機構にかかわる2つの実験結果について述べる。

4.4.5 V_t ドリフトのドレイン電流依存性

図4.7に示されたのと同じストレス電圧条件における結果を、 ΔV_t のドレイン電流依存性で表したのが、図4.16である。ドレイン電流の範囲5桁以上にわたって、 ΔV_t の大きさはほとんど変化していない。すなわち、a-Si/SiN界面を移動する電子の速度は V_t ドリフトには無関係である。また、同図にも明らかのように、 ΔV_t の大きさを決めるのはゲート電圧である。ゲート電圧により、a-Si/SiN界面での電子密度が変化するので、この電子密度が大きいと Q_{it} が大きくなると考えることができる。あるいはまた、ゲート電圧により新たに形成される電荷捕獲準位が多くなるという考え方も可能である。現状では、両者の切り分けはできていない。なお図4.6に示した光照射による ΔV_t の増大現象に対しても上記と同様の考え方ができる。

さらに、図4.16の結果によれば、 V_t ドリフトに寄与する機構としてホットエレクトロンの効果^{5,28)}を考慮に入れなくてもよいことが分かる。すなわち、ストレス電圧を印加しているときには、ゲート電界及びドレイン電極付近の電界が大きくなるが、このときチャネルを流れる電子がこの電界からエネルギーを吸収してドレイン電極付近のa-Si/SiN界面に捕獲されることはない。

4.4.6 V_t ドリフトのゲート電界依存性

以上見てきたように、TFTの駆動電圧のうちではゲート電圧が V_t ドリフトに強く影響を与える。この事実は、a-Si/SiN界面の捕獲電荷 Q_{it} の生成機構に関する重要な情報を反映するものと考えられる。ここでは、このゲート電圧依存性についてより詳しく調べた。⁷⁾

V_t ドリフト現象に関してゲート電圧の果たす機能を明確にするため、SiN層の膜厚(t_g)を0.15~0.35 μm と変化させた素子を作製した。図4.

17に V_t ドリフトのSiN膜厚依存性を示す。一般的な傾向としては、 V_g 一定の条件のもとで V_t ドリフト量はSiN膜厚が小さくなるほど大きくなる。同図は

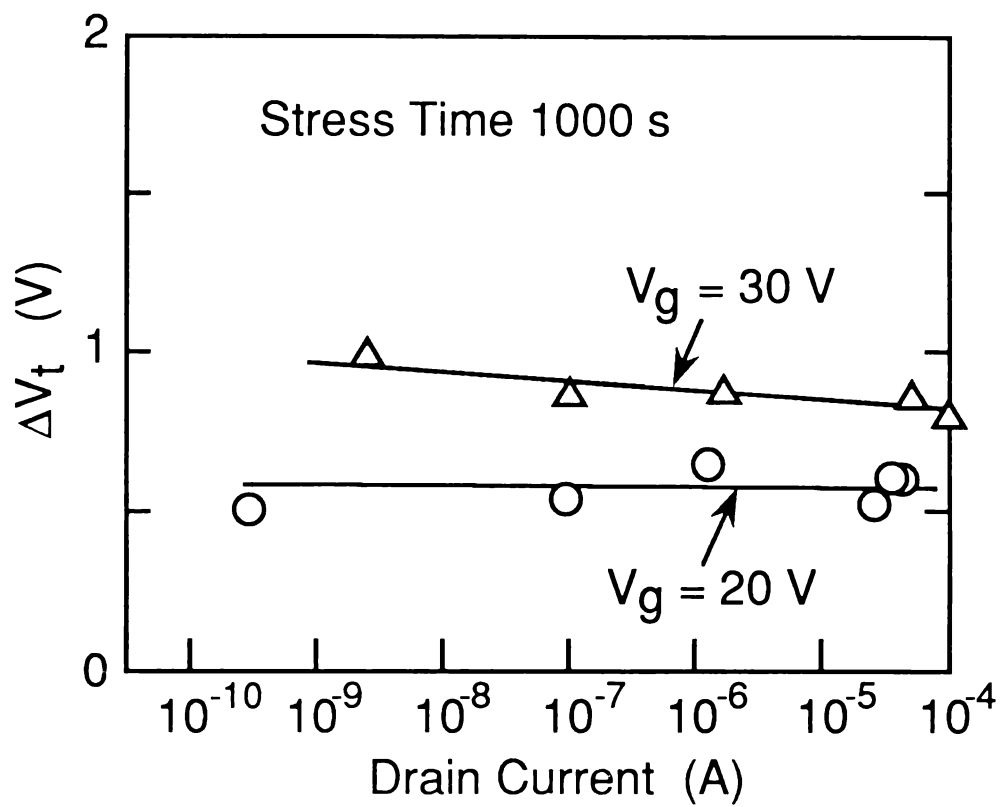


図4.16 V_t ドリフトのドレイン電流依存性

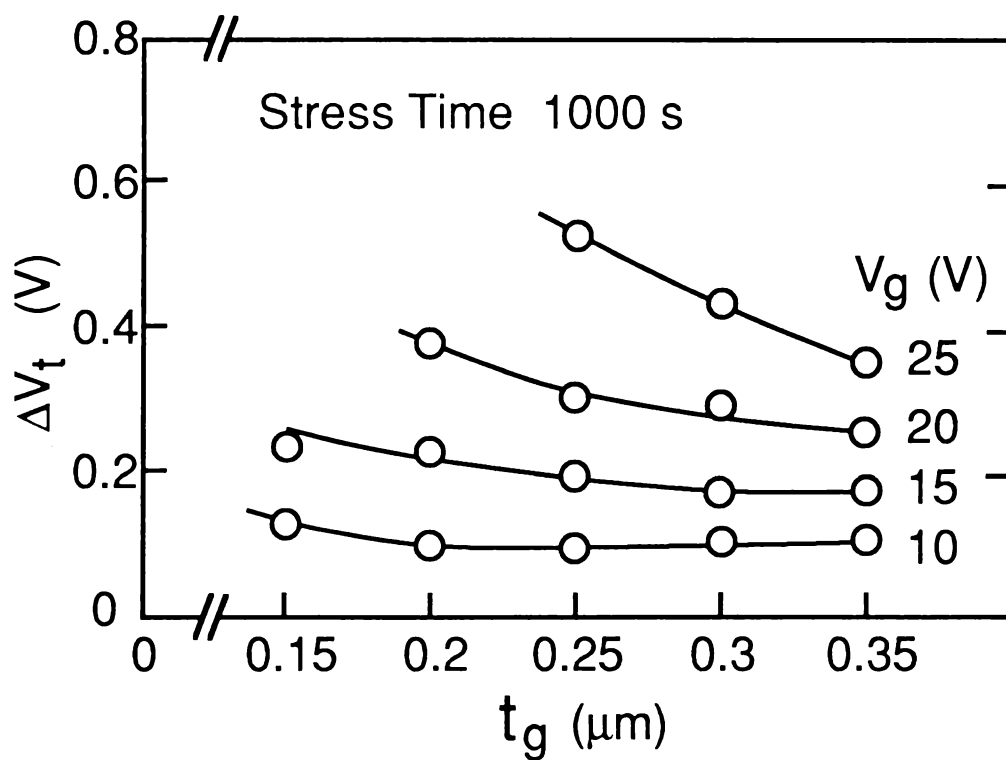


図4.17 V_t ドリフトのゲート絶縁膜厚依存性

V_g が正の場合について記してあるが、 V_g が負の場合も同様な結果となった。これらの結果に、実際の物理的な解釈を与えるには、次のようなデータ処理が有効である。まず、S i N層の膜厚変化に伴って、ゲート電界 E_g とゲート絶縁膜容量が変化することに注意する。すなわち、

$$E_g = V_g / t_g \quad \dots\dots\dots (4.7)$$

と、界面捕獲電荷 Q_{it}

$$Q_{it} = \epsilon_g \Delta V_t / (q \cdot t_g) \quad \dots\dots\dots (4.8)$$

が、解析パラメータとして重要である。ここに q は電子の電荷量であり、 Q_{it} は単位面積あたりの捕獲電荷数で表した。また、 ϵ_g はS i N膜の誘電率(5.93×10^{-13} F/cm)である。

これらの式を用いて図4.17の結果をデータ処理したものを図4.18に示す。図4.17の個々の実験データが、ひとつの傾向を表す曲線に統一して表されることが分かる。 V_g が正の場合(図4.18(a))は、 Q_{it} は高電界側で E_g^2 に比例し、低電界側ではほぼ E_g に比例する。 V_g が負の場合(図4.18(b))の処理結果によれば、この電界依存性は E_g^4 に比例する項で表されることが分かる。これらの結果では、図4.8に示されたS i N膜厚一定の場合のゲート電圧依存性と指数が同じであることに注意を要する。この意味では、 $Q_{it} - E_g$ プロットは、図4.8の結果の一般化であると考えられる。そして、式(4.6)を一般化したものとして次の表式を得る。

$$Q_{it} = (\epsilon_g / q \cdot t_g) \cdot \alpha \cdot |E_g|^\beta \cdot t^\gamma \cdot \exp(-\Delta E / kT) \quad \dots\dots\dots (4.9)$$

この式を用いれば、種々の条件で作製したTFETの界面の質を比較評価することができる。すなわち、ゲート絶縁膜厚の異なるTFETのみならず、多層構造のゲート絶縁膜、例えばTaO/S i N²⁹⁾やAl₂O₃/S i N³⁰⁾を有するTFETの界面の比較評価にも用いることができる。

ところで、 V_g の符号による上記の電界依存性の違いの原因は、界面捕獲電荷の種類(電子あるいは正孔)と捕獲準位の位置の違いによるものと考えられるが、詳細な機構は明らかにされていない。ゲート絶縁膜中の電界 E_g は、S i N/a-S i界面部におけるa-S i中の電界 E_a と次の関係で結ばれる。

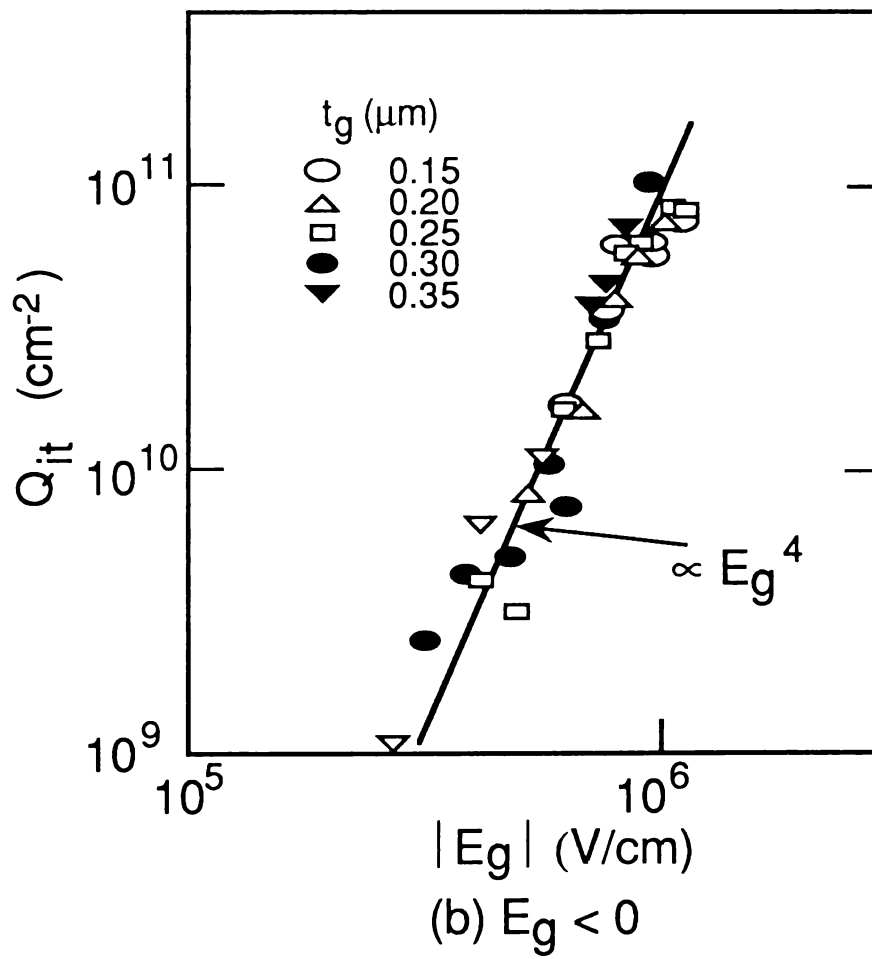
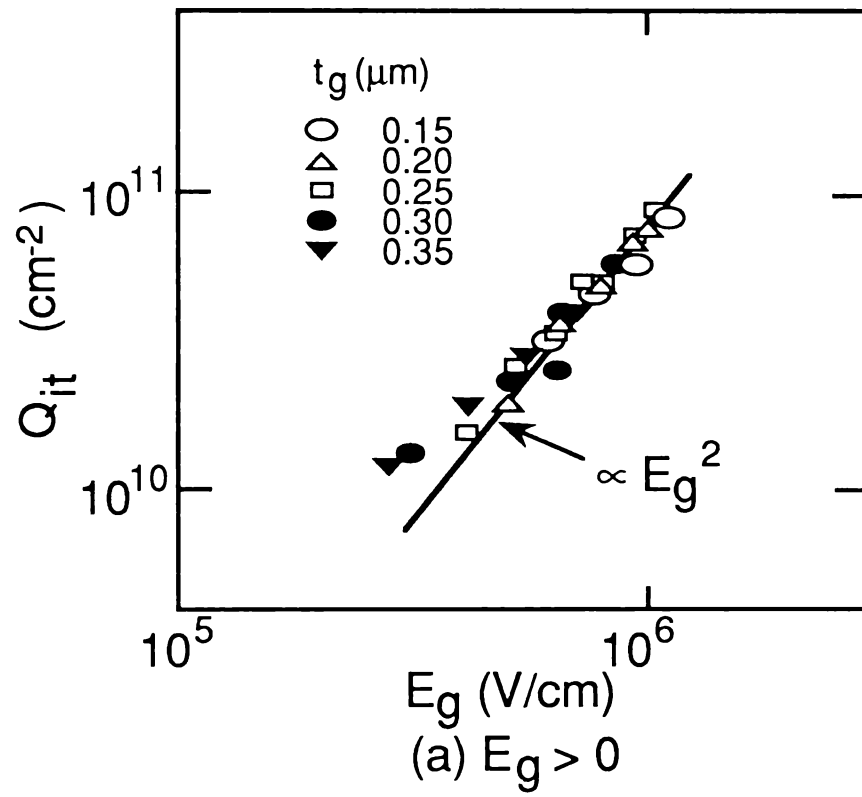


図4.18 $Q_{it} - E_g$ プロット

$$\epsilon_g E_g = \epsilon_a E_a + q (Q_{it} + Q_0) \quad \dots\dots\dots (4. 10)$$

ここに、 ϵ_a は a-Si の誘電率 (9.30×10^{-13} F/cm) , Q_0 はストレス試験前より存在する初期状態の界面固定電荷である。ここでも、式 (4. 9) 中の指数 β を定めるには、式 (4. 10) 右辺の第二項の寄与が小さいときに限られることを注意しておく。実験では、第二項により E に含まれる誤差は 10 % 以下であった。a-Si 中の電界 E_a は、バンドの曲がりや界面に誘起される電荷密度と密接にかかわっている。また電界加速によって、Si-Si 結合が破断し準位が生成することも考えられる。 V_t ドリフト現象の微視的な機構の解明には、これらを考慮に入れ、 V_g の符号によるドリフト現象の差異の説明が可能なモデルを構築する必要がある。

4. 4. 7 V_t ドリフトのドレイン電圧依存性の解釈

4. 4 節の最後に、 V_t ドリフトが a-Si/SiN 界面の電荷 Q_{it} によるという知見に基づいて、図 4. 7 のドレイン電圧依存性の解釈を与える。⁷⁾ そのために、界面捕獲電荷がチャネル方向に沿って分布を持つというモデルを用いる。図 4. 19 を用いてこれを説明する。

既に、言及したようにゲート電圧とドレイン電圧の両方を印加した場合は、ゲート絶縁膜内の電位分布は非対称になる。この電位分布により、界面捕獲電荷に不均一な分布 $\rho(x)$ が生じる。ここに x 軸はチャネル方向である。この不均一な電荷分布により、 x 軸に沿ってチャネルが形成される電圧に分布が生じる。すなわち、チャネル形成電圧は、初期状態ではトランジスタのチャネル領域全面にわたって同じ値 (V_{ti}) であったものが、ストレス電圧印加後には、 $V_{ti} + \Delta V(x)$ の値になる。 $\Delta V(x)$ は $\rho(x)$ に比例する。a-Si TFT は n チャネルトランジスタであるので、ストレス電圧印加後の TFT の V_t 値として観測されるものは、おおむね $V_{ti} + \Delta V(x)$ のうちの最大値となる。

このモデルによれば、 V_t ドリフトのドレイン電圧依存性は次のように解釈される。ゲート正電圧ストレスのときは、対応する $\Delta V(x)$ はソース電極近傍で最大、ドレイン電極近傍で最小となる。したがって、観測される V_t ドリフト量は、ソース電極近傍での $\Delta V(x)$ でありドレイン電圧には依存しないことになる。また負電圧ストレスのときも、同様な議論が成り立つ。この場合は、 $\Delta V(x)$ は負であり、その絶対値はソース電極近傍で最小、ドレイン電極近傍で最大となる。よってやは

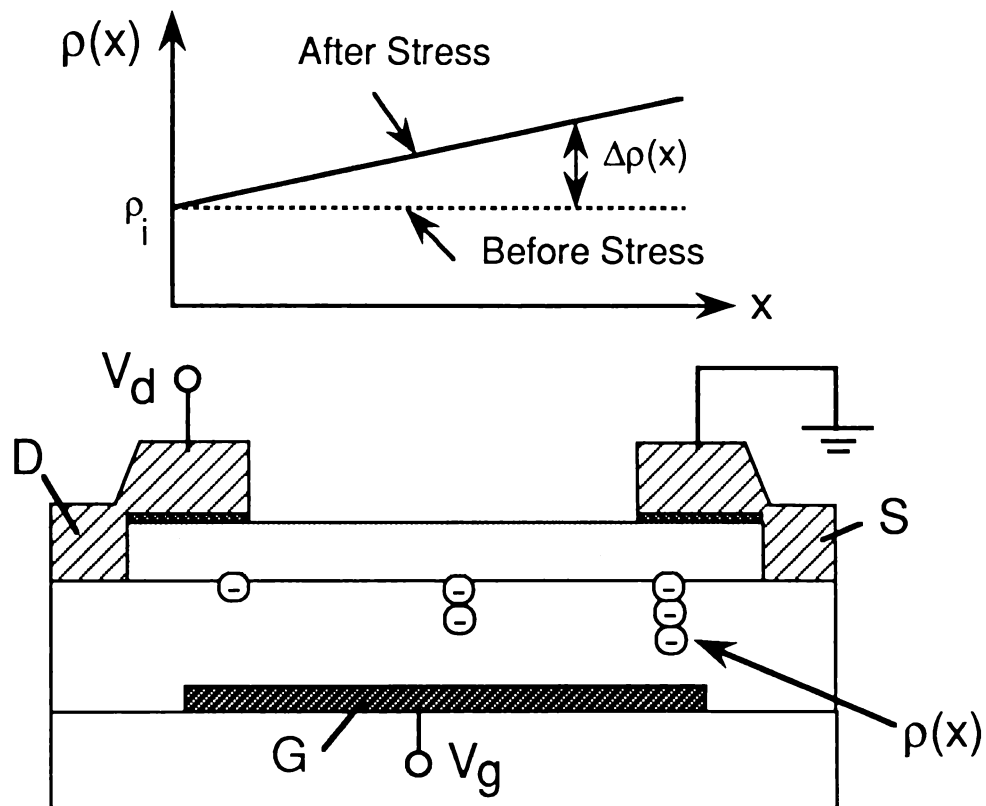


図4.19 分布電荷モデル

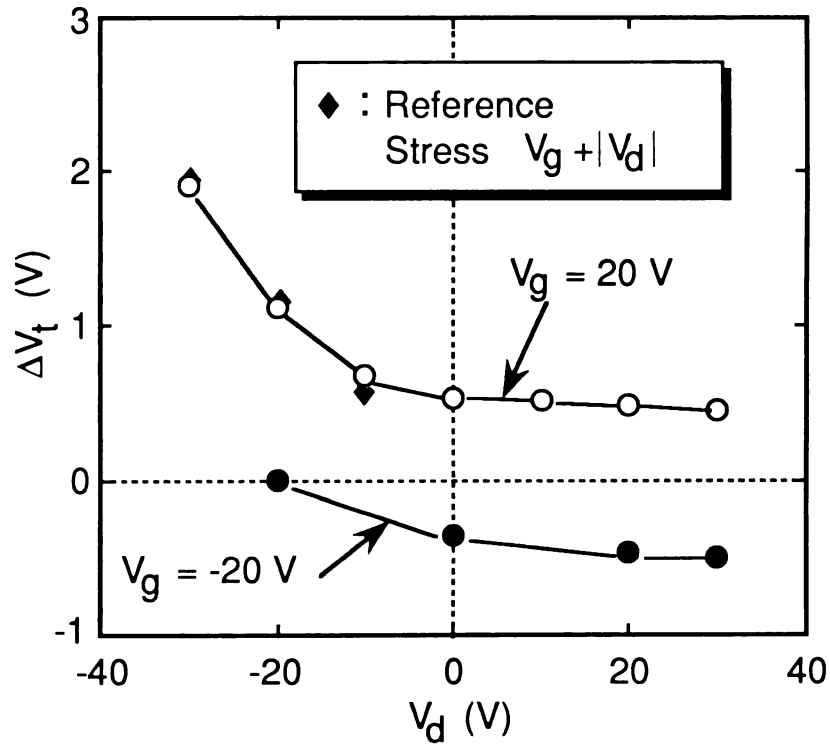


図4.20 $V_d < 0$ の場合の V_t ドリフト (Stress Time 1000 s)

り、ソース電極近傍の $\Delta V(x)$ が観測されることになる。

さて、上記で用いたモデルについては、図4.7と同じ検討を、 $V_d < 0$ Vの領域まで行うことによって更に検証できる。結果を図4.20に示す。これによれば、

(1) $V_g = V_d = -20$ Vの時に、 $\Delta V_t = 0$ Vとなっていること、
(2) $V_g = 20$ V、 $V_d < 0$ Vのときの ΔV_t が、ゲート電圧に $V_g + |V_d|$ を印加し、ソース・ドレインを接地して測定したドリフト量（図中に◆で表示）と一致していることが分かる。これらの結果は、やはり上のモデルからの帰結と合致するものである。以上、4.4節では、 V_t ドリフトのメカニズムの検討を行い、その原因が主としてa-Si/SiN界面での捕獲電荷 Q_{it} にあることを突き止めた。しかしながら、その捕獲準位の生成のメカニズムの究明には至っていない。その手がかりになるものは、4.3節の活性化エネルギー、ゲート電界依存性、駆動時間依存性のデータである。

4.5 V_t ドリフトの低減

本節では、TFTの作製条件の検討による V_t ドリフトの低減について述べる。種々の作製条件を検討したうち、特にCVD条件として形成温度、形成ガス流量比の最適化がドリフト低減に有効なことが分かった。その際、 V_t ドリフトを低減させるばかりではなく、TFT特性についても配慮して条件を最適化した。

4.5.1 SiN膜形成ガス流量比

ゲート絶縁膜のバルクの膜質が悪いと、膜中の Q_{ot} が大きくなるので V_t ドリフトが生じやすくなることが、容易に考えられる。これをSiN膜についていえば、膜中のシリコンと窒素の組成がストイキオメトリ（Si:N = 3:4）からずれた場合に相当する。先述のように、SiN膜は不揮発性メモリ素子に應用されており、膜中の電荷捕獲準位が多いことで知られるが、⁶⁾ この電荷捕獲準位は主としてSiN膜中の過剰シリコンのダングリングボンドにより発生することが報告されている。³¹⁾ したがって、 V_t ドリフトの観点から見たSiN膜質の改善のためには、SiとNの組成をストイキオメトリからN過剰に近付けることが重要と考えられる。この組成比については、SiN膜形成時にCVDチャンバ内の形成ガス流量比を変化させることによって、調べることができる。

SiN膜の形成ガスは2.2節に述べたように、 $\text{SiH}_4\text{--NH}_3\text{--N}_2$ の混合ガスである。この混合比 NH_3/SiH_4 と N_2/SiH_4 を各々独立に変化させて形成

したSiN膜を有するTF Tを作製した。DC電圧ストレスによる V_t ドリフト試験結果を図4. 21に示す。この図の(a)は $N_2/SiH_4=1/4$ 一定とし、 NH_3 量を1～8の範囲で変えた結果であり、同図(b)は $NH_3/SiH_4=2$ として、 N_2 量を10～45の範囲で変化させた結果である。ここでは、正バイアスの結果のみを示すが、負バイアスでも定性的には同じ傾向を示した。この結果によれば、混合比 NH_3/SiH_4 あるいは N_2/SiH_4 を増大させていくに従い、 ΔV_t が急激に減少するのが分かる。その後は、 ΔV_t の変化がほとんどなくなる。この ΔV_t の変化の小さい領域が最適な混合ガス比である。本実験結果によれば、この混合ガスの最適比は、

$$NH_3/SiH_4 \geq 4 \quad \cdots \cdots \cdots (4. 11)$$

$$N_2/SiH_4 \geq 1/5 \quad \cdots \cdots \cdots (4. 12)$$

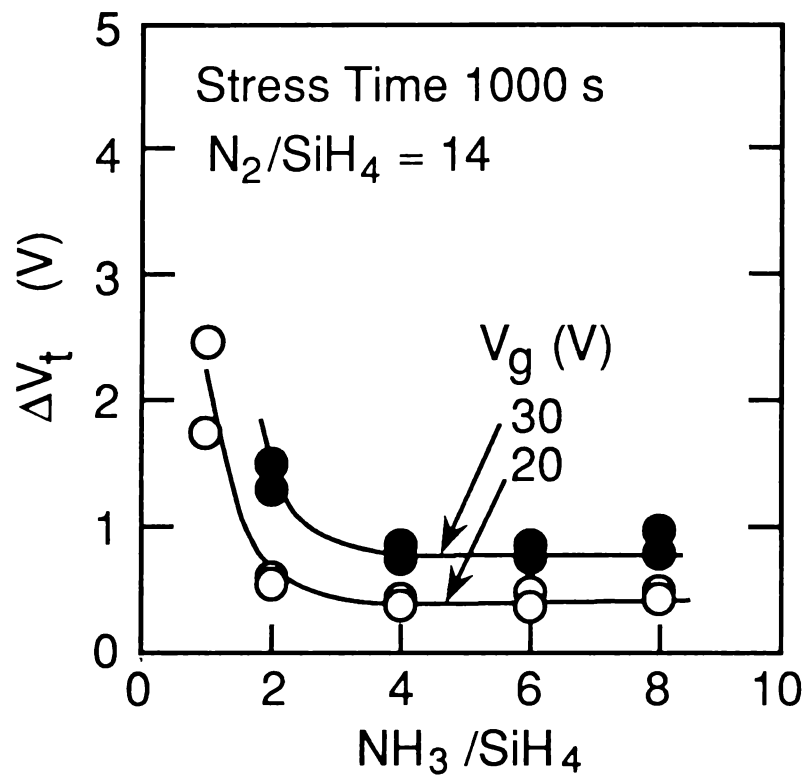
であることが分かる。実際、この領域でTF Tの特性に大きな変化のないことを確認している。また、通常 N_2 ガスの役割は NH_3 の分解を促進するものと考えられるが、図4. 21(b)は、この N_2 ガスも適当な量がないと良質な膜が得られないという結果を示している。 SiH_4-N_2 2元系でSiN膜を作製しても良質な膜を得にくいことが示唆される。

上記の結果は、電荷捕獲準位と組成比に関する推論によれば、窒素源が不足してシリコン過剰になる場合に V_t ドリフトが大きくなることを示すものである。この組成比と ΔV_t の関係をより明確に示すのが、図4. 22である。これは、SiN膜の赤外吸収スペクトルから、SiとNの組成比に直接関係するといわれる³²⁾ Si-HとN-Hの吸収ピークの比を測定し、これと V_t ドリフト量の関係を示したものである。この図から、明らかなようにSi-H/N-H比が小さいほど、 V_t ドリフトも小さくなるのが分かる。

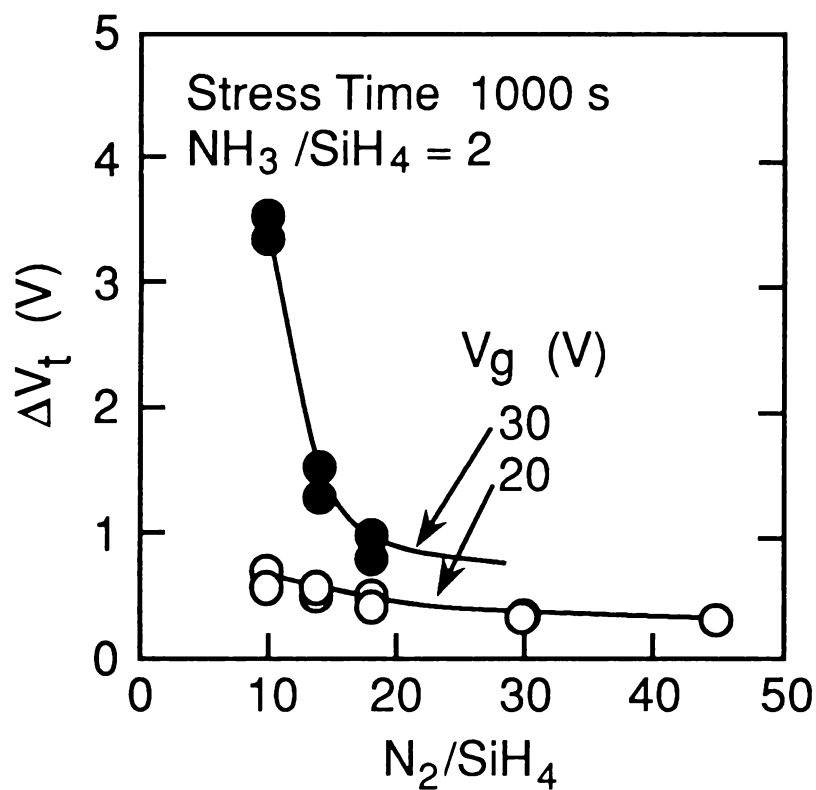
4. 4. 3節で用いたストイキオメトリSiN膜とSi過剰SiN膜もこの形成ガス流量比を変えて作製したものである。Si-H結合とN-H結合の密度は、ストイキオメトリSiN膜の場合は、それぞれ 5.1×10^{21} 及び、 $2.0 \times 10^{22} \text{ cm}^{-3}$ であり、Si過剰SiN膜の場合のそれらの値は 9.1×10^{21} 及び $1.5 \times 10^{22} \text{ cm}^{-3}$ である。

4. 5. 2 a-Si膜の形成温度

a-Siの作製条件としては、当初、TF Tに先行して開発されたa-Si太陽電池の作製条件をそのまま使用していた。したがって、これらをTF Tの特性改善



(a) ΔV_t vs NH_3/SiH_4



(b) ΔV_t vs N_2/SiH_4

図4.21 V_t ドリフトの形成ガス流量比依存性

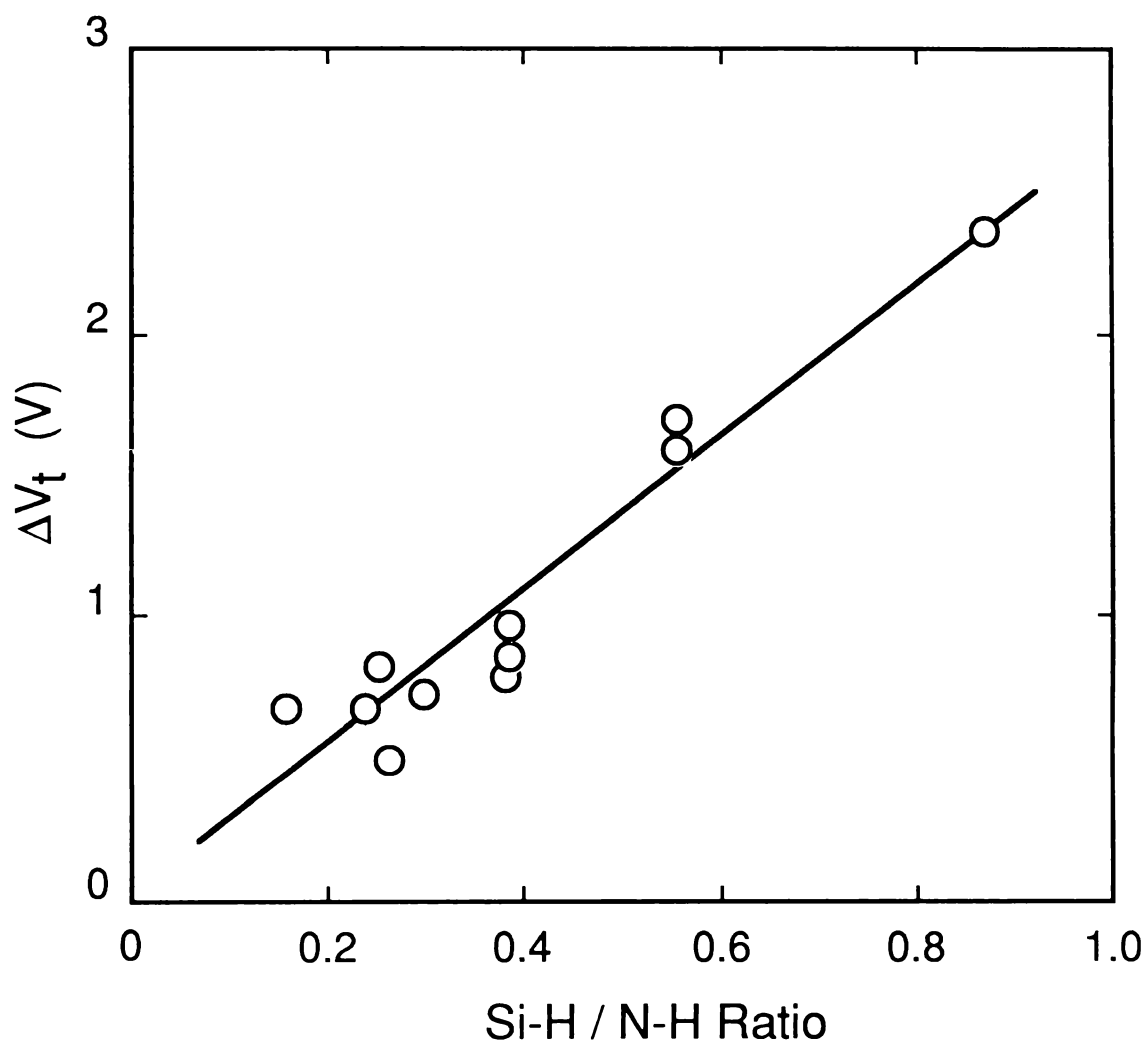


図4.22 V_t ドリフト量のSi-H / N-H比依存性

Si-H / N-H比はSiN膜の赤外吸収スペクトルの
 2160 cm^{-1} (Si-H)および 3350 cm^{-1} (N-H)の吸収
 ピークの比である

の観点から最適化する必要があった。とりわけ $a-Si$ 膜の形成温度が V_t ドリフトの低減に密接にかかわることが見いだされた。¹⁸⁾ 詳細は以下のとおりである。

TFT用の $a-Si$ 膜の形成温度については、 230°C 近辺の温度が用いられてきた。この温度は太陽電池に用いる透明電極から生じる制約により定められたものである。TFTについては、構造上この制約が取り除かれる。したがって、ここでは V_t ドリフトの観点から $a-Si$ 膜の形成温度を最適化した。

まず、 SiN と $a-Si$ の形成温度を等しく設定して TFT を形成した。調べた温度領域は $200 \sim 420^{\circ}\text{C}$ である。温度は、TFT 用ガラス基板と同一形状のガラス基板を用い、これに穴を開けて熱電対を埋込んで作った温度計を用いて測定した。堆積中の温度差は、 $\pm 5^{\circ}\text{C}$ 、基板内の温度分布を考慮に入れると、温度の誤差は $\pm 10^{\circ}\text{C}$ と見積もられる。

このようにして形成した TFT のドリフト試験結果を図 4. 23 に示す。形成温度を 230°C から 420°C に引き上げることで、正負いずれの極性の電圧ストレスに対しても V_t ドリフト量を約 $1/3$ 以下とすることができる。この温度効果については、高温で堆積することにより熱アニール効果が生じ、 $a-Si/SiN$ 界面近傍での電荷捕獲準位 Q_{it} が低減するためと推定されるが、その機構の詳細は明らかになっていない。

次に、この形成温度を 420°C としたことの作用を調べるために以下の実験を行った。 SiN を 420°C で形成し $a-Si$ を 230°C から 420°C まで変化させたときの V_t ドリフト量を図 4. 24 (a) に記す。この結果によれば、図 4. 23 の結果は、 SiN の形成温度が効いているのではなく、 $a-Si$ の形成温度が重要であることが分かる。

さらに、 SiN 、 $a-Si$ をそれぞれ 320°C 、 230°C で形成する TFT において、以下の 3 種類の素子を用意した。

- (1) $SiN/a-Si$ 堆積後に引き続いて水素雰囲気中で 420°C の熱処理を加える (ポストバーク)。
- (2) SiN 堆積後、 $a-Si$ 堆積前に水素ガスをチャンバに導入しその雰囲気中で 420°C の熱処理を加える (プリバーク)。
- (3) 無処理

これらについて、 V_t ドリフト試験を行った結果を図 4. 24 (b) に記す。これによれば、ポストバークでは TFT 高温形成の場合と同様な効果が得られるのに対し、プリバークでは逆にドリフト量は増大することが分かる。このように界面形成後の熱処理によってドリフトを低減できるのは、通常の MOS プロセスで良く知

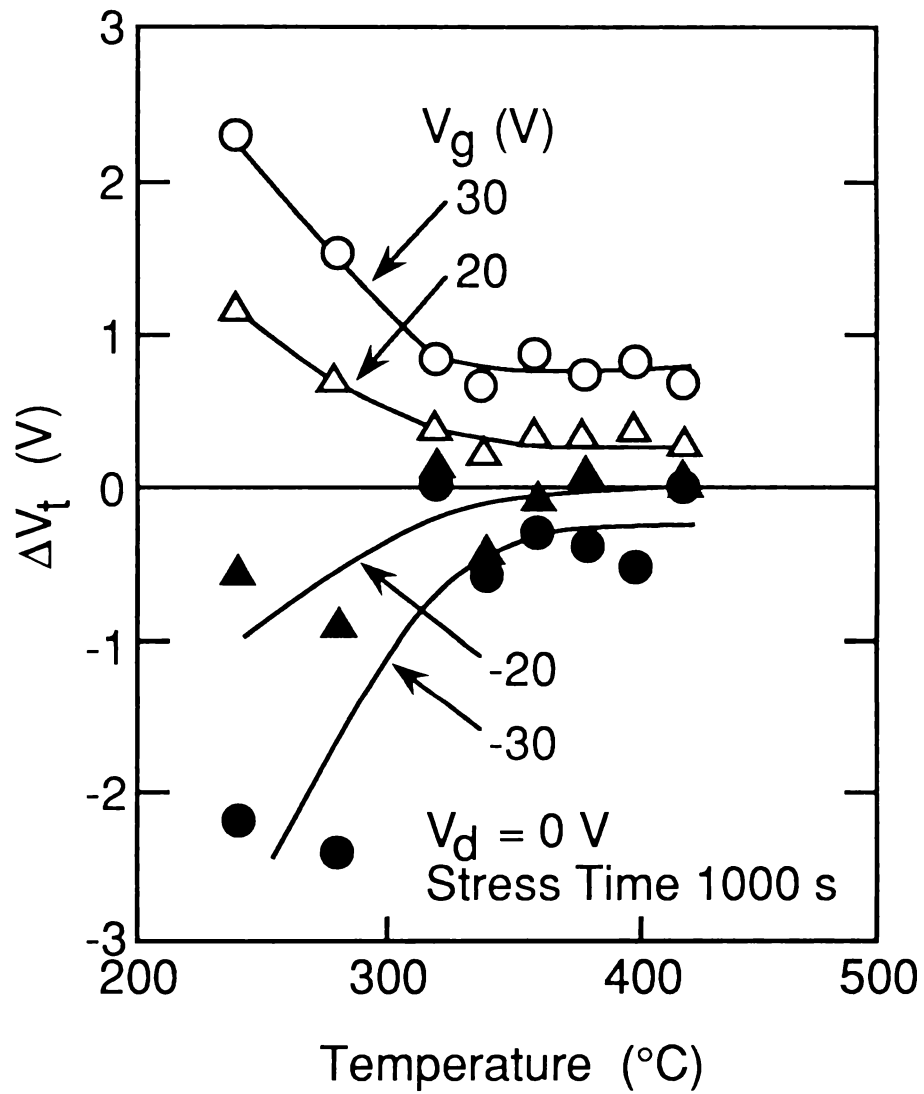


図4.23 V_t ドリフトのTFT形成温度依存性
(a-SiとSiNは同一温度で形成)

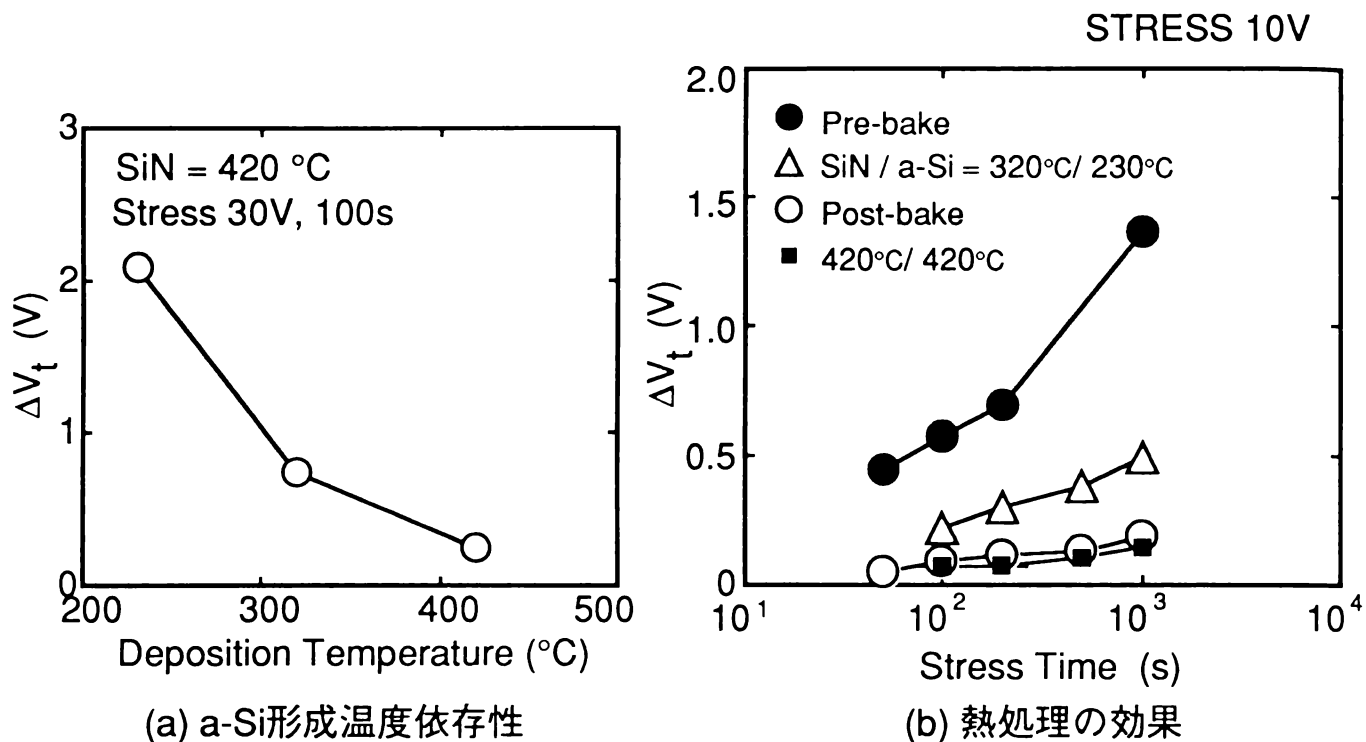


図4.24 TFT 高温形成による V_t ドリフトの低減効果の原因検討

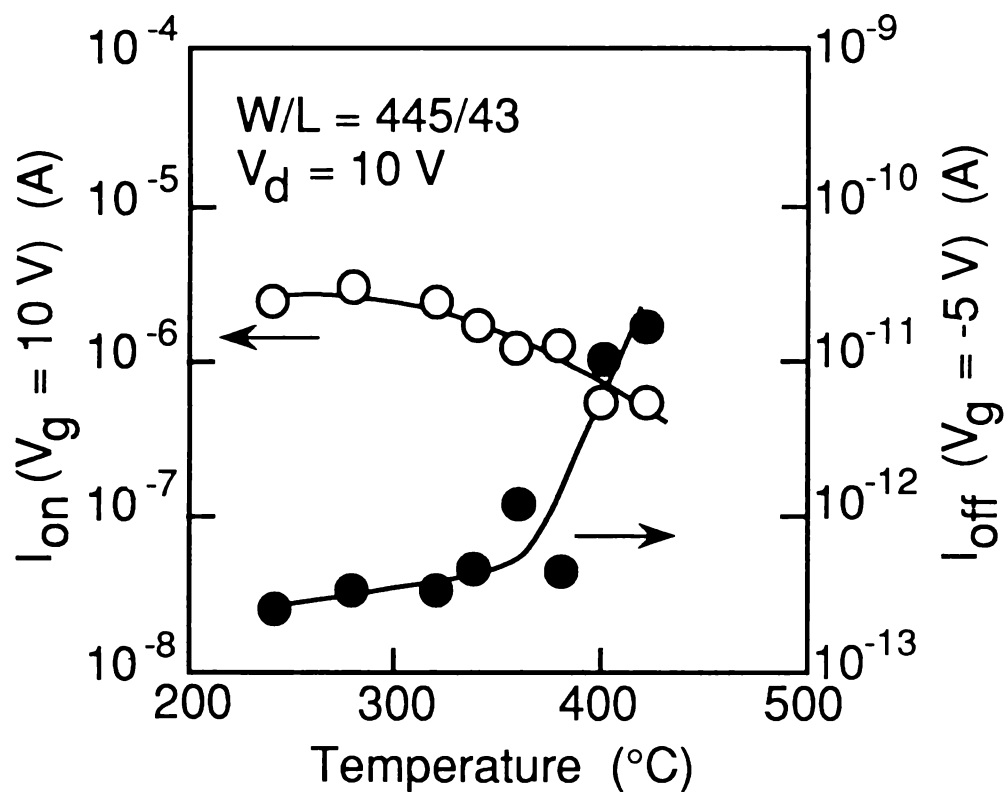


図4.25 オン電流、オフ電流のTFT形成温度依存性

られているように熱処理によって、界面準位が減少するためであると考えられる。

以上のように、 $a-Si$ の形成温度は 300°C 以上の高温の方が、高信頼性であることが見いだされた。一方、この形成温度の上限は、TFTの $I-V$ 特性から決められる。図4.25にドレイン電流の形成温度依存性を示す。オン電流($V_g = V_d = 10\text{ V}$)は形成温度上昇に伴い徐々に減少し、オフ電流($V_g = -5\text{ V}$, $V_d = 10\text{ V}$)は 360°C 以上の形成温度で急激に増大する。すなわち、 360°C 以下の温度域では十分なオンオフ比が得られることが分かる。温度上昇に伴うこのオン電流の低下とオフ電流の増大は、高温形成時に $a-Si$ から水素が離脱して、 $a-Si$ 膜の膜質が劣化したためである。

上記の結果より、TFTの形成温度を V_t ドリフト、オンオフ特性双方の観点から最適化することが可能である。すなわち、この温度域を 300°C から 360°C に定めればよいことが分かる。工業的な裕度を考慮に入れると 320°C 程度が適する。

4.6 $a-Si$ TFTの寿命推定

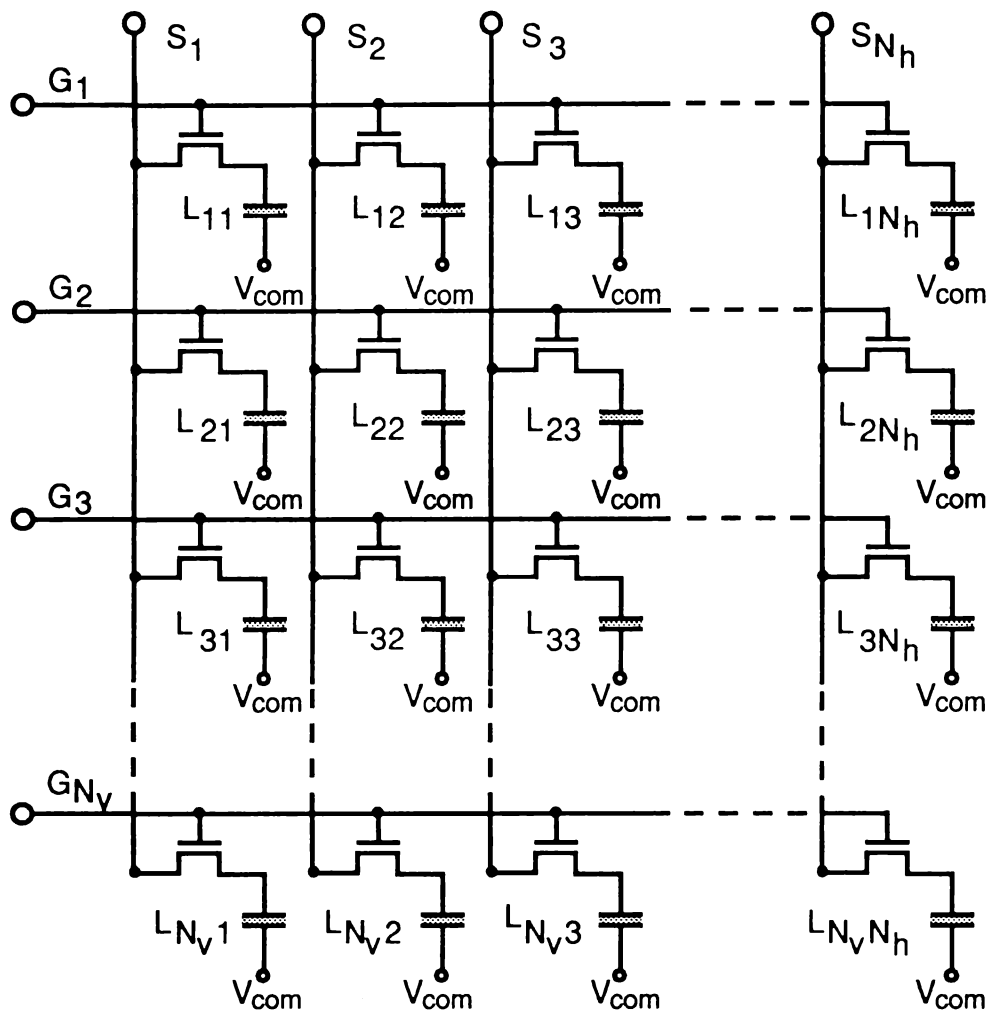
ここでは、 $a-Si$ TFTを液晶ディスプレイに応用した場合に生じる V_t ドリフトの推定法について述べ、これを4.5節で作製条件を最適化したTFTに適用する。^{11, 18, 33)}

4.6.1 液晶ディスプレイの駆動と V_t ドリフト

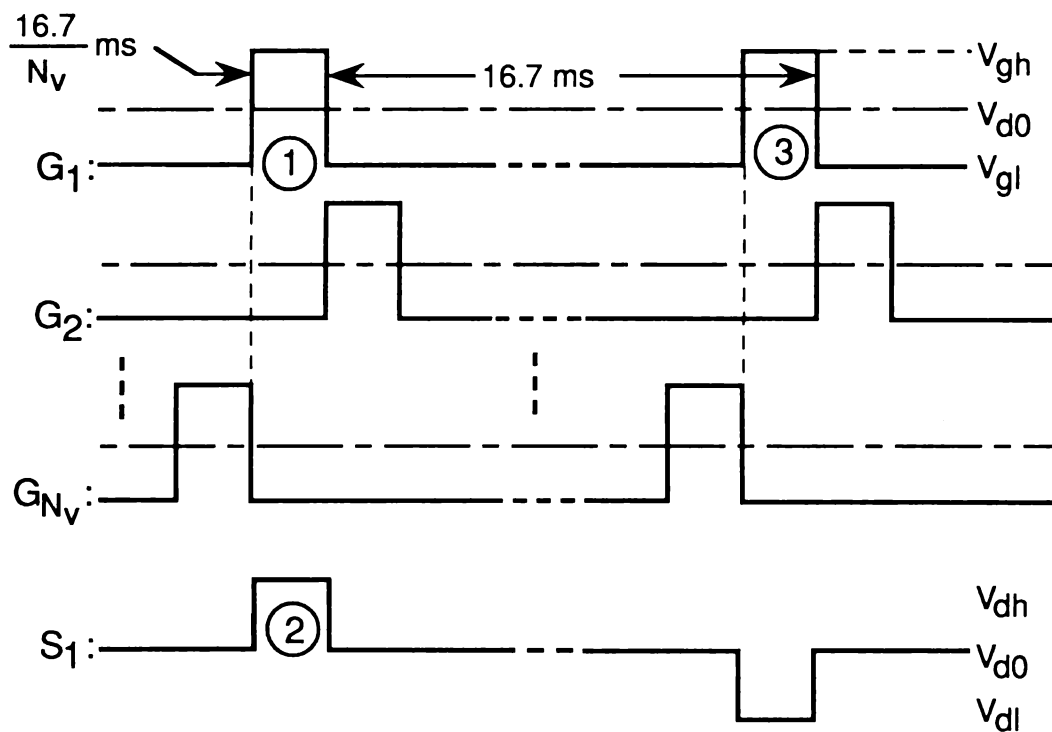
[a] 液晶ディスプレイ駆動TFTへのストレス電圧

TFTが液晶ディスプレイの駆動に適用される場合には、これまでに述べてきたDC電圧駆動とは異なる駆動電圧が印加される。

これを、図4.26を用いて説明する。この図は、ディスプレイパネルの駆動電圧の例を示したものである。(詳細は、第5章)図4.26(a)はアクティブマトリクス等の回路図である。水平方向に伸びる複数のゲート線(N_g 本)と垂直方向に伸びる複数の信号線(N_s 本)がマトリクス状に組まれている。この配線の各交点が画素であり、その画素にはTFTが設けられている。TFTのゲート電極はゲート線、ドレイン電極は信号線、ソース電極は等価容量で表された液晶層を挟む電極の一方に接続されている。液晶層を挟む電極の他方は、全画素にわたり共通の電極であり、電位は V_{com} に保たれている。このディスプレイの駆動を図4.26(b)に示す。まず、ゲート線 G_1 が選択され、これに幅 t_w のパルス電圧①が印加される。このとき G_1 に接続されたTFTはオン状態になり、これに同期した画像信号電圧が液晶に伝わる。例えば信号線 S_1 に加わる信号②が液晶 L_{11} に伝わる。



(a) アクティブマトリクス等の価回路



(b) パネルの駆動電圧のタイミング

図4.26 液晶ディスプレイ上のTFT駆動電圧

同じタイミングで信号線 S_i に加わる信号が液晶 L_{1i} に伝わる。次にゲート線 G_2 , G_3 , …, G_{N_V} と選択されて、そのたびにそれぞれのゲート線に接続された水平方向一線分の画素に信号が加わえられていく。この駆動方法は、液晶ディスプレイにおいて一般的なものであり線順次駆動と呼ばれているものである。ところで、再び G_1 に電圧③が加わるまではこのゲート線に接続された T F T はオフ状態に保たれる。この間 G_1 はソース電圧に対して負電位となる。ゲート電圧のパルス幅 t_w は、一枚の画像が表示される時間 t_f とゲート線数 N_V によって決まる。 $1/t_f$ はフレーム周波数と呼ばれ、フリッカなどの低減の観点から、通常 60 Hz が用いられる。一般に、 $t_w \leq t_f/N_V$ の関係がある。

T F T に印加されるストレス電圧という意味では、上のパネル駆動電圧の特徴は、「T F T のゲート・ソース間電位 V_g が正になるのは、1 フレームあたり $1/(60 N_V)$ 秒間であり、その他の時間は負に保たれる。すなわち、 V_g はフレーム周波数 60 Hz で正負交互に変化する。」点である。

そこでこれまでの D C 駆動による V_t ドリフト試験結果をディスプレイパネル上の T F T に適用するにあたっては、次の 2 点を調べておく必要がある。ひとつは、パルス電圧に対する V_t ドリフトであり、もうひとつは正負の符号のパルス電圧が印加される場合のストレスに対する V_t ドリフトである。

[b] パルス電圧による V_t ドリフト

ゲート電極にパルス電圧を印加し、 V_t ドリフトを調べた。パルス振幅は 20 V, 30 V の 2 種類について調べた。いずれの場合も周波数は 60 Hz に固定し、ストレス電圧が実際に加わる正味の時間すなわち、パルス幅の総和を 1000 秒一定とした。パルス幅 t_w をパラメータとした結果を図 4. 27 に示す。これはパルスのデューティ比 ($t_w \times 60$) を変化させたことに等しい。 V_t ドリフト量は、パルス幅に関係なく一定であり、D C 電圧ストレスの場合に等しいことが示されている。この結果によれば、パルス電圧ストレスは、ストレスパルスの加わる時間の積算値に対応する D C 電圧ストレスと同じ効果を有することが分かる。例えば、D C ストレス 10³ 秒はゲート線数 10³ 本のディスプレイに対しては、10⁶ 秒の駆動時間に対応する。

これにより、これまでに調べてきた T F T の D C 電圧ストレスに対する V_t ドリフトの結果を、パネル上の T F T の V_t ドリフトの予測に用いることができる。これを式で示すと、 n 個のパルスを印加した後の V_t ドリフト量 $\Delta V_{tp}(n)$ は、式 (4. 6) に示された D C 電圧ストレスに対する V_t ドリフト量の表式 $\Delta V_t =$

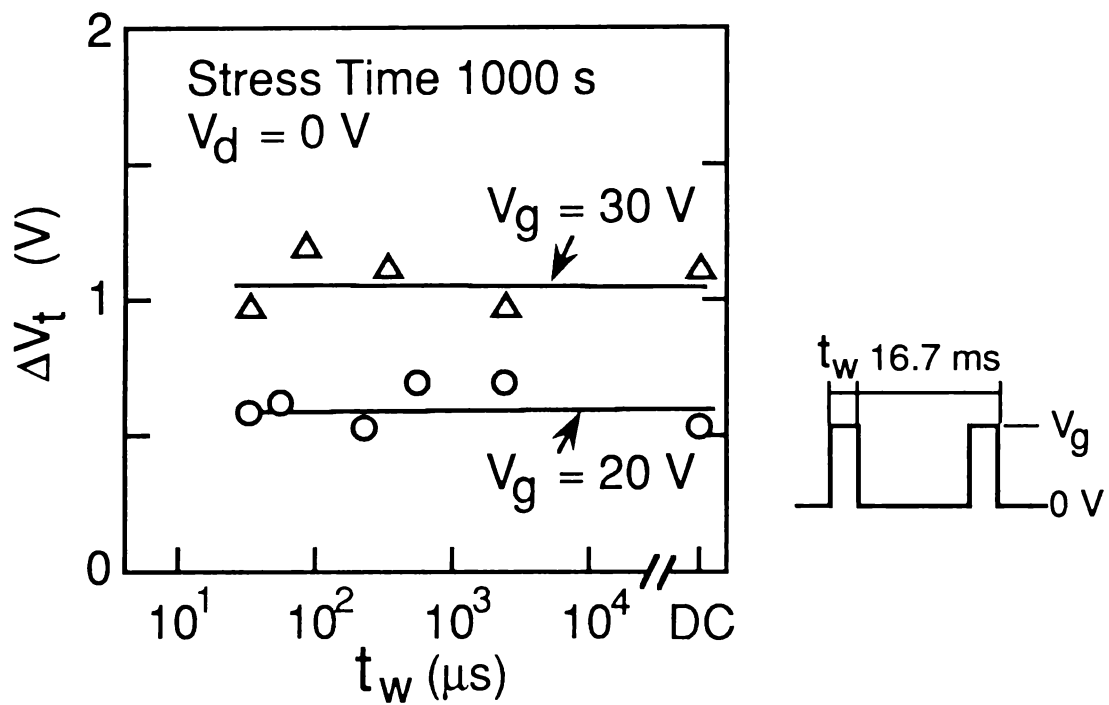


図4.27 パルス電圧ストレスによる V_t ドリフト

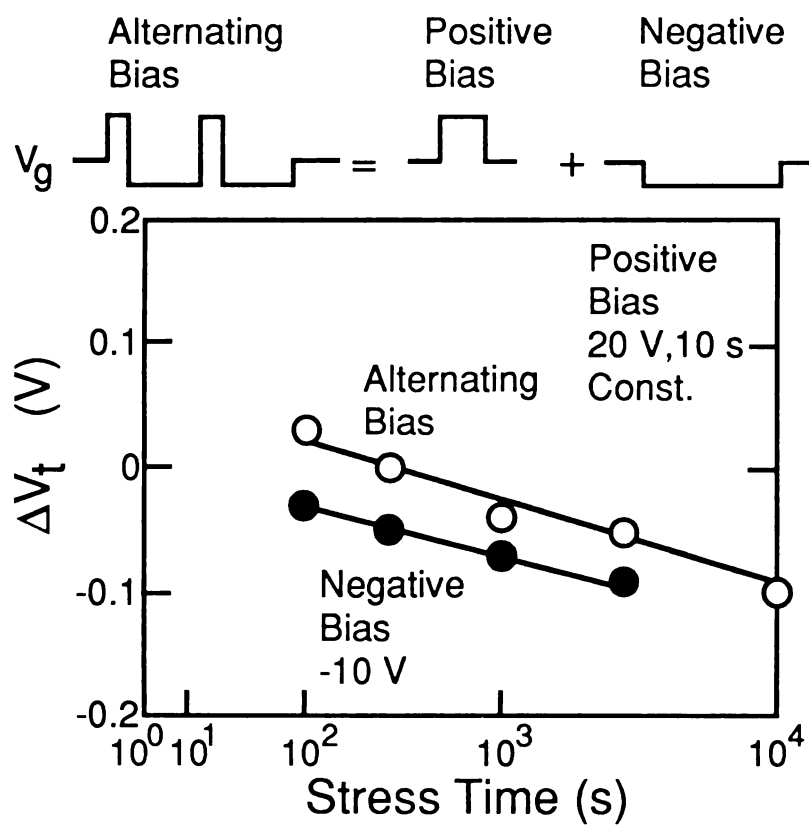


図4.28 正負パルス電圧ストレスによる V_t ドリフト

$g(V_g, t, T)$ を用いて,

$$\Delta V_{tp}(n) = g(V_g, n \cdot t_w, T) \dots\dots\dots (4.13)$$

と表される。以上は $V_g > 0$ の場合についての結果であるが、 $V_g < 0$ の時も同様な結果となると考えられる。

[c] 正負パルスストレス電圧による V_t ドリフト

正パルス電圧と負パルス電圧を交互に印加したときの V_t ドリフト試験結果を図 4.28 に示す。正パルス電圧は 20 V, パルス幅 $t_w(+)$ = 1 秒とし, 負パルス電圧は -10 V, パルス幅 $t_w(-)$ はパラメータとした。このパルス電圧ストレスの組を 10 回繰り返した。すなわち図 4.28 のストレス時間は $10 \times [t_w(+) + t_w(-)]$ である。この結果によれば, 図 4.10 (a) と同様に印加時間の対数の 2 乗に比例して V_t が負方向にドリフトするのが分かる。また, 同図には負の DC 電圧単独のストレスによる V_t ドリフトを示してある。両者を比べると, 正負パルスによるドリフトは, 負の DC 電圧単独のストレスによるドリフト量に対し 0.06 V だけ正方向にシフトさせたものに対応するのが分かる。このシフト量は, 正の DC 電圧 20 V, 10 秒で生じるドリフトが 0.06 V であることと一致している。

これらの結果より, 正負パルスストレス電圧による V_t ドリフトは, 正電圧によるドリフトと負電圧による V_t ドリフトの単純和で近似できることが明らかになった。これを式で表すと,

$$\Delta V_{tp}(\pm, n) = \Delta V_{tp}(+, n) + \Delta V_{tp}(-, n) \dots\dots\dots (4.14)$$

となる。この式の引数の符号はパルスの極性を示す。また ΔV_{tp} は式 (4.13) に従う。

4. 6. 2 パネル上のTFTの寿命推定

パネル上のTFTには画像信号によりいろいろなストレスが印加されるので、正確な予測は困難であるが、ここでは、最悪なストレス条件を仮定する。線順次駆動、ゲート線数1000本のパネルについて考える。ゲートに20Vのパルス電圧が印加され、 10^4 時間駆動する場合のTFTに対するストレス時間は、20V正パルスが10時間と-20Vのストレスが約 10^4 時間になる。式(4.14)より、 V_t ドリフトの推定値は、正方向ドリフトと負方向ドリフトの和で見積もられる。この推定を、種々の温度で形成されたTFT(4.5節)について行った結果を図4.29に示す。最適温度領域(300~360℃)では、破線で示されたこのドリフトの和は負となり、その絶対値は1V以下となり、実用上十分な値と考えられる。さらに、本節の検討結果から、以下のことも明らかになった。

- (1) 正方向ドリフトと負方向ドリフトのそれぞれが零に低減できなくとも、実際はその組合せで実用に供することができる。
- (2) 実パネル上のTFTには、大部分の時間負バイアスが印加されるので負方向ドリフトの低減がTFT/LCDの信頼性向上の上でより重要である。

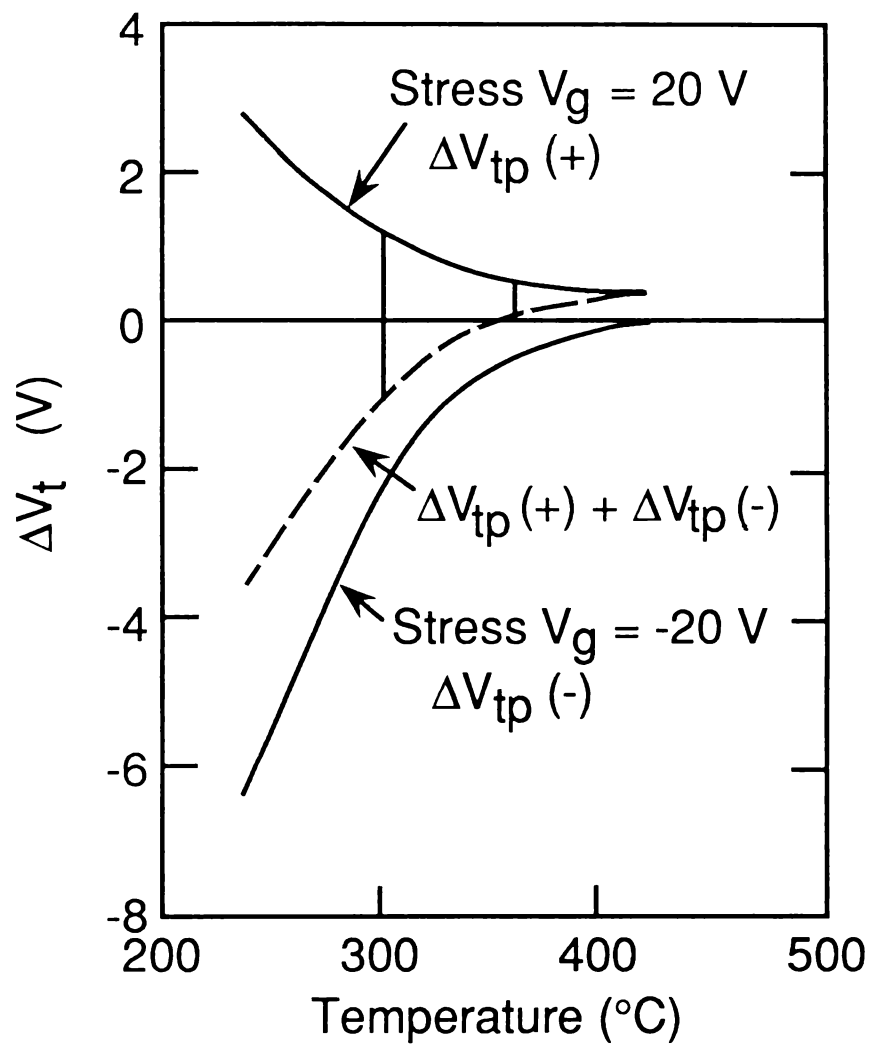


図4.29 V_t ドリフトの推定値のTFT形成温度依存性
(推定値は10000時間駆動後)

4. 7 まとめと今後の課題

a-Si TFTの信頼性向上を目的として、 V_t ドリフトの評価を行い、その機構の解析検討及び低減対策を行った。作製条件の最適化されたa-Si TFTは 10^4 時間で $|\Delta V_t| < 1\text{ V}$ と、十分実用に耐え得るものであることを示した。この結果は、以下の個々の知見に基づくものである。

- (1) a-Si TFTの V_t ドリフトの駆動時間、温度、電圧依存性を調べ、 V_t ドリフトの経験的な表式を明らかにした。
- (2) V_t ドリフトを引き起こすストレス電圧は主としてゲート電圧であり、しかもそれによって生じるゲート電界が重要な役割を果たすことを示した。これにより、種々の膜厚のTFTの信頼性の比較評価の精度を向上させた。
- (3) a-Si TFTのゲート絶縁膜の構造検討を通じ、この V_t ドリフト現象がa-Si/SiN界面での電荷捕獲によって生じることを実験的に検証した。この電荷捕獲の微視的な過程を明らかにすることにより(1)の経験的な V_t ドリフト現象が記述できると考えられるが、現状では未解明である。
- (4) TFTの作製条件の最適化により V_t ドリフトを低減させた。まず、ゲート絶縁膜であるSiNにおいて、SiとNの組成比がストイキオメトリあるいはN過剰となるように形成材料ガスの組成比を最適化した。次にa-Siの形成温度を 300°C 以上にすることにより、 ΔV_t 値の低減を達成した(従来比 $1/3$ 以下)。
- (5) TFTをLCDパネルに適用した場合の V_t ドリフトについて調べ、パルス電圧ストレスの評価法を確立した。

本章に述べた研究の結果、信頼性の観点からもa-Si TFTをLCD駆動に適することが判明した。すなわち、これによりa-Si薄膜の特長を十分に引き出すデバイスとしてa-Si TFTの実用化の動きを促進させることができた。

今後の課題は、本質的な V_t ドリフト対策を行うことである。例えば、 V_t ドリフトの印加電圧依存性、電圧印加時間依存性がa-Si膜あるいはa-Si/SiN構造の何に起因するものかを究明し、膜物性や構造の検討により高信頼性を確保するのが重要である。これにより、LCD応用に限らずTFTの用途拡大が可能になると考えられる。

参 考 文 献

- 1) M. J. Powell, Appl. Phys. Lett. 43, 597 (1983).
- 2) 例えば, S. Morozumi, Proc. Intn'l Display Research Conf. (1985), p.9.
- 3) H. C. Tuan, M. J. Thompson, N. M. Johnson, and R. A. Lujan, IEEE Electron Device Lett. EDL-3, 357 (1982).
- 4) M. J. Powell and D. H. Nicholls, IEE Proc. 130 Pt. I, 2 (1983).
- 5) 例えば, S. M. Sze, Physics of semiconductor devices 2nd. ed., (Wiley, New York, 1981), p.390.
- 6) J. J. Chang, IEEE Trans. Electron Devices ED-24, 511 (1977).
- 7) J. Vaid and H. Fritzsche, J. Appl. Phys. 55, 440 (1984).
- 8) Y. Kaneko, A. Sasano, and T. Tsukada, J. Appl. Phys. 69, 7301 (1991).
- 9) A. V. Ferris-Prabhu, IEEE Trans. Electron Devices ED-24, 524 (1977).
- 10) M. J. Powell, C. van. Berkell, and J. R. Hughes, Appl. Phys. Lett. 54, 1323 (1989).
- 11) N. Ibaraki, M. Kigoshi, K. Fukuda, and J Kobayashi, J. Non-Cryst. Solids 115, 138 (1989).
- 12) E. H. Nicollian and J. R. Brews, Mos Physics and Technology, (Wiley, New York, 1982).
- 13) B. E. Deal, IEEE Trans. Electron Devices ED-27, 606 (1980).
- 14) T. Ogawa, H. Wakemoto, H. Takezawa, and S. Hotta, Ext'd Abstracts of Intn'l Conf. on Solid State Devices and Materials, (1990), p.1039.
- 15) D. R. Kerr, J. S. Logan, P. J. Burkhardt, and W. A. Pliskin, IBM J. 8, 376 (1964).
- 16) M. Yamin, IEEE Trans. Electron Devices ED-12, 88 (1965).
- 17) M. Kuhn and D. J. Silversmith, J. Electrochem. Soc. 118, 966 (1971).
- 18) Y. Kaneko, A. Sasano, T. Tsukada, R. Oritsuki, and K. Suzuki, Ext'd Abstracts of Intn'l Conf, on Solid State Devices and Materials, (1986), p.699.
- 19) N. Lustig and J. Kanicki, J. Appl. Phys. 65, 3951 (1989).
- 20) A. R. Hepburn, J. M. Marshall, C. Main, M. J. Powell, and C. van Berkel, Phys. Rev. Lett. 56, 2215 (1986).
- 21) C. van Berkel and M. J. Powell, Appl. Phys. Lett. 51, 1094 (1987).

- 22) M. J. Powell, C. van Berkel, I. D. French, and D. H. Nicholls, Appl. Phys. Lett. 51, 1242 (1987).
- 23) M. J. Powell, C. van Berkel and J. R. Hughes, Appl. Phys. Lett. 54 1323 (1989).
- 24) H. Pfeleiderer and W. Kusian, Solid-State Electron. 29, 317 (1986).
- 25) W. B. Jackson and M. D. Moyer, Phys. Rev. B36, 6217 (1987).
- 26) D. L. Staebler and C. R. Wronski, Appl. Phys. Lett. 31, 292 (1977).
- 27) M. Stutzmann, W. B. Jackson, and C. C. Tsai, Phys. Rev. B32, 23 (1985).
- 28) T. H. Ning, C. M. Osburn, and H. N. Yu, J. Electronic Materials 6, 65 (1977).
- 29) T. Nagayasu, T. Oketani, T. Hirobe, H. Kato, S. Mizushima, H. Take, K. Yano, M. Hijikigawa, and I. Washizuka, Proc. Intn'l Display Research Conf., (1988), p.56.
- 30) H. Yamamoto, H. Matsumaru, K. Shirahashi, M. Nakatani, A. Sasano, N. Konishi, K. Tsutsui, and T. Tsukada, Proc. Intn'l Electron Devices Meeting, (1990), p.851.
- 31) J. Robertson and M. J. Powell, Appl. Phys. Lett. 44, 415 (1984).
- 32) W. A. Lanford and M. J. Rand, J. Appl. Phys. 49, 2473 (1978).
- 33) Y. Kaneko, R. Oritsuki, and T. Tsukada, Digest of Tech. Reports, (IECE of Japan, 1985), ED85-79 (in Japanese).

第5章 a-Si TFT駆動による 液晶ディスプレイの設計と製作

5.1 はじめに

本章では、a-Si TFT駆動による液晶ディスプレイ（LCD）の設計と製作及びその特性解析結果について述べる。

第2章及び第4章の検討結果により、a-Si TFTはLCDの駆動に必要なオンオフ特性かつ信頼性を有することが明らかになった。次のステップは、このa-Si TFTとLCDの技術を結びつけて、新しい表示素子であるTFT/LCDを構成することである。このTFT/LCDの技術全体について論じるためには、パターン形成に用いる半導体技術やa-Si/SiN形成に関する薄膜技術、配向膜、液晶材料を含めた液晶技術、駆動ICなどの回路技術、バックライト、カラーフィルタ、偏光板などに関する照明及び光学技術についての記述が少なくとも必要である。しかしながら、ここではこれらについて網羅的に記載するのが目的ではない。以下では、TFTの特性とTFT/LCDの表示特性の関係に焦点を当てて議論を進める。その議論の内容は以下のとおりである。

最初にTFT/LCDの基本構成と表示原理について記す。アクティブマトリクスの基本原則とその動作確認は、1973年にT. P. Brodyら¹⁾によってなされた。これは、液晶のねじれネマチック効果²⁾（TN効果：Twisted Nematic）とCdSe TFTを用いたものである。TFTの種類こそ違うものの、その基本動作原理はa-Si TFT/LCDに対しても依然として有効である。また本章及び次章の議論はこれらの原理に基づくものであるので、幾分冗長ではあるがやや詳しく述べる。

第2に、TFT/LCDの表示動作をモデル化し解析を行う。特にTFTの特性とTFT/LCDの表示特性の関係を詳細に調べる。まず一画素部の等価回路モデルを構成し、次にこのモデルの妥当性を実験的に検証するという手順を踏む。この等価回路モデルは、画素部の実際の積層構造とTFTの寄生容量の効果を考慮に入れたことが特徴である。これにより、画素電極の電圧変化を正確に評価できるようになり、TFTの電流電圧特性からTFT/LCDの表示特性を計算により求めることができるようになった。さらに、本モデルにより、従来は理解されていなかった輝度の経時変化に関する現象の説明が可能になった。あわせて、表示動作を確実にに行わせるための駆動電圧の最適条件についても明らかにする。

第3に、上記の動作モデルを用いる a-Si TFT/LCD の設計法について記す。まず TFT 特性や液晶抵抗などに関する仕様値を検討した後、TFT の形状の系統的な決定法について論ずる。さらに、この設計法の応用として a-Si TFT/LCD の高精細化及び大面積化に関する検討結果についても併記する。

第4に、この設計に基づいたカラーテレビ仕様の5型（対角5"）a-Si TFT/LCD の製作とその特性解析結果について述べる。既に述べたように、a-Si を TFT の能動層として用いることの利点は、大面積化が容易な点である。しかも作製プロセスが全体を通じて 400℃ 以下と低いので、安価なガラス基板を用いることができ、コストを低く抑えることができることが重要である。著者らは、この点を活かして大面積 LCD の実用化を図った。仕様は5型カラーTV用の a-Si TFT/LCD である。製作された LCD パネルの表示特性を解析した結果、CRT に匹敵する良好な画質を有することが分かった。

なおこの5型カラー液晶TVは、更に改良が加えられ、実際の製品として結実させることができた。上記のごとき著者らの試みと前後して、a-Si TFT/LCD は、大面積フラットパネルディスプレイの最有力候補と目され、日本を中心に研究開発が活性化した。今や、90年代後半にかけての本格的なフラットパネル時代の到来に向けて、大面積化や低コスト化及び量産化技術を主眼とする技術の開発競争の時期に入っているのが現状である。

以上、本章の検討により得られた主な成果は、a-Si TFT/LCD の設計法の確立と、その設計法の製品開発への適用である。以下その詳細を述べる。

5. 2 TFT/LCD の構成と表示原理

5. 2. 1 基本構成

TFT/LCD の基本構成を図5. 1に示す。その要素は機能的に3つの部分に分類することができる。それらは、(1) 液晶表示パネル、(2) 駆動回路系、(3) 光学系である。

(1) 液晶表示パネル：基板は、TFT を積層した TFT 基板と、インジウム・錫酸化物（ITO：Indium Tin Oxide）の透光性導電体から成る全画素共通の対向電極を形成した対向基板（Common）から成る。表示画面の明るさを確保するためには透過光を用いるのが最適であるが、そのために基板はガラス基板とする。TFT/LCD に用いられる液晶は、その透過光強度があるしきい値電圧から直線的に変化し、かつまた応答速度が比較的速い TN 型が用いられる。この液晶部と上記基板部は合わせて、表示パネル部となり、TFT/LCD の核となる。

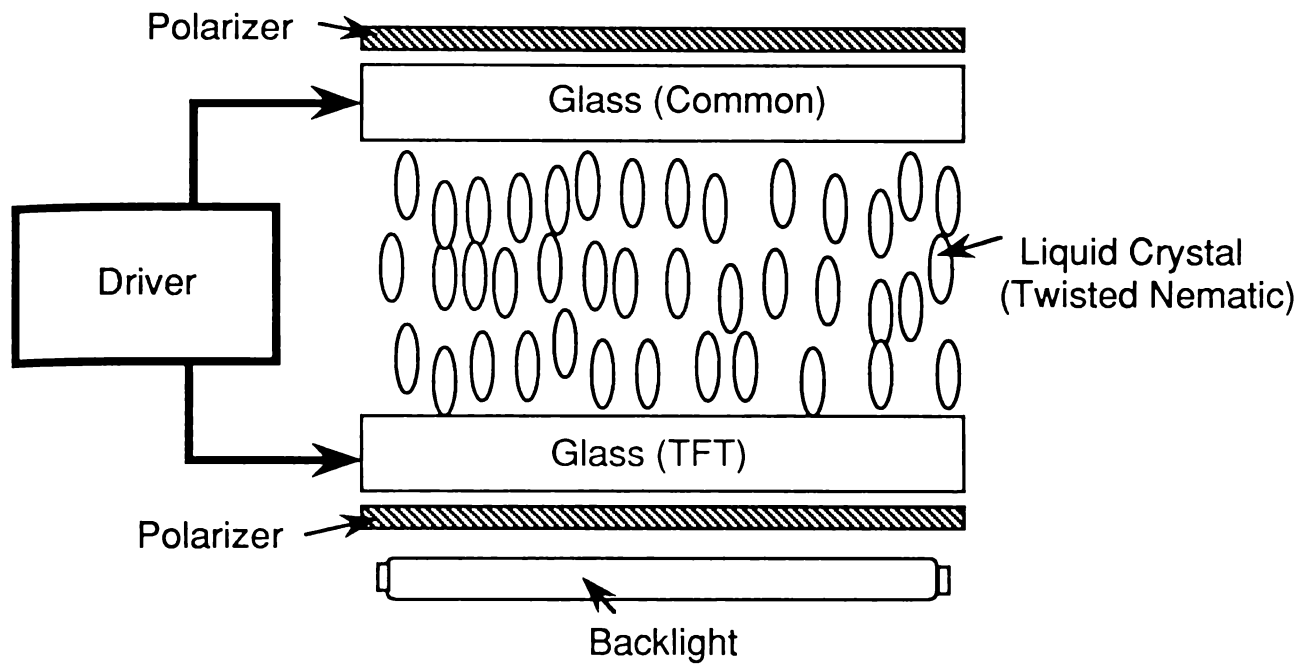


図5.1 TFT / LCDの基本構成

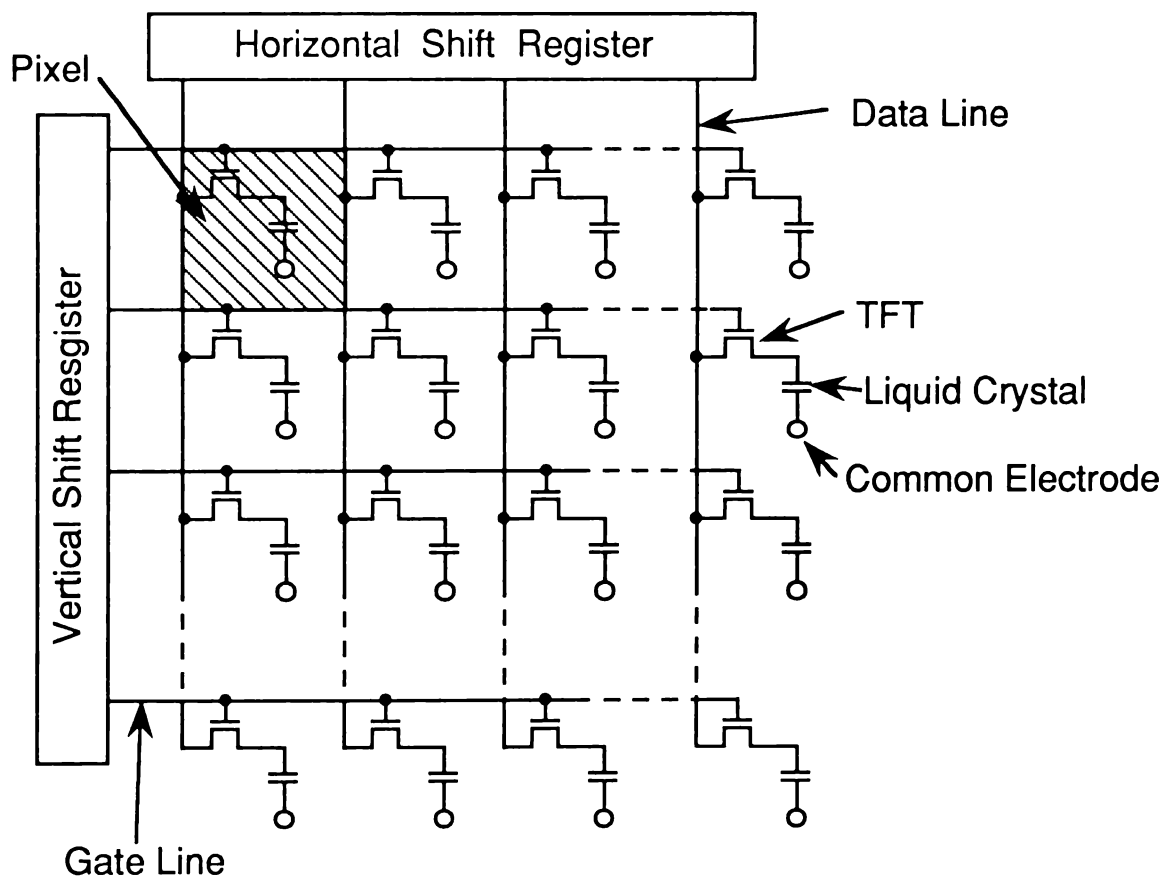


図5.2 TFT / LCD表示パネル部の等価回路

(2) 駆動回路系：カラーテレビ，情報端末など，用途に応じた映像・音声信号処理回路，アクティブマトリクス固有の垂直・水平走査回路及びコントロール IC から成る。

(3) 光学系：白色光源，偏光板，カラーフィルタから成る。

5. 2. 2 表示原理

TFT/LCDの動作の概略を次に記す。図5. 2は表示パネル部の等価回路を表したものである。TFT基板には，ゲート線と信号線をマトリクス状に交差させ，各交点にTFTを設けてある。表示においては，各交点が一画素に対応する。対向基板上の全面透明の対向電極は，一定の電位 V_{com} に保たれる。両基板間に封入された液晶は等価的に画素容量を形成する。駆動時には，コントロール IC に制御された垂直及び水平シフトレジスタから，それぞれゲート線及び信号線に電圧が供給される。走査の方法は，4. 6. 1節にも述べたように，ゲート線1ラインに接続された画素に同時に画像信号を入力する，いわゆる線順次走査方式である。

i 番目のゲート線 G_i には，ある周波数でTFTをオンする電圧が加わる。この周波数のことをフレーム周波数 (f_0) と呼ぶ。テレビの場合 $f_0 = 60 \text{ Hz}$ である。TFTがオンしている時間すなわちデューティは，ゲート走査線数 N_v を用いて， $1 / (N_v \cdot f_0)$ 秒以下となる。例えば， $N_v = 240$ 本， $f_0 = 60 \text{ Hz}$ ではこの時間は $69 \mu\text{s}$ 以下である。この時間内に画素 L_{ij} では信号線 S_j に加えた画像信号電圧を液晶容量に充電させる必要がある。この充電動作にかかわるTFTの特性は，いわゆるオン電流である。以降ではこの充電動作のことを「書き込み」と呼ぶ。書き込み終了後，TFTは $(1 - 1 / N_v) / f_0$ の間，オフ状態になる。この間，ほかのゲート線 G_k ($k \neq i$) に接続された画素に書き込みが行われる。すなわち信号線 S_j にはほかのゲート線に接続された画素への画像信号電圧が加えられる。この時に，画素 L_{ij} にいったん書き込まれた画像信号に，上記のほかの画素への画像信号が混ざらないようにする必要がある。以下では，このTFTオフ時の画像信号の保存動作を「保持」と呼ぶ。後述するように，上の「書き込み」「保持」は，TFT/LCDの基本動作であり，これらを確実に行わせることが設計の要諦である。

次に，液晶の動作と作用について述べる。

液晶は寿命などの観点から交流で駆動する必要がある。そのために，各画素には対向電極の電位 V_{com} を中心に振幅は同じで極性のことなる信号電圧が連続フレームで印加される。すなわち液晶駆動の交流化周波数はフレーム周波数の $1 / 2$ と

なる。この交流駆動において、液晶はそれを挟む電極に加えられる交流電圧の実効電界に応答する。

図5. 3は、TN型液晶の表示原理を示したものである。液晶は、電圧に応じて動作する光のシャッタの働きをする。同図(a)は印加電圧がゼロの場合に対応する。ガラス基板面上では、液晶分子軸はその基板面に平行に配列されている。これは配向と呼ばれる現象である。配向の機構の詳細は解明されていないが、ガラス基板に約 $0.1\mu\text{m}$ 程度の有機膜(配向膜: Alignment Layer)を塗布し、その表面を布などでこすり付けて、細かい傷を付けると配向しやすいことが知られている。³⁾

これはいわゆるラビングと呼ばれる工程である。このラビングの方向をTF基板と対向基板との間で 90° ずらしておくと、液晶分子の長軸も一方の基板と他方の基板との間で 90° ねじれることになる。さて、白色光源から発せられた光が、偏光板P1及びTF基板を通過して液晶層を伝播する際、その偏光面は液晶分子の長軸方向に沿って回転する。これは、液晶の分子軸に平行な方向の誘電率が分子軸に垂直な方向の誘電率よりも大きいことに起因するものである。このように印加電圧ゼロのときには、入射光は液晶セルで偏光軸が 90° 回転される。したがって、その光が偏光板P1に対し偏光軸を平行に設定された上部偏光板P2に到達しても、これを通過できない。このとき液晶セルは、不透明に見える。

一方、液晶に十分大きな電圧を印加した場合を図5. 3(b)に示す。液晶層に加える電界を次第に大きくしていくと、液晶分子の長軸が電界方向に沿うようになる。電界に沿った分だけ、入射光の偏光軸の回転角が小さくなり、偏光板P2を通過して来る光の量が増加する。十分大きな電圧を印加した場合には、入射光は旋光されずに液晶層を通過するために偏光板P2にもさえぎられない。このとき、液晶セルは透明になる。

ある液晶材料について、以上に述べた透過光量の印加電圧に対する依存性を図5. 4に示す。同図は、印加電圧を交流の画像信号電圧の実効値で示したものである。透過光量は、最大光量を100%として縦軸を透過率で記してある。以下では、この特性を液晶セルの電気光学特性と呼び、その特徴を表す値として透過率50%の時の信号電圧をしきい値電圧 $V_{th/c}$ と呼ぶことにする。この表示方式は、ノーマリブラック方式と呼ばれるものである。また下部偏光板P1と上部偏光板P2との間で予め偏光軸を 90° 回転しておく表示方式もある。この場合は、印加電圧がゼロのときに最大透過光量が得られ、ノーマリホワイト方式と呼ばれる。以下ではノーマリブラック方式を仮定する。

カラー表示については、画素と同一ピッチのRGBパターンを有するカラーフィ

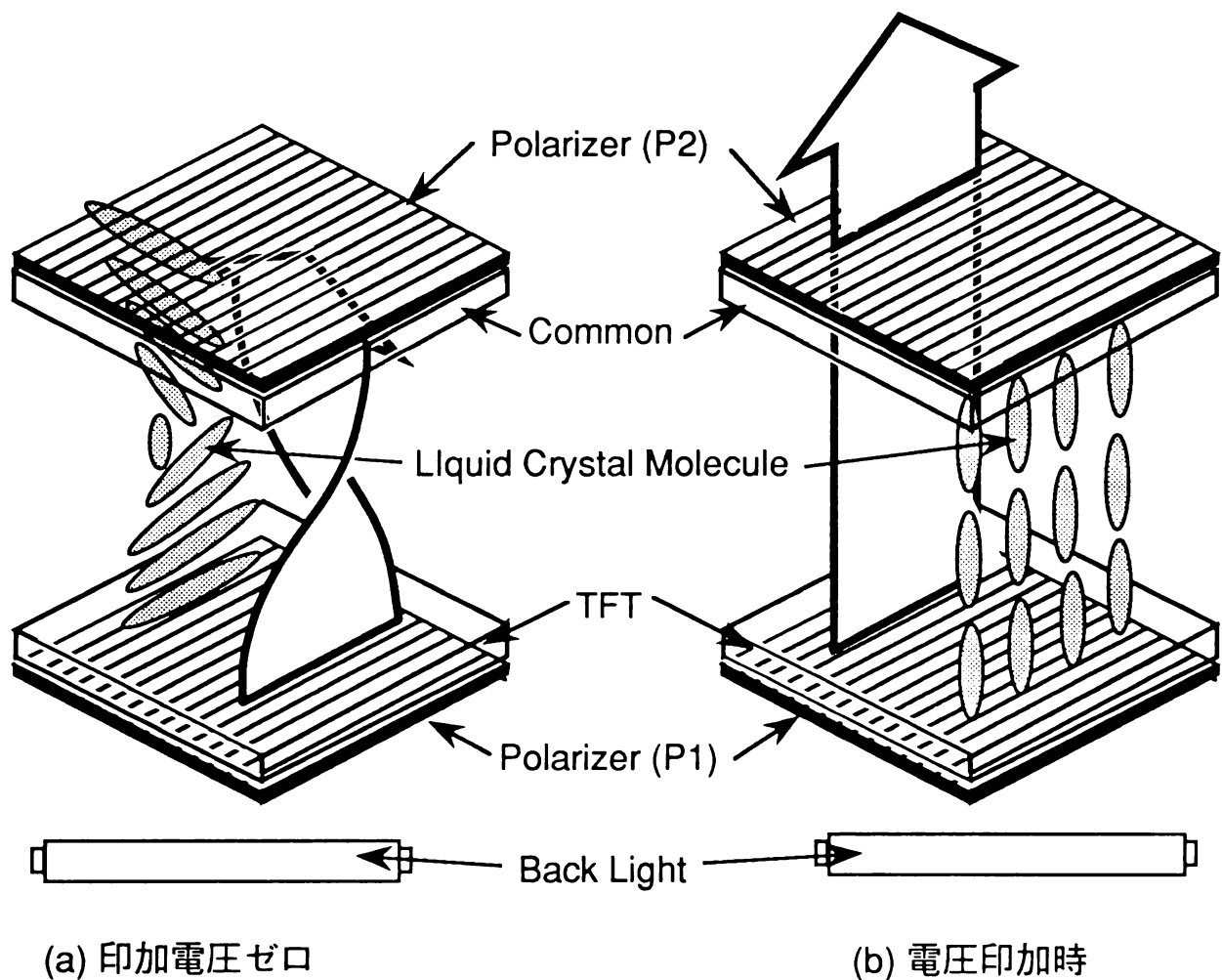


図5.3 TN型液晶の表示原理

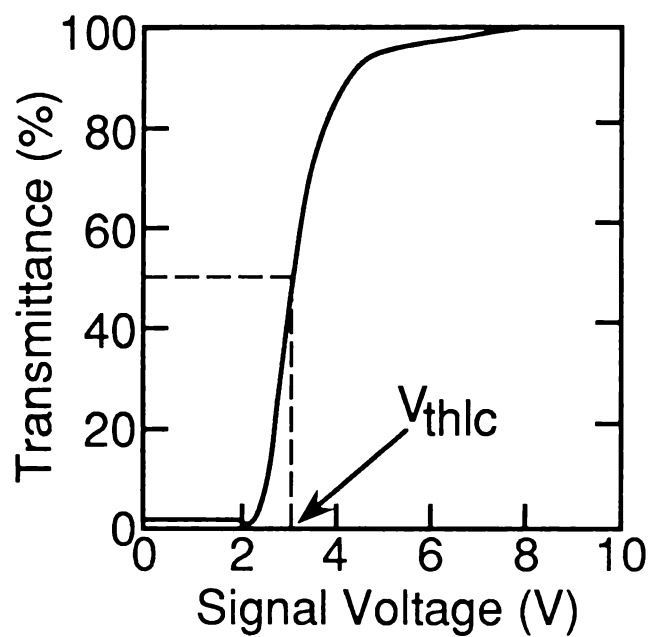


図5.4 液晶セルの典型的な電気光学特性

ルタを用いることによって、原理的に所望の明るさの所望の3原色あるいはそれらの任意比率の混色が得られることになる。またカラー表示ではRGB3画素一組が単位セルとなる。

5. 2. 3 従来駆動法との比較

ここではTFT/LCDが、従来駆動によるLCDに比べて有利な点を記す。従来の駆動方法の代表例としては、単純マトリクス方式がある。これによれば、2枚のガラス基板の内側にx電極とy電極をそれぞれ形成し、その交点を一画素とする。この方式を用いると、液晶の電気光学効果における液晶の応答時間が数10msと遅いことに起因して走査線数が増えるとフリッカが生じるという問題がある。また、各マトリクス要素は独立していないため画像信号の混信すなわちクロストークが生じるという問題もある。さらに、走査線数（ゲート線数に対応する）が大きくなると、画素に電圧を印加できる時間が縮小するため、コントラストが低下するという最大の問題がある。

TFT/LCDはこれらの問題点を克服するものである。すなわちTFTのスイッチ動作により、(1)理想的には各画素の液晶にはほかの画素とは独立に交流電圧が印加されるので、クロストークがなくフリッカも小さい。(2)また、ほかのゲート電極走査中にも、液晶への電圧印加を持続できるので、TFTの十分な書き込み動作が保証される限り、コントラストを低下させることなくゲート線数を増やすことができる。(3)加えて、信号電圧の大小により中間調表示が容易である点も重要なメリットである。

もちろんこれらの利点は、大面積にわたって、 $10^5 \sim 10^6$ 個のTFTを均一に作製するという技術の確立を前提とするものであることは言うまでもないが、今日の薄膜技術の成熟度により、その可能性は十分に裏付けられている。

5. 2. 4 設計対象

本節の最後に、TFT/LCDの構成要素と表示画質とのかかわりを述べ、本章の設計の対象を明らかにする。評価すべき表示画質については、画面輝度、階調特性、解像度、色再現性（色相、彩度）、偽信号（残像、焼き付き、フリッカ、スミア、シェーディング）などが挙げられる。これらの項目について、ディスプレイパネル内における均一性、視野角依存性が十分に満足行くものでなければならない。

画面輝度、階調特性は、本質的に信号書き込み、保持とかかわる。すなわち、TFTのオンオフ特性及び液晶層の電荷保持特性と密接にかかわる。色再現性につい

ては、液晶のギャップ、光源、カラーフィルタなどの光学設計が問題となる。偽信号のうち、残像、焼き付き、フリッカについては、原因が完全に明らかにされたわけではないが第6章に述べる駆動電圧の検討で対処できる。また、シェーディングは書き込み、保持動作の画面内不均一性、TFT寄生容量の影響で生ずる。また、白色散乱光源の均一性も画像輝度の均一性と密接に関連する。

以上の点をまとめると、設計においては、(1)定められた時間内に信号電流により液晶を駆動するのに十分な書き込みを行うことができ、なおかつ、良好な信号保持特性を有するTFTのサイズの基本設計及び液晶の仕様値の算定、(2)カラー表示を最適にするための液晶、光源、カラーフィルタの検討、(3)偽信号対策としての駆動回路側及び液晶材料やパネル構造側の改善が必要である。

本章の主眼点はTFT/LCDの基本設計であり、特に上記(1)に重きを置く。

5.3 TFT/LCD表示動作のモデル化と解析

5.3.1 一画素動作のモデル化

ここでは、TFT/LCDの設計に使用する一画素動作のモデル化を行う。⁴⁾

[a] a-Si TFT/LCDパネル

図5.5に、図5.2の一画素部の断面図を示す。このTFT/LCDは第2章に述べたような標準的な薄膜プロセスと液晶プロセスにより作製される。以下で検討する表示方式は、偏光板の偏光軸が互いに平行に置かれたノーマリブラック方式である。

TFTにはパッシベーション用のSiN膜と、その上にAlの遮光膜が設けられている。TFTの型は逆スタガ型である。ドレイン電極は信号線の一部を用い、ソース電極には透明な画素電極が接続されている。TFTの電極をドレインとソースと記したのは、便宜上のものである。実際の駆動においては、5.4節に述べるように、フレームごとにトランジスタのドレインとソースの役割が交代することに注意しておく。

対向基板には、カラーフィルタと全面共通のITO透明電極が形成されている。これらの両基板表面には配向膜が塗布され、さらにラビング処理が施される。最後にそれらの基板間にTN型液晶が封入される。なおTFTの遮光膜は、工程の便宜上設けたものであり、一般的に必要とされるものではない。例えば、a-Siを500Å以下と十分に薄くして光入射による電流増加を抑制する方法や、⁵⁾ カラーフィルタパターンにブラックマトリクスと呼ばれる遮光パターンを作り込む方法

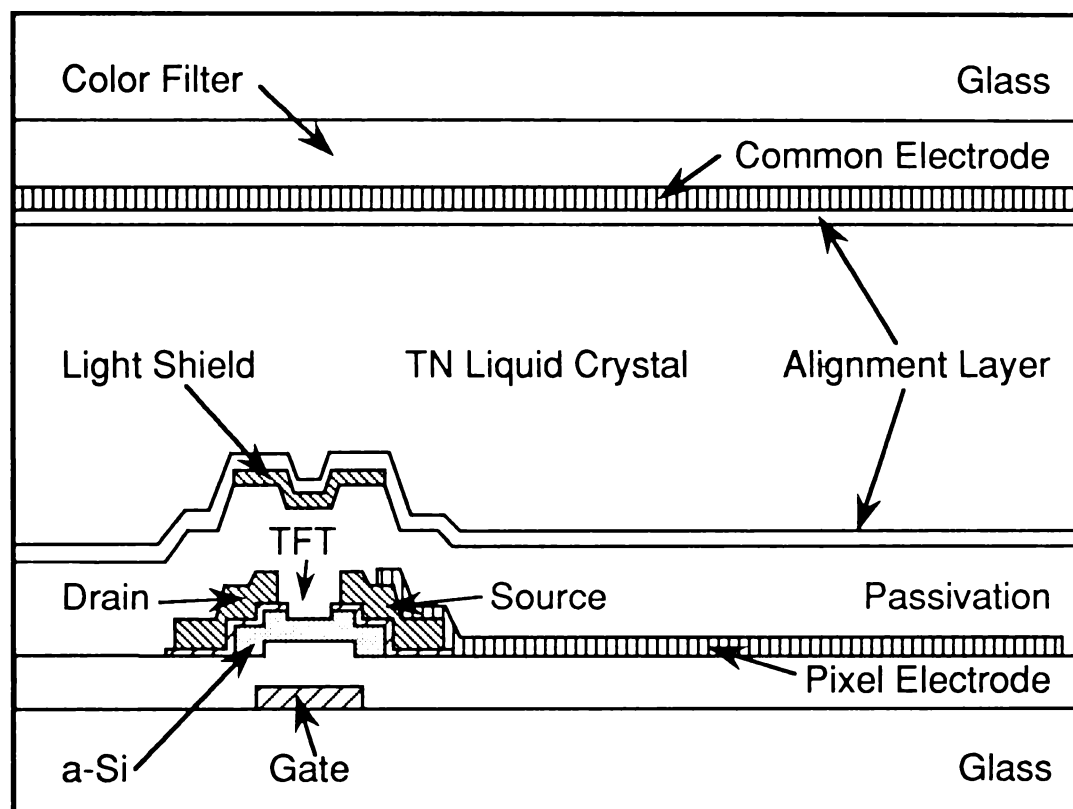


图5.5 一画素部断面图

などを用いれば、TFTに遮光膜を設けなくてもよい。このTFT/LCDの駆動を検討する場合、次に述べる寄生容量を考慮に入れる必要がある。

[b] TFTの寄生容量

図5. 6を用いて、a-Si TFTの寄生容量について述べる。ゲート電極下置きスタガ構造によれば、第3章に述べたように、オン電流を確保するためにソース・ゲート電極のオーバーラップを $2\mu\text{m}$ 以上にする必要がある。しかもパターン形成の裕度を考えると、この値は、 $5\mu\text{m}$ 以上とすることが望ましい。その反面、このオーバーラップが大きくなると、寄生容量 C_{gs} も大きくなる。また上記遮光膜は、電位浮遊の状態にあるので、ソース及びドレイン電極との間に寄生容量 C_1 、 C_2 を形成する。駆動に際して影響を与えるソース／ドレイン電極間の寄生容量 C_{sd} は、上記 C_1 、 C_2 の直列容量で見積もられる。すなわち、 $C_{sd}^{-1} = C_1^{-1} + C_2^{-1}$ 。作製したTFTの寄生容量 C_{gs} の値は、ソース・ゲートオーバーラップ $5.5\mu\text{m}$ 分に対応する容量と、ソース電極のフリンジ領域の容量から成る。この実効的なフリンジ長は、別途行った実験結果により、 $2\sim 3\mu\text{m}$ と求められている。その大きさは、ゲート絶縁膜容量の40%程度であり、Y. Nasu⁶⁾らの報告値に比べるとやや小さいが、実験誤差の範囲にあると考えられる。以下の検討で用いた C_{gs} の値は、TFTのチャネル幅 $100\mu\text{m}$ に換算すると、オーバーラップ容量が 0.12pF 、フリンジ容量が 0.05pF である。寄生容量 C_{sd} の値は、計算により求めることができ、やはりチャネル幅 $100\mu\text{m}$ につき 0.04pF である。この値は、既製の「2次元任意形状抵抗容量計算プログラム」を用いて算出した。遮光膜のない場合は、 C_{sd} は無視できるほど小さく 1fF 以下である。

さてこれらの寄生容量を考慮に入れた場合の駆動電圧波形を次に論じる。

[c] 駆動電圧波形

各画素は、線順次方式で駆動される。図5. 7にTFT/LCDの一画素の駆動波形の模式図を示す。周波数 60Hz でパルス幅 $T_{on} = 63\mu\text{s}$ のゲートパルスがゲート線に印加される。このパルス電圧の高低両レベルをそれぞれ V_{gh} 、 V_{gl} と表記する。一方ドレイン線には、交流信号電圧 V_d が印加される。信号電圧の最高値、最低値はそれぞれ V_{dh} 、 V_{dl} であり、 $V_{sig} = (V_{dh} - V_{dl}) / 2$ が液晶に印加される実効値となる。 V_{sig} は図5. 4の例でいえば、黒表示のとき 2V 、白表示のとき $6\sim 8\text{V}$ である。中間調の画像表示については、これらの電圧の間を分割する画像信号電圧を使用する。すなわち、 V_{thlc} を中心に光の透過

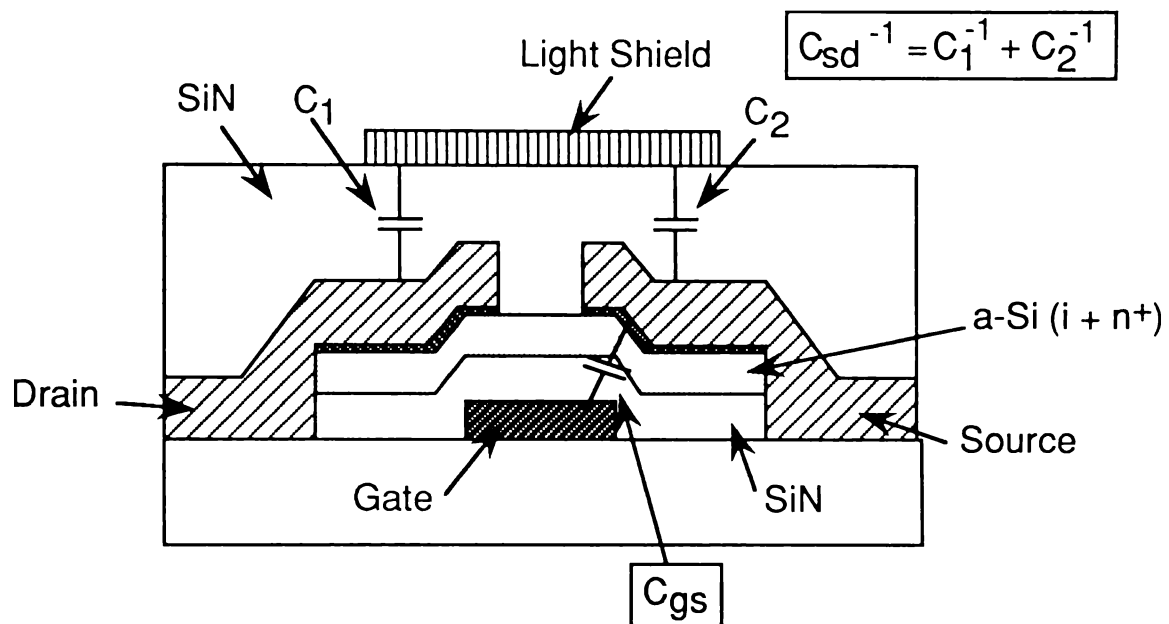


図5.6 a-Si TFTの寄生容量

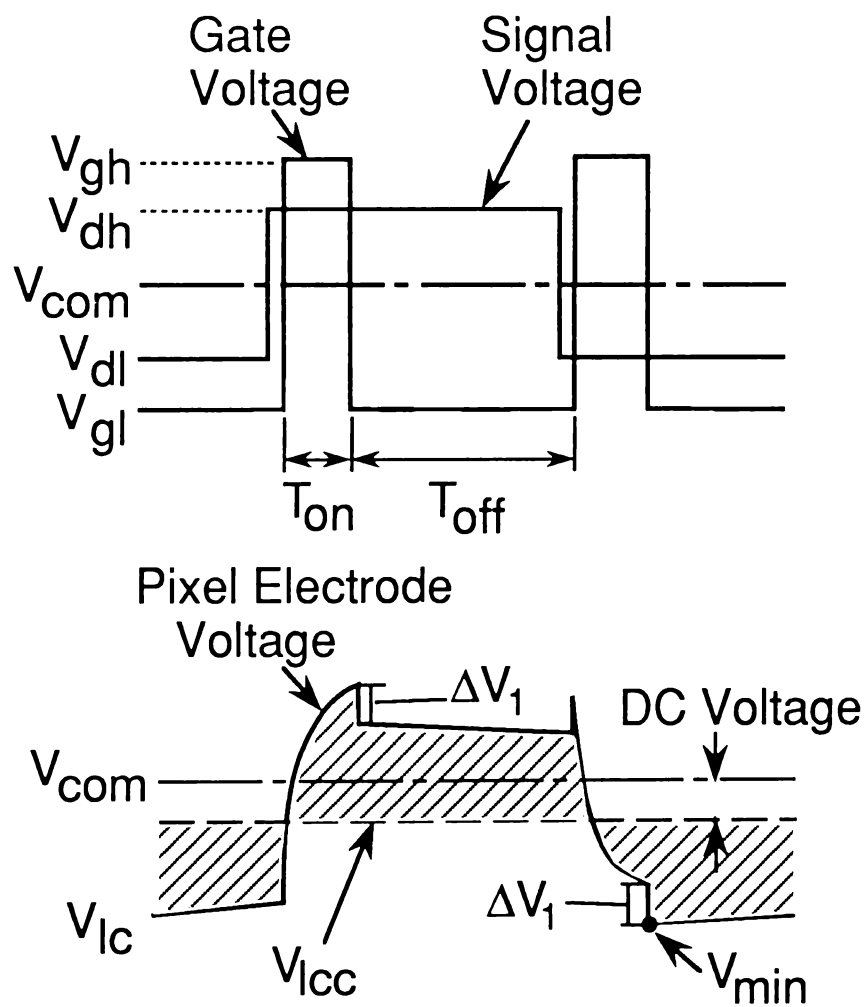


図5.7 一画素部の駆動波形

率を変化させて表示を行う。対向電極には、直流電圧 V_{com} が印加される。

V_{com} の値は、通常 $(V_{dl} + V_{dh}) / 2$ に等しく設定される。

画像信号電圧は、時間 T_{on} の間にオン状態にある TFT によって画素電極に伝えられる。引き続き、TFT は時間 T_{off} にわたりオフ状態になり、画素電極に伝えられた画像信号電圧は、理想的にはその値を保って液晶容量に保持されることになる。しかしながら、実際は TFT のオフ抵抗や、液晶のインピーダンスによって決まる時定数で放電され、画素電極電圧は減衰する。液晶は、この減衰を含めた交流電圧の実効値に応答する。

さて、画素電極電圧 V_{lc} の変化を細かに追ってみると、ゲートパルスの立上り、立下りに呼応して、 V_{lc} に電圧の「漏れ込み」 ΔV_1 が表れているのが分かる。すなわち、ゲートパルスの立上り（立下り）時には、電圧 V_{lc} は ΔV_1 だけ上昇（低下）している。これは、TFT の画素電極とゲート電極の間の寄生容量 C_{gs} に起因して発生するもので、実際に測定されているものである。^{6,7)} ΔV_1 は、ゲート電圧のパルス高と次の関係で結ばれる。

$$\Delta V_1 = C_{gs} \cdot (V_{gh} - V_{gl}) / (C_{gs} + C_{sd} + C_{px}) \quad \dots\dots\dots (5. 1)$$

ここに C_{px} は画素容量である。式 (5. 1) は、 C_{gs} 、 C_{sd} 、 C_{px} の間に容量性結合が発生することを考えると容易に導かれる。これは TFT がオンしているとき以外は画素電極の電位が固定されないために生じる。この ΔV_1 により、対向電極の電圧 V_{com} と画素電圧 V_{lc} の平均電圧 V_{lcc} 間には交流信号成分のほか、直流成分が含まれてくる。その直流成分の大きさはほぼ ΔV_1 と見積もることができる。この直流成分の表示画質に及ぼす影響として焼き付き、フリッカなどがあるが、それらの対策については第 6 章に述べる。また上記直流成分は、画質劣化に大きくかわかるものの、その大半は実質的に液晶駆動の実効電圧に含まれず、図 5. 7 の斜線部分に相当する電圧のみが、液晶駆動に用いられることを [d] に述べる。

画素電圧 V_{lc} の最小値 V_{min} もこの ΔV_1 の大きさに関係する。すなわち、

$$V_{min} = V_{dl} - \Delta V_1 \quad \dots\dots\dots (5. 2)$$

と表される。TFT のオフ状態を良好に保つためには、 V_{min} はゲートパルスの低いレベル V_{gl} よりも大きい必要がある。すなわち、

$$V_{min} > V_{gl} \quad \dots\dots\dots (5. 3)$$

この条件は、5. 4 節の設計において使用する。

[d] 等価回路モデル

TFT/LCDの設計には、LCDの表示特性の計算が可能な画素モデルが必要である。しかもそのモデルは、TFT/LCDの実際の構造に関係したパラメータを含んでいることが望ましい。その観点から考案した画素モデルを、⁴⁾ 図5. 8に示す。信号書き込み時の電流 I_d としては、MOSデバイスについて用いられているグラデュアルチャネル近似⁸⁾を使う。その妥当性は次節で検討する。信号保持状態では、このTFT部分をオフ抵抗 R_{off} で置換して考える。このモデルは、次のように二つの特徴を有する。

第1の点は、上に述べたような寄生容量 C_{gs} , C_{sd} を明示している点である。これらの寄生容量の影響を考慮に入れることにより、駆動波形を正確に求められるのは上述のとおりである。

第2の点は、図5. 5に示された実際の積層構造を忠実に組み入れた点である。パッシベーション膜、2つの配向膜、液晶層のそれぞれが抵抗と容量の並列接続で表されている。この構造を考慮に入れることにより、LCDの電気光学特性を計算することができる。特に、TFTのオフ期間 T_{off} において液晶層に加わる実効電圧を計算することが可能になる。

本モデルによれば、上に述べた直流電圧成分の効き方に関する新しい知見が得られる。この点について図5. 9に示した従来の等価回路と比較しておく。従来の等価回路は一層のみから成るのが通常である。これによれば、 C_{gs} に起因する直流電圧は直接に実効電圧に含まれ、その大きさが増幅されることになる。すなわち、交流画像信号の振幅を変えない限り、画像表示は継続して全体的に白味がかって見えるはずである。ところが実際は、LCDの駆動開始直後に、いったんは白味がかった画像となるものの、2～5分の間に正常な画像に復帰する。この点において、一層構成の従来の等価回路は実際に即していない。しかし新しいモデルによれば、この現象が説明される。すなわち直流電圧成分は、液晶よりも高抵抗のパッシベーション膜に次第に吸収され、実質的に液晶駆動の実効電圧に含まれなくなるのである。詳細は以下のとおりである。

図5. 10は、TFT/LCDの等価回路の典型的な回路定数である。これらの定数を用い、時刻 $t = 0$ で V_{com} に対応する V_0 を接地し、 V_4 に10VのDC電圧を印加した場合の各節点の電圧 V_i ($i = 1 \sim 3$) の経時変化を計算した結果を図5. 11に示す。計算は、半導体回路シミュレータであるHSPICE (High

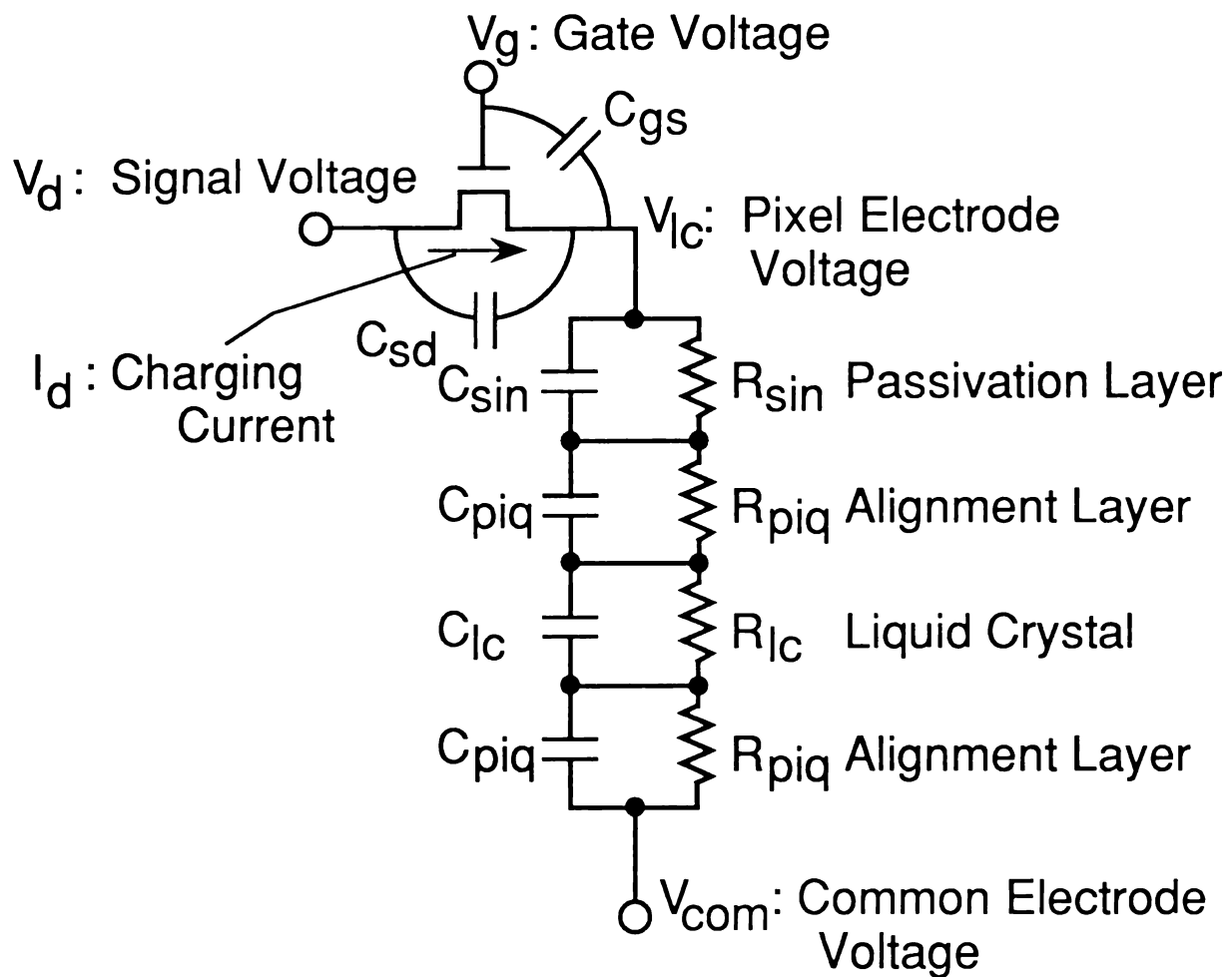


図5.8 一画素部等価回路

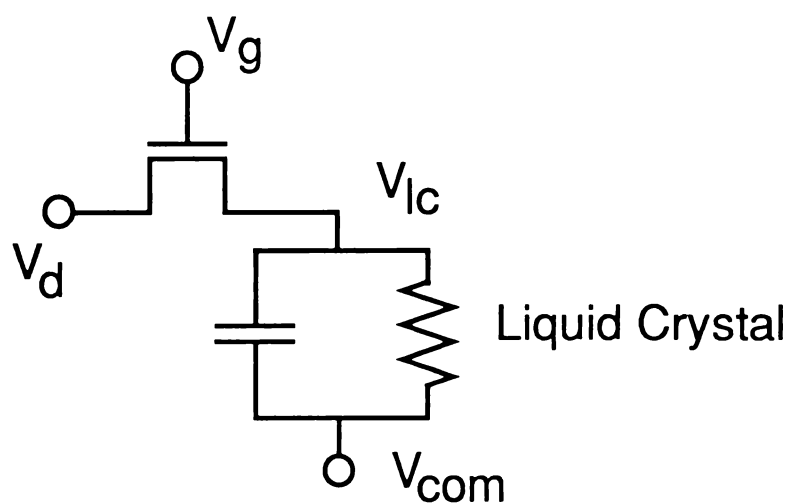


図5.9 従来の一画素部等価回路

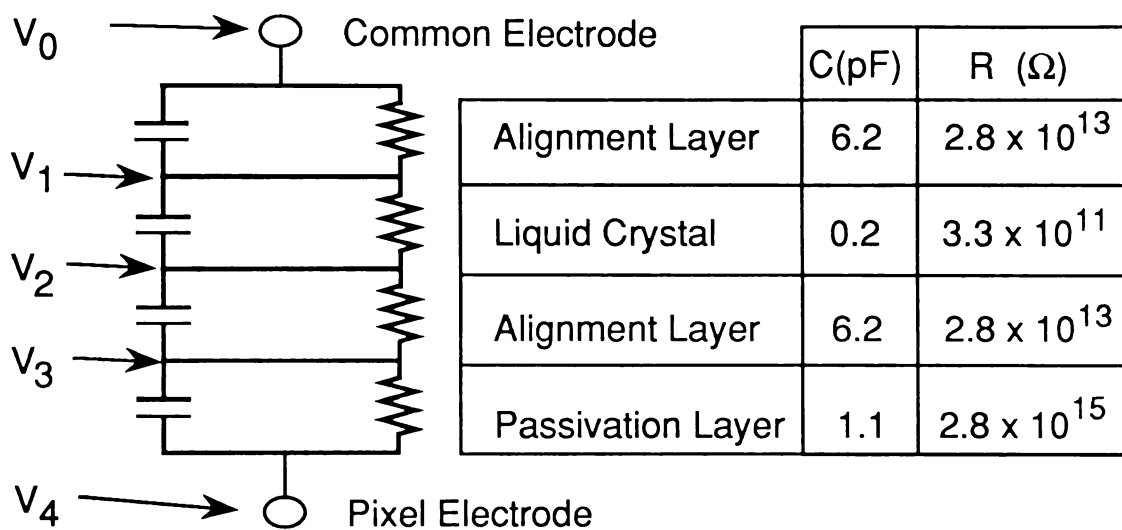


図5.10 典型的な等価回路定数

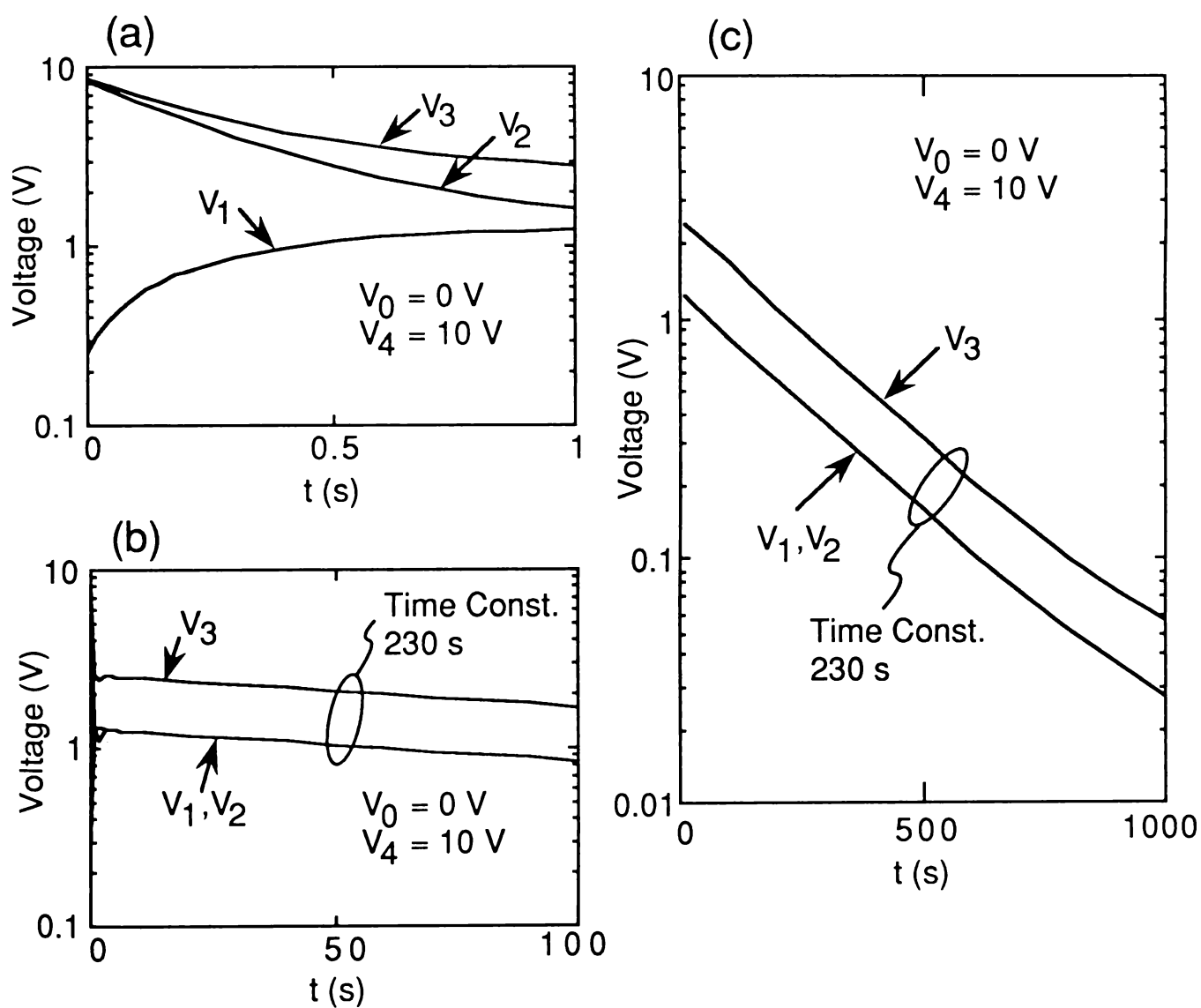


図5.11 パッシベーション膜によるDC電圧の吸収

speed Simulation Program with Integrated Circuit Emphasis)の過渡解析部を流用して行った。同図(a)(b)(c)は時間のスケールを変えたものである。この図に示される過渡変化は、 $t = 0$ で容量分割された電圧が抵抗分割値に遷移していく過程である。まず、時定数の最も小さい液晶層両端に加わる電圧($V_2 - V_1$)がただちに減衰する。この図で、 $10\text{ V} - V_3$ がパッシベーション膜に吸収される直流電圧に対応する。吸収率は1秒後で70%、60秒後で約80%であり、99%になるのは、約800秒後である。長時間の時定数230秒は、主として配向膜部分の放電時定数である。

次に、直流電圧のオフセットを含む方形波を V_4 に印加したときの場合を検討する。図5.12は-5Vのオフセットと30Hz、 $\pm 10\text{ V}$ の方形波の電圧を V_{4c} に印加した場合の V_3 の電圧変化を示したものである。 V_3 の中心値 V_{3c} は、次第に V_0 の値に近づいていく。この値と、 V_4 の中心値 V_{4c} との差がパッシベーション膜に印加される直流電圧に対応するので、図5.12の結果によれば、交流電圧を印加した場合にはそれに含まれる直流成分がパッシベーション膜に吸収されることが分かる。このDC吸収の時定数は、上記のLCD駆動開始直後の画質の変化を良く説明するものである。

ところで直流電圧は、上のように液晶の駆動には大部分かかわって来ないが、フリッカ・焼き付きなどの画質改善の上ではこれを低減する必要がある。これを達成する駆動方法については第6章に述べる。

以上、ここに新たに提案した等価回路モデルが、画素電極電圧に含まれる直流成分の正確な取扱いを可能にするものであることを述べた。次に、この等価回路モデルを用いて解析を行い、モデルのより詳細な実験検証を行う。

5.3.2 TFT/LCDの表示動作の解析

ここでは、等価回路モデルを用いてTFT/LCDの表示動作の解析を行い、あわせてモデルの妥当性を実験検証し、TFT/LCDの最悪条件設計のための予備検討を行う。^{4,9)}

[a] TFTオン時の表示動作

TFTオン時の動作は、書き込み動作である。まず $I_d - V_d$ 特性について、実測値とグラデュアルチャネル近似⁸⁾による計算値との比較を図5.13に示す。実測値は、チャネル幅(W)のチャネル長(L)に対する比が $W/L = 455\text{ }\mu\text{m} / 13\text{ }\mu\text{m}$ 、ゲート絶縁膜容量 $C_i = 18.9\text{ nF/cm}^2$ のTFTに関するもので

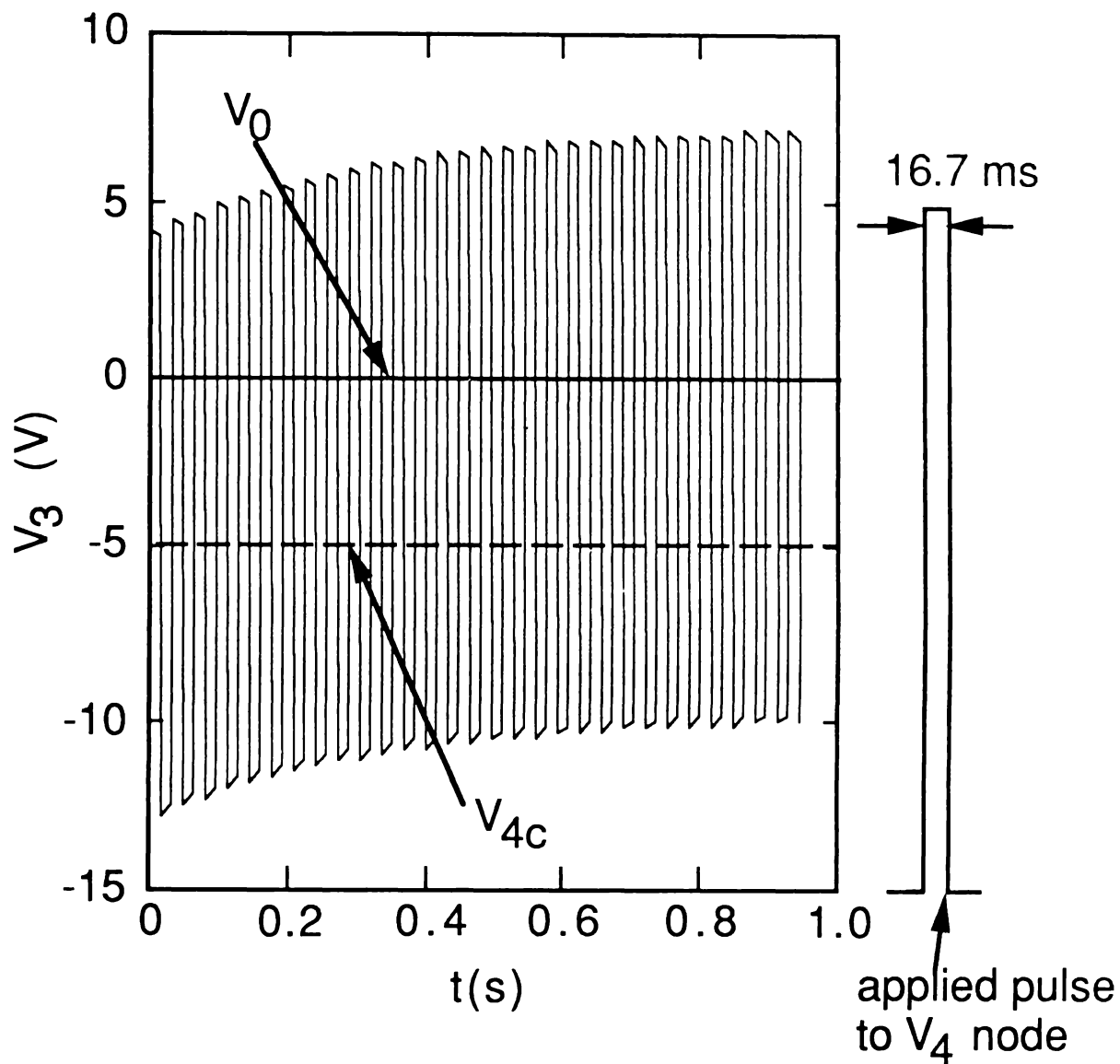


図5.12 パッシベーション膜による
DC電圧の吸収 (2)

電圧 V_3 - V_0 に含まれる直流成分は次第に減衰し、交流成分が主要になる。直流成分はパッシベーション膜に印加される電圧 V_4 - V_3 に含まれるようになる。

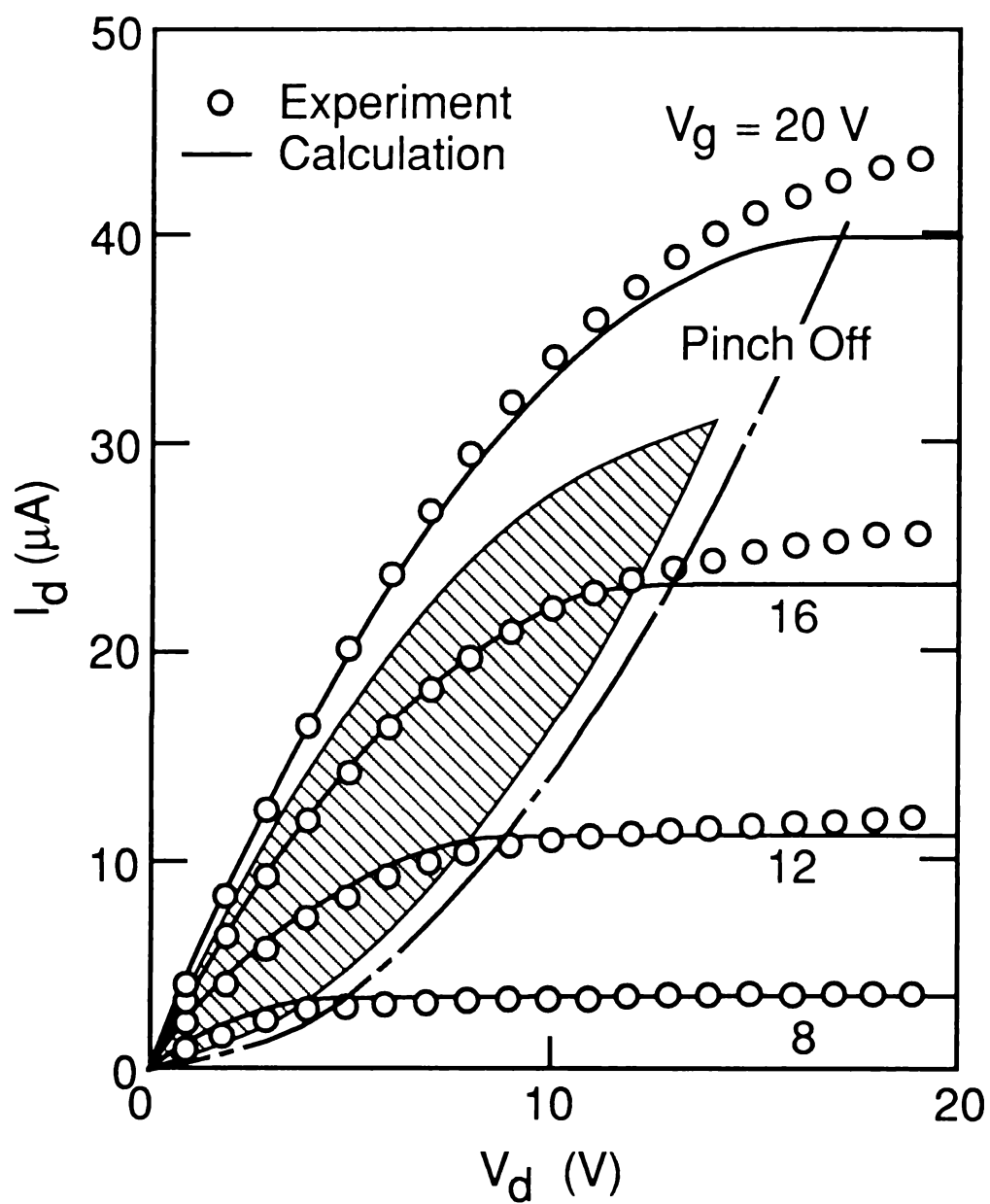


図5.13 $I_d - V_d$ 特性の実測値と計算値の比較

ある。計算値は、この実測値にグラデュアルチャネル近似を適用して、飽和領域から得られたしきい値電圧 $V_t = 3 \text{ V}$ と移動度 $\mu = 0.42 \text{ cm}^2/(\text{V s})$ を、回帰的に近似式に代入して求めた。線形領域では、両者の一致が非常に良好である。精密なデバイス設計には、第3章に記したような高精度のシミュレータが必要なことは言うまでもないが、オン電流を議論する目的ではグラデュアルチャネル近似が十分な精度を有することが、図5.13の結果に明らかである。

ところで、図5.13の斜線で示した領域はLCD上のTF Tの動作領域である。この動作領域は、図5.7に示した駆動電圧波形について、TF Tの各電極の電圧関係を調べることにより、以下のように求められる。

図5.14(a)は、正極性信号の書き込みに用いられる動作領域を説明するものである。この場合は、TF Tの画素電極がソース、信号線がドレインとなる。ほかの図との紛らわしさを避けるために、この図では電流、電圧をソースを基準とした量 V_{gs} , V_{ds} , I_{ds} で表してある。この場合のソースは上部電極の電位の低い方に対応し、信号の極性に応じて変化するので必ずしも画素電極を意味しない。さて、信号書き込み開始時には、 V_{lc} は負極性信号が書き込まれた状態にある。この状態から正極性信号の書き込みが進むにつれて、ソースの電位 V_{lc} が上昇するので次第にドレイン電圧が相対的に小さくなり、書き込みが厳しくなる。この時の電圧条件は、

$$V_{gs} - V_{ds} = c_1 = \text{一定} \quad \dots\dots\dots (5.4)$$

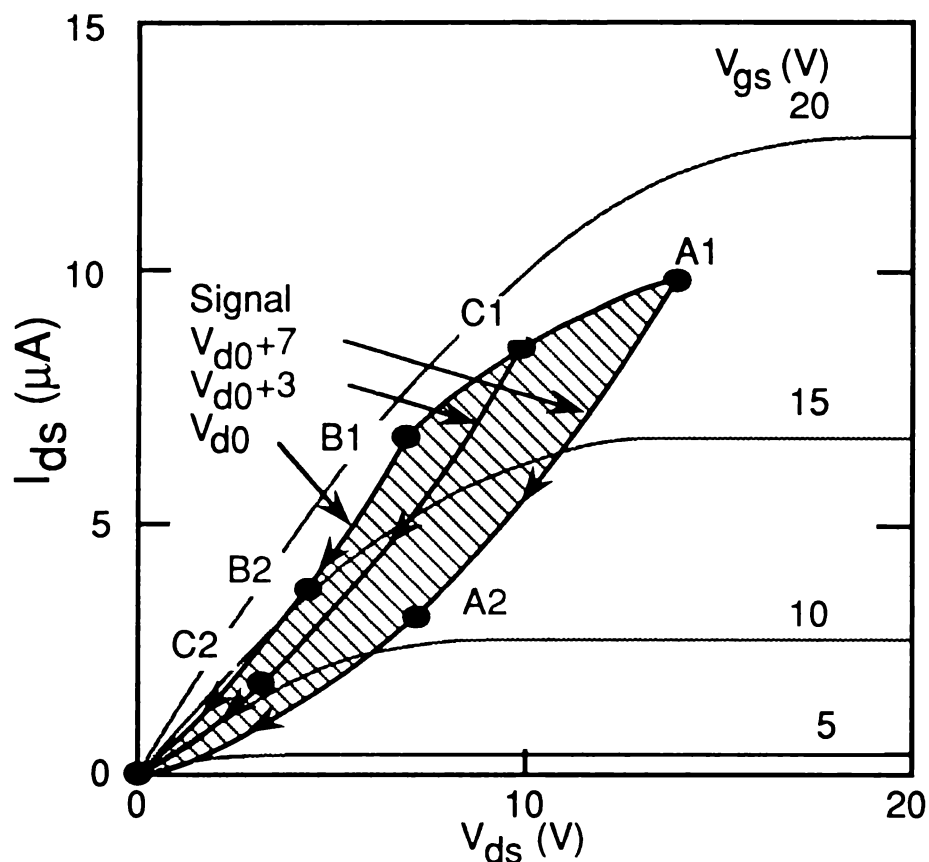
であり、 $I_{ds} - V_{ds}$ 平面では下に凸の放物線で表される。例えば、 $c_1 = 4 \text{ V}$ 、しきい値電圧 $V_t = 1.5 \text{ V}$ の場合に、画素電極の電位が V_{dl} ($= V_{d0} - 7 \text{ V}$) から V_{dh} ($= V_{d0} + 7 \text{ V}$) まで変化するときの経路は、図中A1→A2→Oで表される。ここに、 $V_{d0} = (V_{dh} + V_{dl}) / 2$ である。また、 V_{dl} から V_{d0} まで変化するときの経路は、B1→B2→Oである。これらをまとめると、種々の正極性信号（振幅0～7 V）の書き込み時に用いる動作範囲は斜線部で示される。

一般的には、正極性信号の書き込み時に流れるドレイン電流値は、 c_1 と V_t との大小関係で決まり次式で表される。

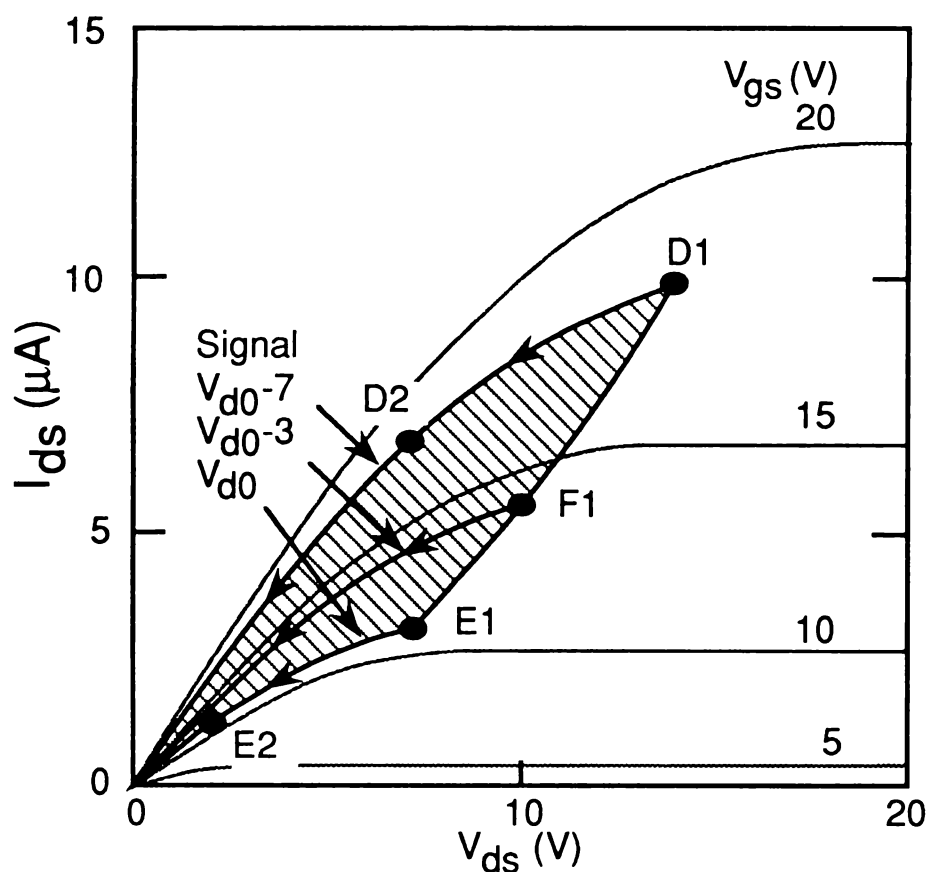
$$I_{ds} = \beta_0 V_{ds}^2 / 2 \quad \dots c_1 \leq V_t \quad (5.5.1)$$

$$(\beta_0 V_{ds} / 2) \{ V_{ds} + 2(c_1 - V_t) \} \quad \dots c_1 > V_t \quad (5.5.2)$$

ここに、 β_0 は $(W/L)\mu C_i$ である。式(5.5)についてオン抵抗 $R_{on} =$



(a) 正極性信号書き込み



(b) 負極性信号書き込み

図5.14 TFT オン時の動作領域

$(\partial I_{ds} / \partial V_{ds})^{-1}$ を求めると,

$$R_{on} = (\beta_0 V_{ds})^{-1} \quad \cdots \cdots \cdots c_1 \leq V_t \quad (5.6.1)$$

$$\{\beta_0 (V_{ds} + (c_1 - V_t))\}^{-1} \quad \cdots \cdots \cdots c_1 > V_t \quad (5.6.2)$$

となる。すなわち、オン抵抗は $c_1 > V_t$ のときの方が小さい。特に書き込みが完了間近になって $V_{ds} \sim 0$ となると (5.6.1) と (5.6.2) の差は顕著になる。また、正極性信号の振幅が小さいほど c_1 が大きくなるので、オン抵抗が小さくなる。換言すると、正極性信号の書き込みの場合は最大振幅信号 (振幅 $V_{dh} - V_{d0}$) の書き込みが最も厳しい。

以上をまとめると、駆動に最低限の裕度をもたせるためには、いかなる振幅の信号についても式 (5.6.2) を満たす必要がある。これを式で表すと,

$$V_{gh} - V_{dh} > V_t \quad \cdots \cdots \cdots (5.7)$$

となる。これは、TFET を非飽和領域で動作させることにほかならない。

同様の考察を、負極性信号の書き込みについて行う。この場合は信号線がソースであり、その電位は書き込み期間中固定されるので、駆動の電圧条件は,

$$V_{gs} = c_2 = \text{一定} \quad \cdots \cdots \cdots (5.8)$$

となる。式 (5.7) が成り立つことを仮定すると、電流電圧特性は、 $I_{ds} - V_{ds}$ 平面では上に凸の放物線で表される。さらに、 I_{ds} 及びオン抵抗の表式は,

$$I_{ds} = (-\beta_0 V_{ds} / 2) \{V_{ds} - 2(c_2 - V_t)\} \quad \cdots \cdots \cdots (5.9)$$

$$R_{on} = \{\beta_0 (c_2 - V_{ds} - V_t)\}^{-1} \quad \cdots \cdots \cdots (5.10)$$

となる。図 5.14 (b) に、 $c_1 = 4 \text{ V}$ 、 $V_t = 1.5 \text{ V}$ の場合を示す。例えば画素電極の電位が V_{dh} ($= V_{d0} + 7 \text{ V}$) から V_{dl} ($= V_{d0} - 7 \text{ V}$) まで変化するとき、 $c_2 = 18 \text{ V}$ であり、その経路は $D1 \rightarrow D2 \rightarrow O$ である。また V_{dh} から V_{d0} まで変化するとき ($c_2 = 11 \text{ V}$) の経路は $E1 \rightarrow E2 \rightarrow O$ である。ここでも、種々の負極性信号 (振幅 $0 \sim 7 \text{ V}$) の書き込み時に用いる動作範囲は斜線部で示される。さて、明らかに経路 D の方が経路 E よりも書き込みが容易である。一般に、負極性信号書き込みは最小振幅 (0 V) の信号書き込みが最も厳しい。さらに負極性信号と正極性信号とで比較すると、同一の V_{ds} に対して負極性信号書き込みの

方が常に大きな電流を得ることができるので、正極性信号の書き込みがより厳しいことが分かる。この厳しさの程度の違いは画素電極電圧の変化の時定数にも表されるが、これについては後述する。図5. 14 (a)(b)を組み合わせることにより、図5. 13に示したようなTFTオン時の動作領域を得る。

次に画素電極電圧 V_{lc} の時間変化について調べる。TFTのオン期間 T_{on} における V_{lc} は次の方程式に従う。

$$dC_{px}(V_{lc} - V_{com}) / dt + (V_{lc} - V_{com}) / R_{px} = I_d \quad \dots\dots\dots (5. 11)$$

ここに、 C_{px} は一画素あたりの容量であり図5. 8の積層構造では、

$$C_{px} = (1/C_{sin} + 1/C_{lc} + 2/C_{piq})^{-1} \quad \dots\dots\dots (5. 12)$$

と求められる。 R_{px} は画素抵抗であるがこれは、パッシベーション層の抵抗 R_{sin} にはほぼ等しい。また上に述べたように a-Si TFT を線形領域で動作させる必要がある。この場合の I_d の表式は、

$$I_d = \beta_0 \{ (V_g - V_{lc} - V_t)(V_d - V_{lc}) - (V_d - V_{lc})^2 / 2 \} \quad \dots\dots\dots (5. 13)$$

となる。式(5. 13)は、正極性信号書き込みに対応する。一方、この負極性信号書き込みの場合には、次の表式を用いねばならない。

$$I_d = \beta_0 \{ (V_g - V_d - V_t)(V_{lc} - V_d) - (V_d - V_{lc})^2 / 2 \} \quad \dots\dots\dots (5. 14)$$

式(5. 11)(5. 13)の組あるいは、式(5. 11)(5. 14)の組を解くことにより、時間の関数として $V_{lc}(t)$ が求められる。これらの解は、解析的に求めることができ、上の方程式の組のいずれに対しても同じ形となる。その解の形は複雑であるので、その詳細は付録Bに記すことにする。条件 $\beta_0 R_{px} \gg 1$ がなり立つ場合は、解は単純化され扱いやすくなる。¹⁰⁾

さて、上記2組の方程式の解の違いについて述べる。その主な違いは、 V_{lc} の変化の時定数 τ であり、以下のとおりである。時定数 τ は、いずれの極性の信号書き込みの場合も、

$$\tau = (2C_{px} / \beta_0) / (P^2 - 4Q)^{1/2} \quad \dots\dots\dots (5. 15)$$

と表される。ここに， P ， Q は，

$$P = - (2 / \beta_0 R_{px}) - (V_g - V_t) \dots\dots\dots (5. 16. 1)$$

$$Q = (2 V_{com} / \beta_0 R_{px}) + 2 (V_g - V_t) V_d - V_d^2 \dots\dots\dots (5. 16. 2)$$

である。条件 $\beta_0 R_{px} \gg 1$ が成り立つ場合は，上記の時定数は，

$$\tau' = C_{px} / \{ \beta_0 (V_g - V_t - V_d) \} \dots\dots\dots (5. 17)$$

となる。この式で， V_d の極性を考えると，正極性信号の書き込みの時定数が負極性信号の場合の時定数より大きいことが分かる。これは，上に述べた信号の極性による書き込みの動作領域の違いを反映するものである。特に，最悪条件設計の観点からすると，時定数の大きい正極性信号の書き込み動作が特に重要である。

次に上の解析の実験検証を行う。そのために，式 (5. 11)(5. 13)から得られた解と，実験による書き込み特性の電圧変化の測定結果を比較する。画素電極電圧の動的な応答の評価には，実際のLCD上の画素のスケールを拡大した素子(画素素子)を用いた。各画素素子では，TF Tの W/L は同一で $2000 \mu m / 10 \mu m$ に設定し，液晶容量は， $3.2 pF$ から $32 pF$ までを5種類用意した。これに対し，入力容量が $0.02 pF$ 以下のプローブを用いて画素電極電圧を測定した。TF Tのゲートをオンしてから後の画素電極電圧の測定結果を，図5. 15に示す。同図には解析解による計算結果も記してあるが，計算結果と実験値は，おおむね良好に一致することが示されている。すなわちこの結果より，オン特性については本節の等価回路モデルがTF T+液晶の系に適用可能であることが確認される。

[b] TF Tオフ時の表示動作

次に，TF Tオフ時すなわち信号保持動作について述べる。図5. 7の駆動方法によれば，信号保持の条件が画面の上部と下部で異なることに注意を要する。

まず第1に，寄生容量 C_{sd} の効果が異なる。¹¹⁾ 図5. 16にディスプレイ最上部行と最下部行の画素における信号電圧とゲート電圧のタイミングの違いを示す。図5. 16 (a)は信号電圧であり，画面全面にわたって均一な表示をする電圧の例である。(b)(c)はそれぞれディスプレイ最上部行と最下部行の画素でのゲート電圧と画素電極電圧である。寄生容量 C_{sd} のために，5. 3. 1節に述べた ΔV_1 の発生と同様の機構によって，信号電圧の極性の切替わりに応じて，画素電極の電位に ΔV_2 の「漏れ込み」が発生する。この大きさは，

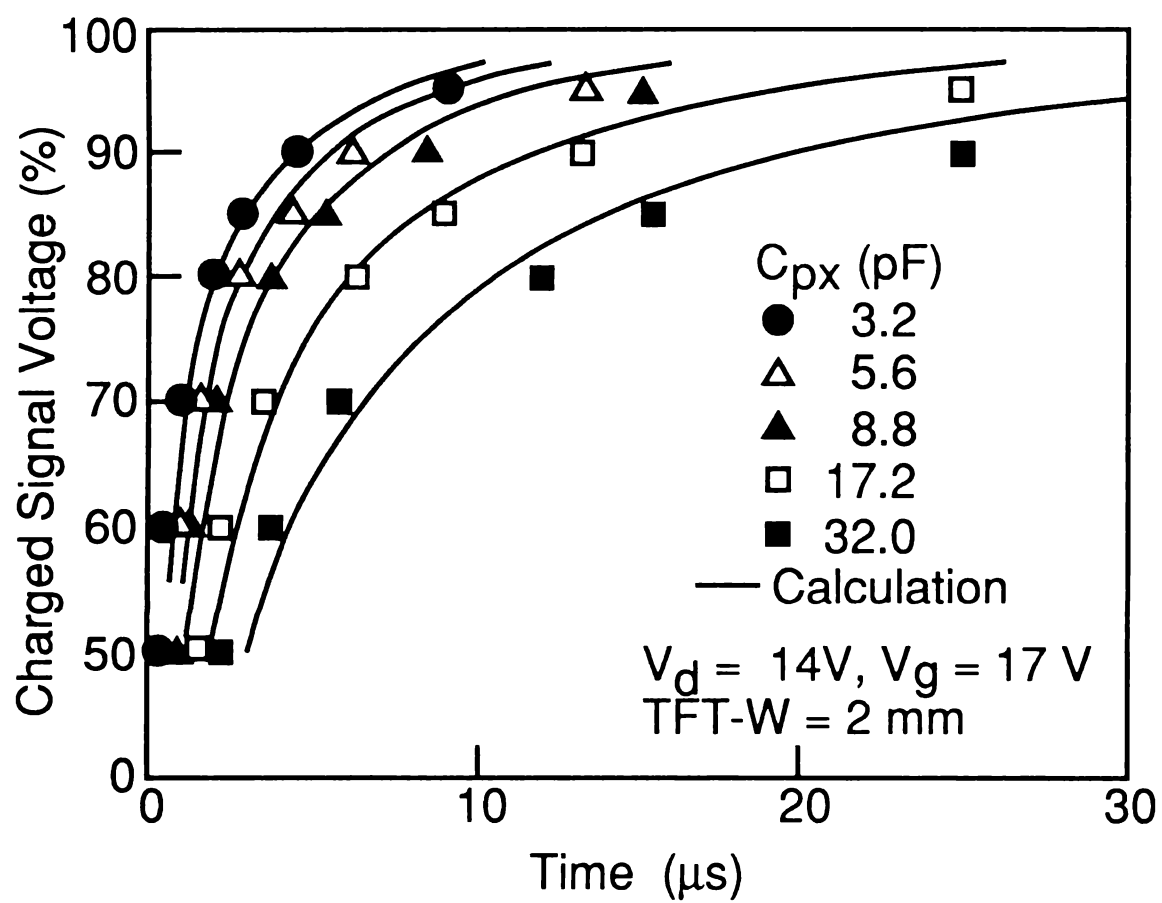


図5.15 画素電極電圧の実測値と計算値の比較

$$\Delta V_2 = C_{sd} \cdot (V_{dh} - V_{dl}) / (C_{gs} + C_{sd} + C_{px}) \quad \dots\dots\dots (5.18)$$

と見積もられる。この ΔV_2 が C_{gs} による ΔV_1 に加わる。液晶層に印加される実効電圧に及ぼす ΔV_2 の影響は、次のように画面最上部と最下部で異なる。画面最上部の画素では、 ΔV_2 が漏れ込むタイミングはゲートパルスの立ち上りのそれと同時である。したがって、それに続いてTFTのゲートがオンするため、画素電極の電圧は V_{dh} （あるいは V_{dl} ）になり ΔV_2 の影響を受けることはない。これに対し、画面最下部の画素では、 ΔV_2 が漏れ込むタイミングはゲートパルスの立ち下りと同時になるので、漏れ込んだ電圧はTFTのオフ期間にわたり画素電極電圧に印加され続けることになる。液晶層に印加される電圧の実効分を図5.17に斜線で示してあるが、その大きさは画面最上部で最大、画面最下部で最小となる。

第2に、信号保持時のTFTのドレイン・ソース間電圧が異なる。例えば画面最下部では、正極性信号の書き込み終了後ただちに信号線の信号は負極性になり、画面最上部と比べてドレイン・ソース間電圧が大きくなる。このため、画面最下部での保持条件が厳しくなるので、TFTのオフ抵抗が小さいときは実効電圧が小さくなる。

これら2点を考慮に入れて、以下では、画面最上部、最下部の駆動タイミングを最良条件、最悪条件と呼ぶ。この駆動条件の違いがTFT/LCDの電気光学特性に顕著に表れると、図5.16(d)のようになる。透過率50%のときの電圧 V_{thlc} について、最良条件と最悪条件の間に有意な差 ΔV_{thlc} が見られる。これは、画面上部から下部の方向への輝度傾斜（シェーディング）として観測される。

信号保持時のTFTの動作電圧範囲を求める。この信号保持期間中は、信号線の電圧が変化するのに伴って、ドレイン・ソース間電圧 V_{ds} 及びゲート・ソース間電圧 V_{gs} の双方が時々刻々変化することに注意する。 $V_{ds} - V_{gs}$ 平面上でのこの動作電圧範囲の検討結果を図5.17に示す。同図中、斜線部が動作領域である。この結果は、 $V_{gh} - V_{gl} = 25V$ 、 $V_{dh} - V_{dl} = 13V$ 、 $V_{gh} - V_{dh} = 3.5V$ の場合についてのものである。前節で述べたのと同様に、TFTのソースが画素電極か信号線のいずれであるかに着目すれば、斜線部を求めるのは容易である。なお同図では、信号の最小振幅を2Vとした。寄生容量 C_{gs} の影響 $\Delta V_1 = 0V$ とした場合の結果が図5.17(a)である。最良条件では、正負両極性とも V_{ds} が小さくなる。最悪条件では、この極性にかかわらず動作領域は一致し、

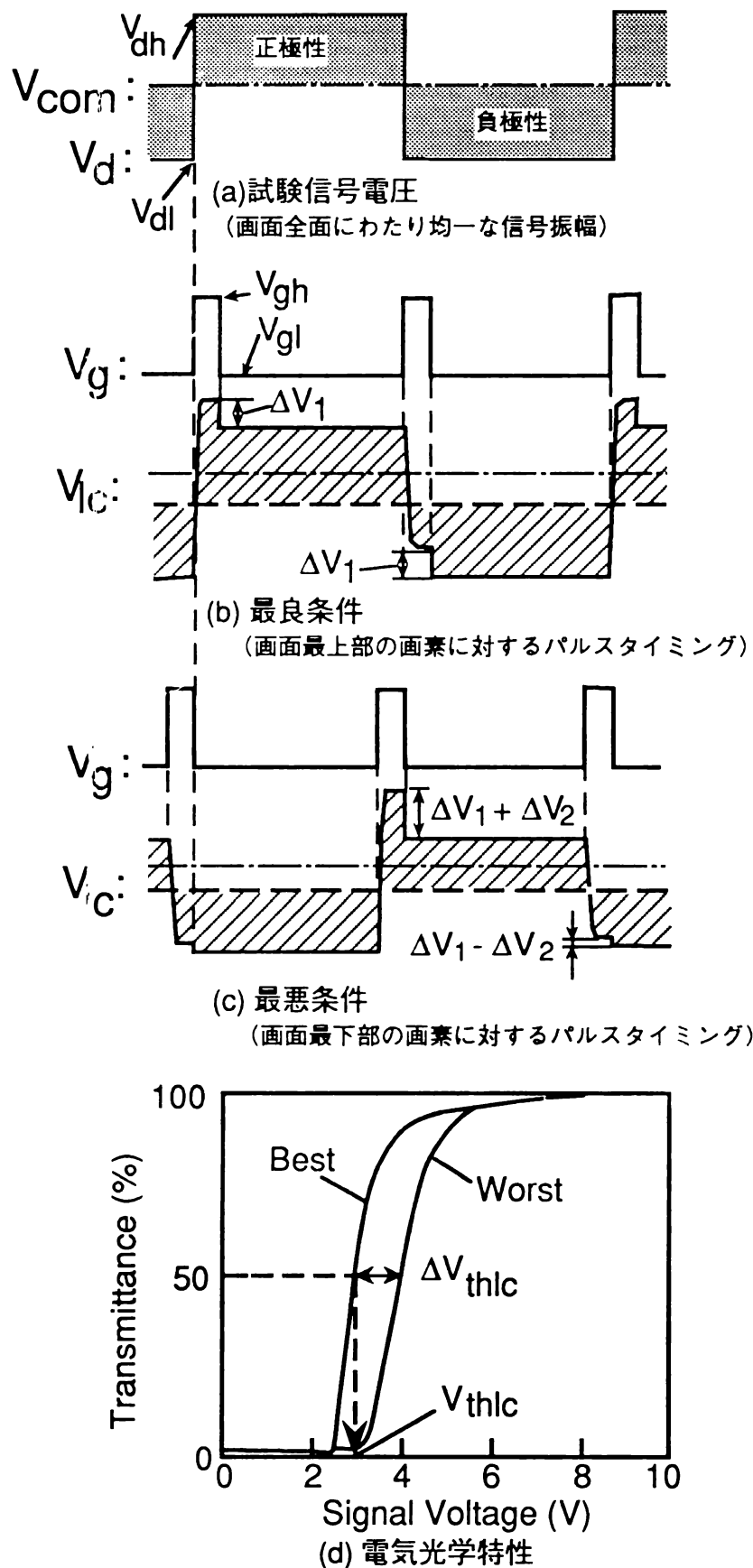


図5.16 最良条件と最悪条件

画面上部と下部ではゲートパルスと信号極性の変化のタイミングが異なる。特に画面下部では、寄生容量 C_{sd} に起因する電圧漏れ込み ΔV がTFTオフの期間中保持される。そのために画面全面にわたり均一な信号を印加しても、画面下部では液晶に印加される実効電圧が小さくなる。

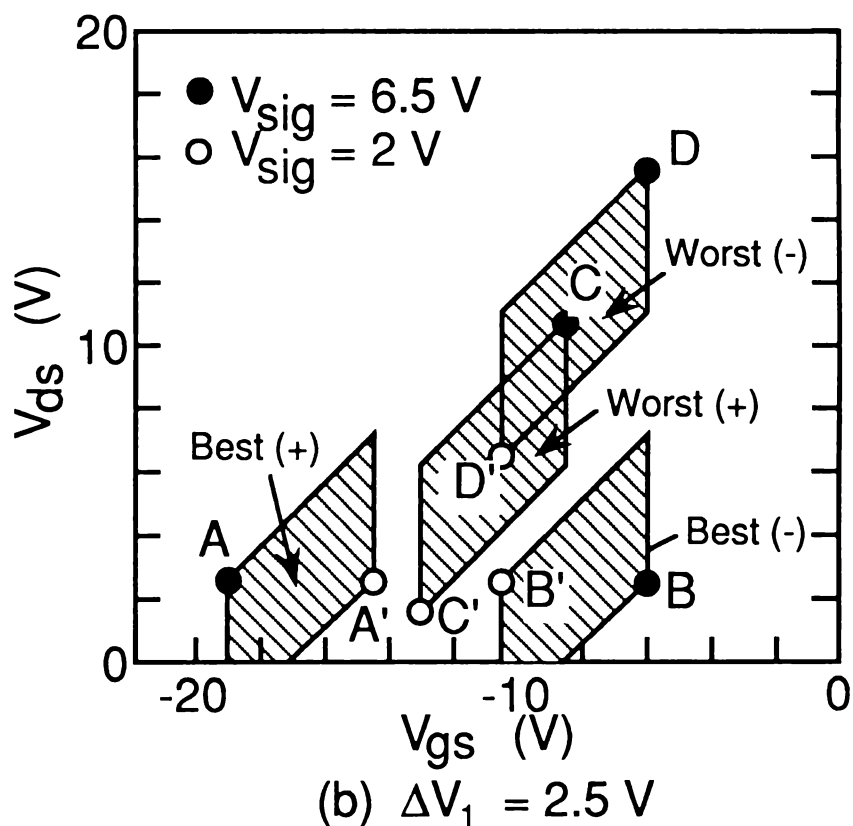
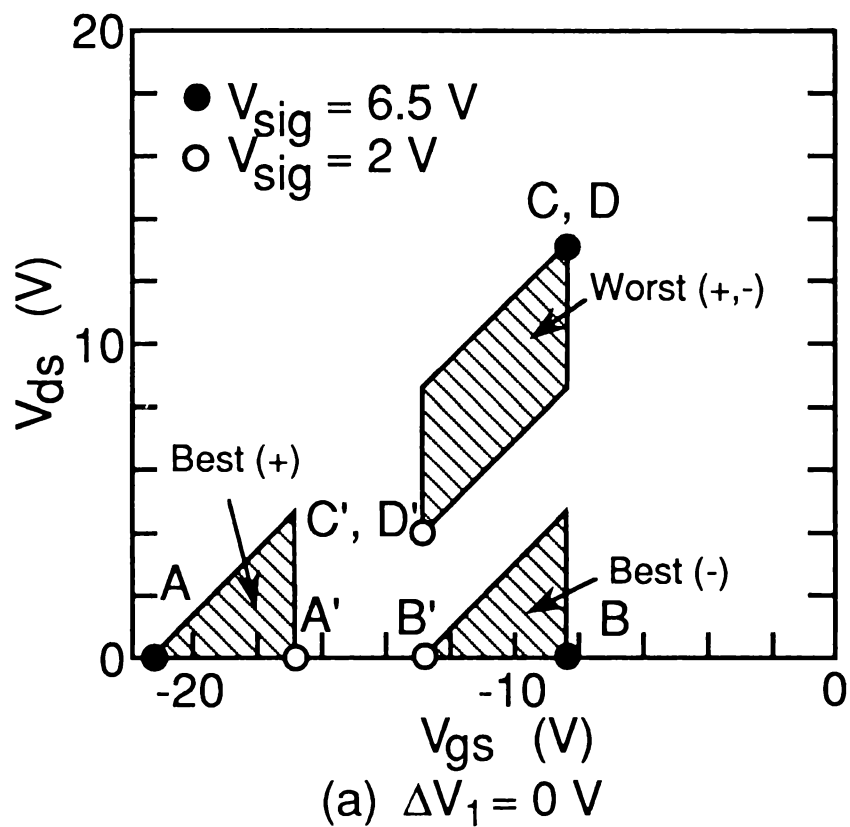


図5.17 T F T オフ時の動作領域

例： Best (+)は 最良条件の正極性フレームを表す
 T F T オフ時の動作点は、信号電圧振幅 V_{sig} と信号極性の正負に依存する。例えば、 $V_{sig} = 6.5 \text{ V}$ 一定の最良（最悪）条件では信号極性の正負の変化に対し、動作点はA (C)点とB (D)点の間を繰り返す。 $V_{sig} = 2 \text{ V}$ ではこれらはA' (C')点とB' (D')点になる。

V_{ds} の増加方向にシフトする。一方、寄生容量の影響を考慮した場合 ($\Delta V_1 = 2.5 \text{ V}$) の結果が、図 5. 17 (b) である。この場合は、動作範囲が全般的に V_{ds} の増加方向にシフトする。これらの図を用いて、実際の動作点の一例を示してみる。全画面に同一信号を表示した場合、例えば、信号振幅 V_{sig} が 6.5 V と最大のときは、最良条件ではフレームごとに図 5. 17 (b) 中の A 点と B 点を繰返し、最悪条件では、C 点と D 点を繰返す。

以上、TFT のオンオフ動作を中心とする表示動作について述べてきた。本節の最後に、等価回路モデルを用いて TFT/LCD の表示特性を論じる。

[c] 電気光学特性

等価回路モデルを用いて TFT/LCD の電気光学特性を計算し、実測値との比較を行う。まず液晶層に印加される交流電圧の実効電圧を求める。この実効電圧は、(1) 書き込み終了時の画素電極電圧 V_{lc0} と、(2) 保持期間 T_{off} におけるこの電圧の減衰を考慮に入れると計算できる。

第 1 に、 V_{lc0} は [a] で述べた解析式で求められる。

第 2 に、保持期間の電圧の減衰の計算には、画素部の積層構造を通じての共通電極への放電や、あるいは TFT のオフ電流による電荷の放電の 2 つを考えればよい。しかも TFT のオフ抵抗が十分大きいときには、液晶層の放電のみを考えればよいことが図 5. 18 を用いて次のように示される。

図 5. 18 は、図 5. 10 に示した等価回路定数を用い、これにオフ抵抗 R_{off} を接続した回路について計算した結果である。計算は HSPICE により行い、正極性信号を書き込んだ後の各節点の電圧変化を調べた。図 5. 1 (a)(b)(c) では、 R_{off} を $10^{10} \sim 10^{12} \Omega$ と変化させた。各図とも実線が最良条件、破線が最悪条件である。画像信号電圧は、全画面同一の白信号である。なお簡単のために、ここでは寄生容量 C_{gs} 、 C_{sd} の効果は考慮に入れていない。

(a) $R_{off} = 10^{10} \Omega$ では、画素電極電圧は信号線電圧の影響を大きく受けている。実際、最良条件では、画素電圧の放電が小さく、最悪条件では信号極性が反転してしまう。(b) R_{off} 増大に伴ってこの傾向は次第に小さくなり、

(c) $R_{off} = 10^{12} \Omega$ ではもはや極性反転は生じない。しかもフレーム周期の 16.7 ms 程度では最良条件、最悪条件の差は小さい。またこの場合、減衰の時定数は液晶層独自の放電の時定数 $C_{lc} \cdot R_{lc}$ にほぼ等しい。 R_{off} の仕様については、5. 4 節にも論じるが $10^{12} \Omega$ 程度の値は、上に述べた駆動電圧範囲において十分に確保されるので、通常の場合の電圧保持特性は液晶層の放電特性による

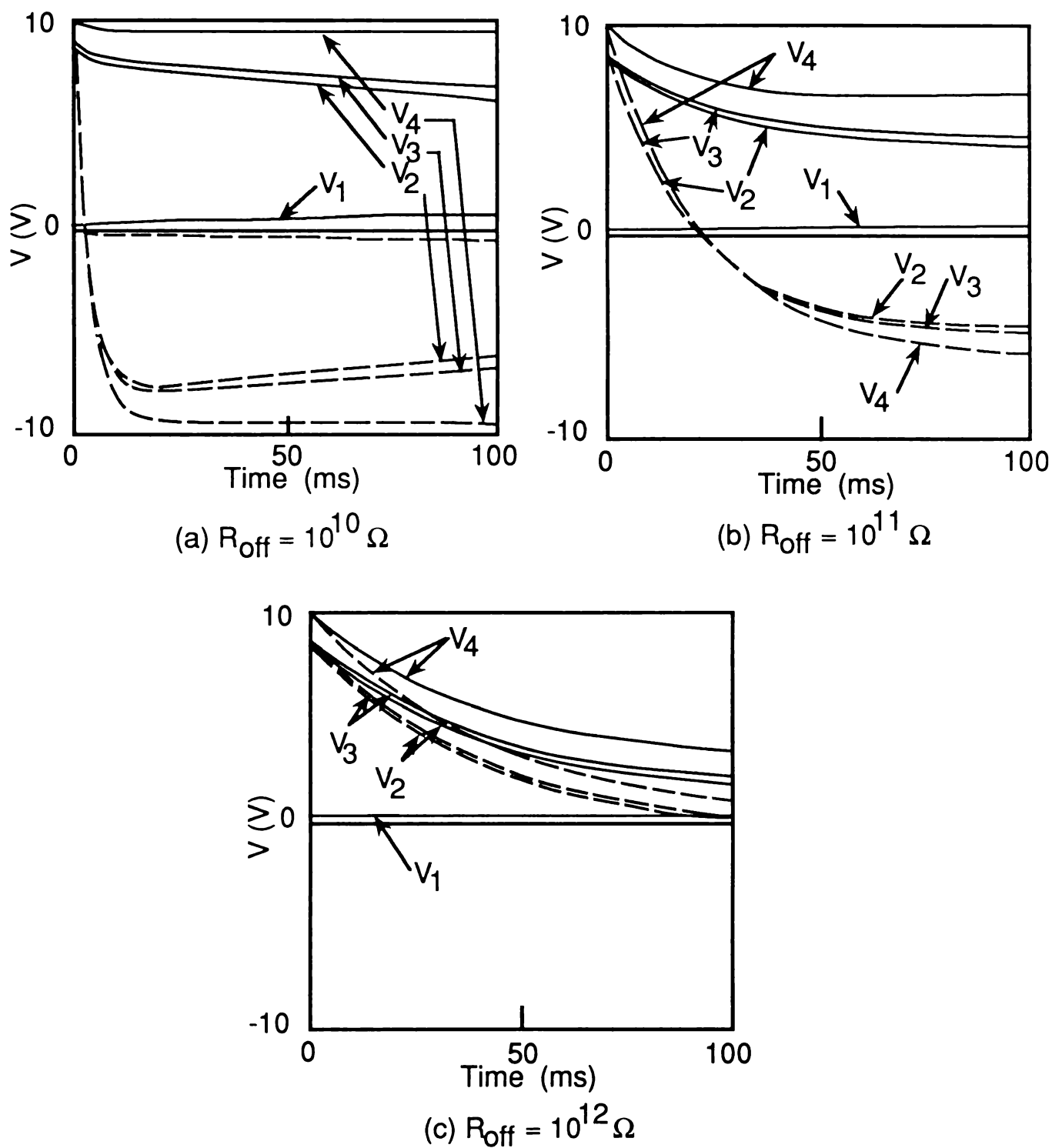


図5.18 TFTのオフ抵抗と保持特性
(実線：最良条件，破線：最悪条件)

ことが分かる。したがって、この場合には画素電圧を容易に計算することができる。

上記より、TFT/LCDセルの電気光学特性の計算が可能になった。次に計算値と実測値との比較を行う。光学測定は、典型的な輝度計であるPrichard社製1980Bを用いて行った。透過率は、輝度計で検出される最大信号を100%と定義した。使用したTFT/LCDは、5.5節に述べる5"パネルである。このパネルの約10画素程度からの信号を検出した。TFTの W/L は $100\mu\text{m}/8\mu\text{m}$ 、 C_{sd} は 0.04pF である。

図5.19に比較結果の一例を示す。最良条件と最悪条件のいずれにおいても実測値と計算値の一致は極めて良好である。最良条件と最悪条件の違いは、上に述べた C_{sd} による輝度傾斜に基づく。なおこの輝度傾斜は同図にも明らかなように、最大50~60%であるが、A1の遮光膜を取り去ることにより数%以下に抑制できることを確認済である。

以上本節では、TFT/LCDの等価回路モデルを構築し、その解析を通じてモデルの実験検証を行った。次節では、このモデルを用いて実際の設計を行う。

5.4 TFT/LCDの設計

5.4.1 設計仕様値

TFT/LCDの最悪条件設計の観点から、信号の書き込みと保持動作に必要な仕様の主要なものについて述べる。

[a] 書き込み時間

まず、信号の書き込みに使用できる時間 T_{in} について記す。この時間は、これまでの検討では $T_{in} = \text{フレーム期間} (T_{on} + T_{off}) / \text{ゲート線数} (N_v)$ で求められた。しかしながら、実際はゲートパルスの伝播遅延が生じるので、書き込み時間 T_{in} は小さくなる。これについて、図5.20を用いて説明する。

図5.20(a)はあるゲートパルスについて、ゲートドライバの出力直後すなわちゲート線左端の波形と、末端部すなわちゲート線右端の模式波形を示すものである。ゲート線左端では正常な方形波であるが、ゲート線右端ではゲートパルスの伝播遅延 T_{rg} により波形に歪みが生じている。これによれば、ゲート線右端では所定の期間 T_{on} をすべて書き込みに使用できず、実質的な書き込み時間は、

$$T_{in} = T_{on} - T_{rg} \quad \dots\dots\dots (5.19)$$

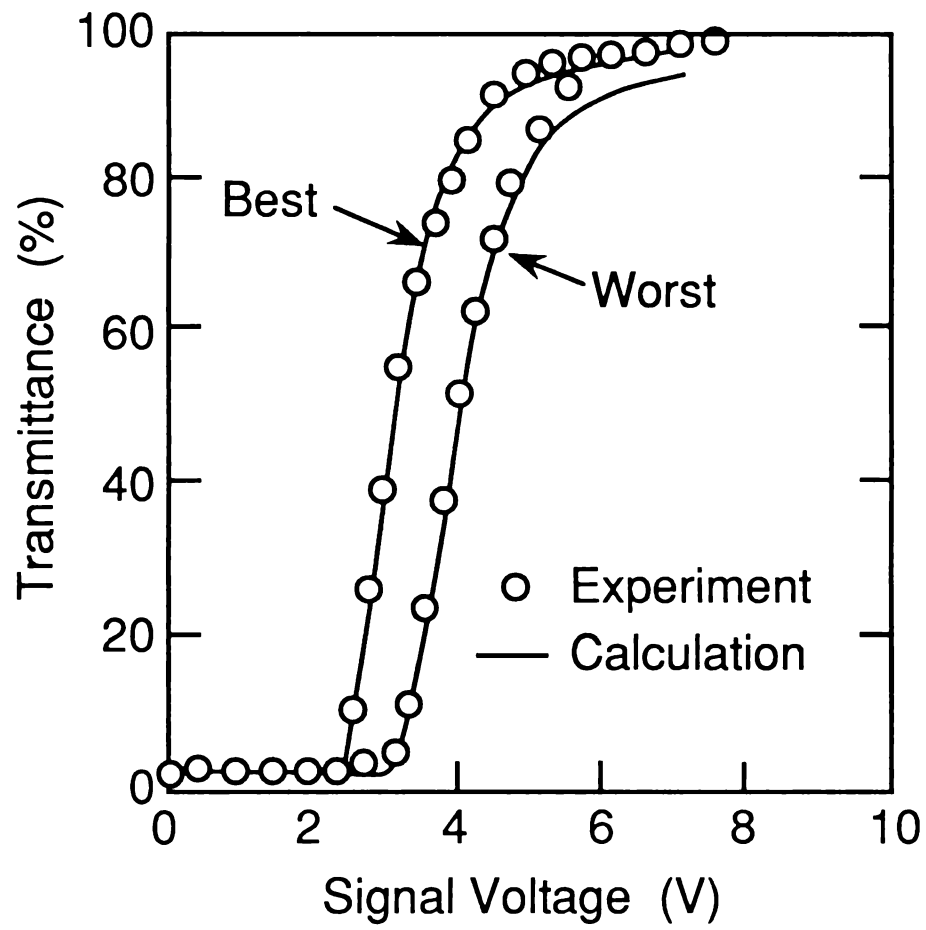
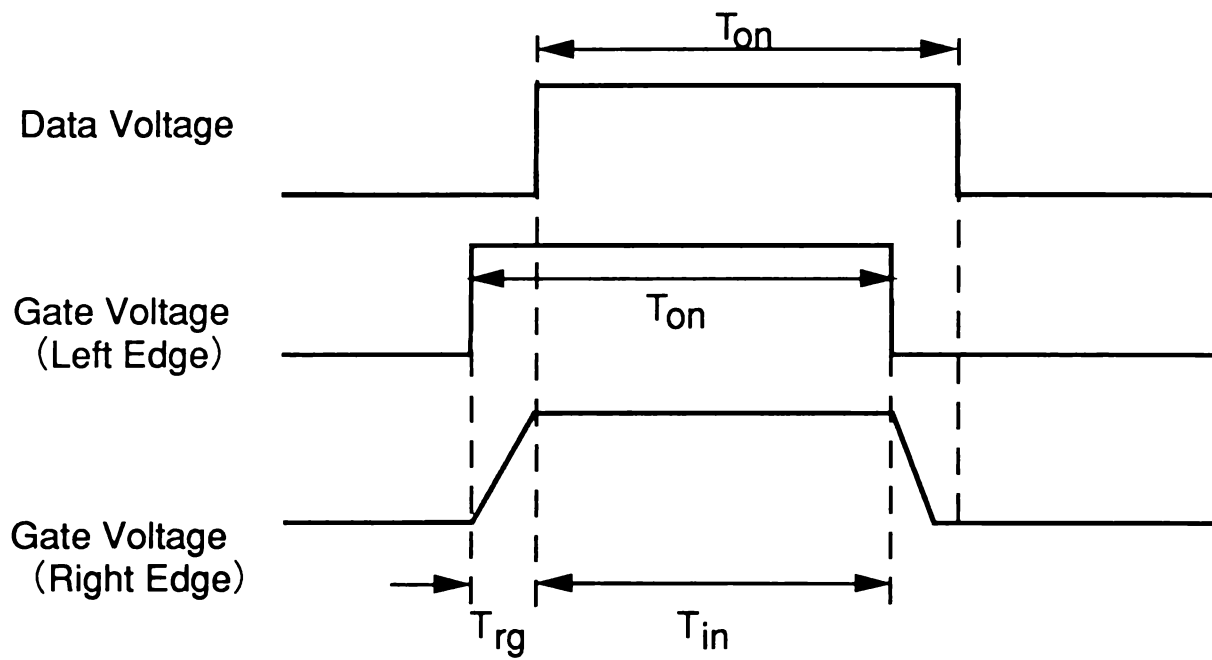
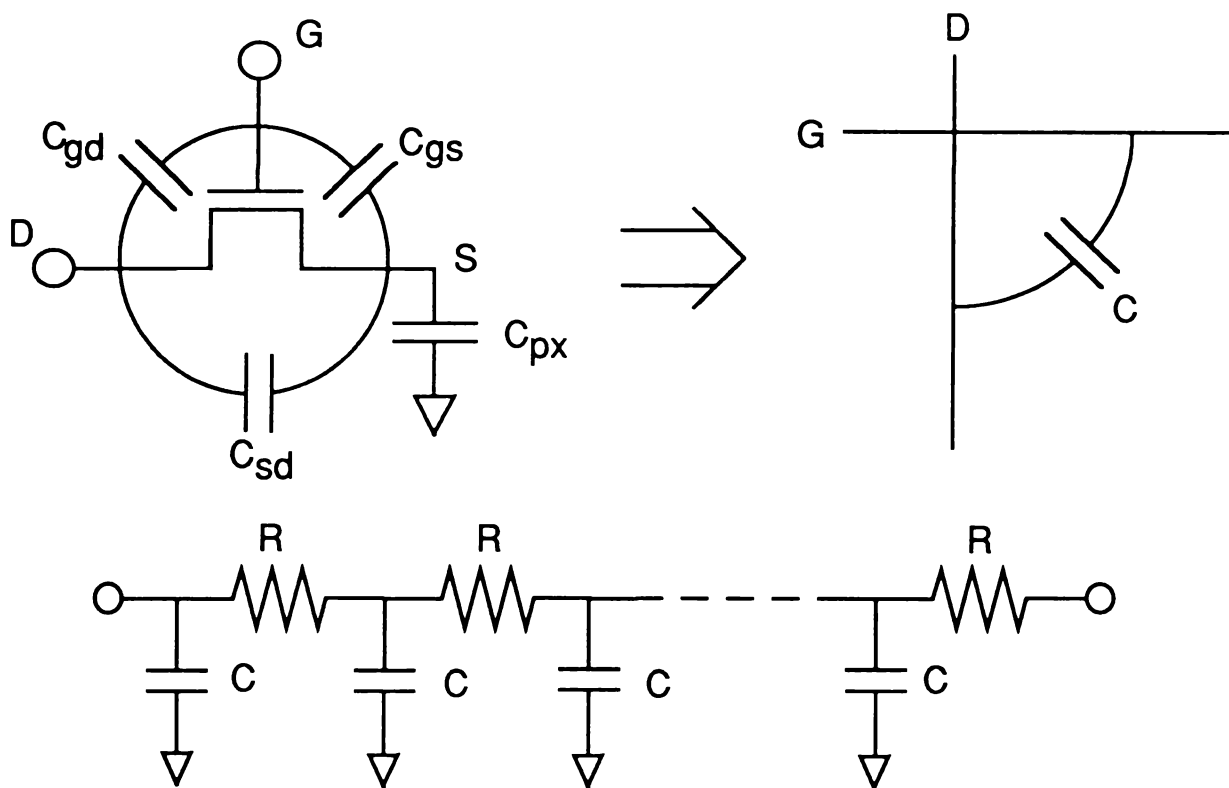


図5.19 電気光学特性の実測値と計算値の比較



(a) 駆動電圧のタイミング



(b) ゲート線容量／抵抗

図5.20 ゲート電圧パルスの伝播遅延

となる。最悪条件設計ではこの時間を書き込み時間と設定すべきである。さらに画像信号の伝播遅延がある場合には、式(5.19)はより複雑になるが、ここではその議論は省略する。

T_{rg} はゲート線に用いる金属がCr(シート抵抗 $\sim 0.6 \Omega/\square$)の場合、5型パネルで画素数が画垂直方向 $N_v = 240$ 、水平方向 $N_h = 480$ の場合に $4 \sim 5 \mu s$ となることが測定されている。この値は、以下に得られる見積りとほぼ一致する。図5.20(b)は、ゲート線一本あたりの分布定数を画素単位の集中定数、 C 、 R で表したものである。 R は配線抵抗、 C はゲート電圧がオフするときの等価容量であり、過渡応答に対しては次式で与えられる。

$$C = C_{gd} + (C_{sd} + C_{px}) \cdot C_{gs} / (C_{gs} + C_{sd} + C_{px}) \quad \dots\dots\dots (5.20)$$

ここに C_{gd} はゲート線と信号線のオーバーラップ部の容量である。この C 、 R と水平方向の画素数 N_h を用いると、 T_{rg} は次式で与えられる。

$$T_{rg} = a N_h^2 C R \quad \dots\dots\dots (5.21)$$

ここに a は電圧の90%変化に対応する因子 $\ln(10) \sim 2.3$ である。例えば、 $N_h = 480$ 、 $R = 22 \Omega$ 、 $C = 0.36 \text{ pF}$ を用いて試算すると $T_{rg} = 4.2 \mu s$ となって実測値と一致が良い。

ところで、このゲートパルスの伝播遅延はパネルの大きさや精細度と密接に関係し、その設計可能性を律する重要な因子である。例えば、ゲート線にAl電極を用いると大画面化・高精細化が容易になる。¹²⁾ 本論文の範囲では、ゲート線材料としてCrを考え、そのシート抵抗値として $1 \Omega/\square$ を最悪条件として仮定する。

[b] TFTのオフ抵抗

5.3.2節[b]では、TFTのオフ抵抗(R_{off})が $10^{12} \Omega$ のときに画質劣化に及ぼす影響が小さくなることを述べた。ここでは、この点についてのデータを補充し、図5.17に説明した動作範囲においてTFTのオフ抵抗の満たすべき条件を明らかにする。最良、最悪条件のそれぞれについて V_{thlc} を算出した結果を図5.21に示す。既に述べたように、最良、最悪条件の V_{thlc} の差

(ΔV_{thlc})は画面垂直方向の輝度傾斜の程度の大きさを意味する。この結果によれば、 $R_{off} \geq 10^{12} \Omega$ の領域で、 $\Delta V_{thlc} \leq 0.1 \text{ V}$ となり、輝度傾斜を十分に抑制できることが分かる。厳密に言えば、オフ抵抗はゲート電圧やドレイ

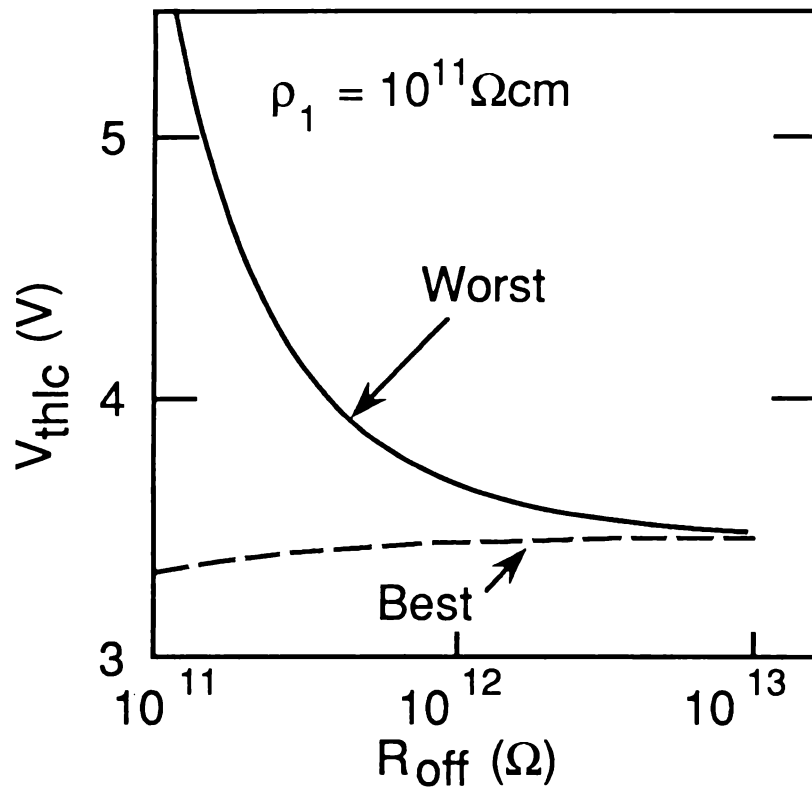


図5.21 V_{thlc} の T F T オフ抵抗依存性

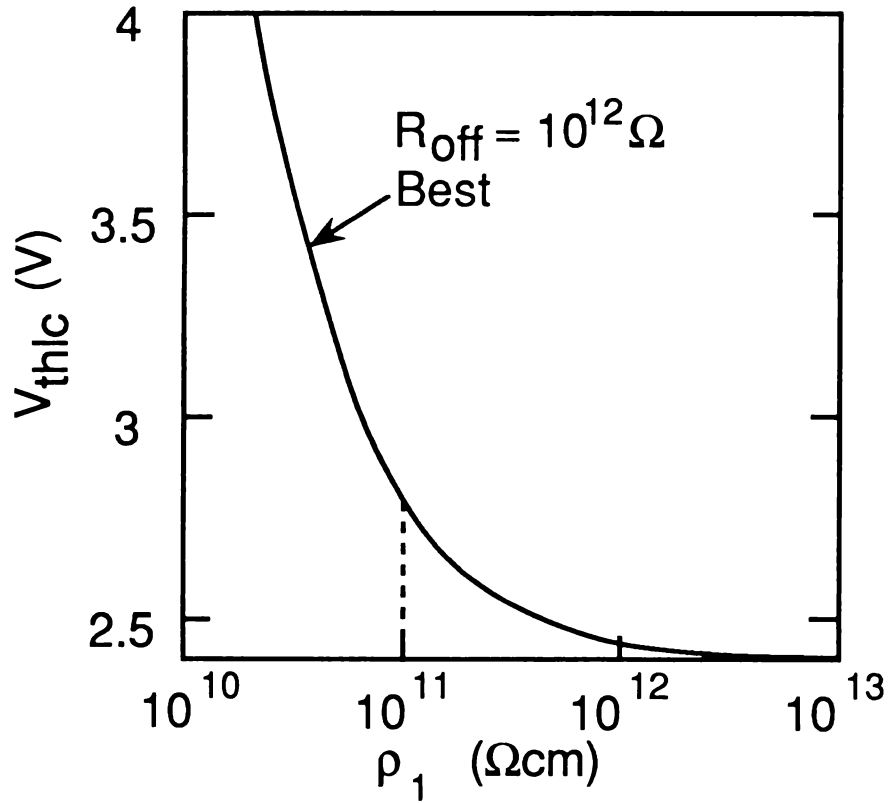


図5.22 V_{thlc} の液晶抵抗率依存性

ン電圧に依存するので、これらが頻繁に変化する実駆動においては、事情は極めて複雑になるが、上記の条件が成り立てば、それらの複雑な依存性を考慮に入れる必要はない。

ところで、この R_{off} に対する条件は、オフ抵抗の低下しやすい光照射時並びに温度 40°C の時に、 $R_{off} \geq 10^{12}\Omega$ が満たされるべきであることを注意しておく。

〔c〕液晶の抵抗

TFTの抵抗が十分に大きく ($\geq 10^{12}\Omega$)、配向膜、パッシベーション膜も正常に形成されているという仮定のもとでは、保持特性は主として液晶層の放電時定数に支配される。前節の等価回路では液晶中の分子の配列など微細な構造を平均して等価的に抵抗 (R_{lc}) と容量 (C_{lc}) の並列接続で近似しているが、これによれば、上記の放電の時定数は 16ms 程度の時間内では $C_{lc} \cdot R_{lc}$ で表される。この時定数は、液晶の物性定数に置き換えることができる。すなわちその値は、画素面積にかかわらず液晶の誘電率 ϵ_1 と抵抗率の ρ_1 の積となる。 $\epsilon_1 = 5.2\epsilon_0$

(ϵ_0 : 真空の誘電率) の場合に、 ρ_1 に対して V_{thlc} を計算した結果を図5.22に示す。液晶層の放電がないときの V_{thlc} は、 2.4V である。例えば、 ρ_1 が $10^{11}\Omega\text{cm}$ では V_{thlc} は 2.8V 、 ρ_1 が $5 \times 10^{10}\Omega\text{cm}$ では V_{thlc} は 3.4V を得る。液晶の抵抗率の変化に対する V_{thlc} の変化の大きい領域は設計裕度が小さい。本設計では、実装状態での ρ_1 を $10^{11}\Omega\text{cm}$ 以上と設定する。ところで、実装状態での液晶の ρ_1 を定めるのは容易ではない。なぜなら、液晶封入工程で不純物が混入し抵抗率が低下するためである。すなわちLCDパネル実装状態での液晶の抵抗率の評価方法の確立は今後の課題である。通常は、封入前の ρ_1 は $10^{12}\Omega\text{cm}$ 以上が確保されているので、上記の条件 $\rho_1 \geq 10^{11}\Omega\text{cm}$ は達成可能で妥当と考えられる。液晶抵抗に対するこの条件は、LCDパネルにわたって均一でなければならない。この均一性が確保できないときは、第6章に述べるように蓄積容量を設けることにより対処できる。

5.4.2 TFTのW/L裕度の計算

ここでは、以上に述べてきた動作モデルと設計仕様を用いてTFTのチャネル形状比 (W/L) の裕度を計算する。設計対象は5型液晶カラーテレビである。表5.1に計算条件を一覧する。これらの条件について、5.4.1節に説明したもの以外について述べる。

パネルサイズは表示領域が対角5インチ (縦横比3:4)、画素数は $240\text{V} \times$

表5.1 TFTのW/L裕度の計算条件

| | |
|----------------|--|
| Display | 5" Diagonal |
| | Number of Pixels 240V x 480H |
| Liquid Crystal | TN-mode |
| | Resistivity $\geq 10^{11} \Omega\text{cm}$ |
| Drive Scheme | $V_{dl} = -13 \text{ V}, V_{dh} = 1 \text{ V}, V_{gl} = -21 \text{ V}, V_{gh} = 5 \text{ V}$ |
| | 60 Frames/s |
| | One Line at a time |
| TFT | Channel Length $8 \mu\text{m}$ |
| | Mobility $\mu \geq 0.3$ ($0.18 \text{ cm}^2/\text{Vs}$ at 0°C) |
| | Off Current $\leq 10^{-11} \text{ A}$ |
| | Threshold Voltage: $-1 \text{ V} \leq V_t + \Delta V_t \leq 3 \text{ V}$ |

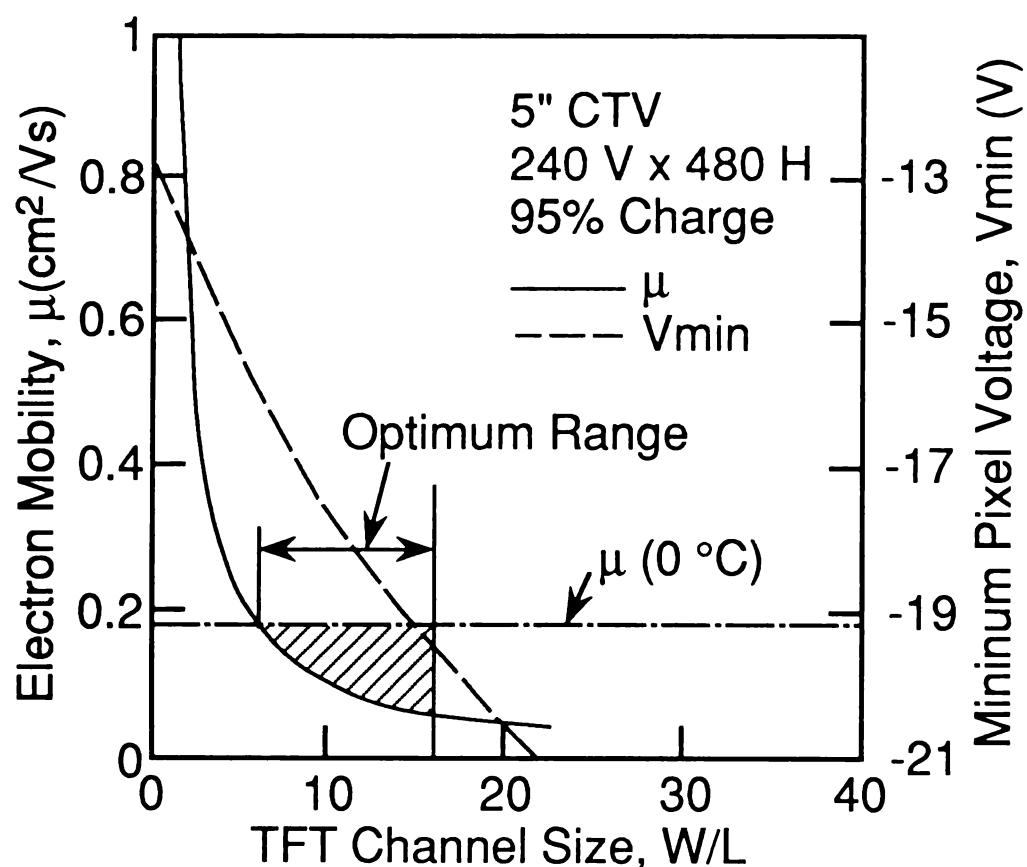


図5.23 TFTのW/L最適範囲の設計

480H（画素ピッチ $320\mu\text{mV}\times 214\mu\text{mH}$ ）である。液晶は、電圧印加時の誘電率が $12\epsilon_0$ のものをを用いる。駆動温度は、周囲温度で $0\sim 40^\circ\text{C}$ を想定する。この温度範囲におけるTFT特性に関して、

(1) 0°C で移動度 μ が、 $0.18\text{cm}^2/(\text{Vs})$ 以上であること、

(2) 40°C のオフ抵抗が $10^{12}\Omega$ 以上であることを要求仕様とする。

(1)については、室温(25°C)での移動度が $0.3\text{cm}^2/(\text{Vs})$ 以上になることに対応する。これは、第2章で調べたように、 μ の温度依存性について $-50\sim 60^\circ\text{C}$ の範囲で成り立つ次の関係に基づく。

$$\mu = A \exp(-0.13 [eV] / kT) \quad \dots\dots\dots (5.22)$$

ここにAは定数で代表的な値は47である。TFTのしきい値電圧(V_t)については、中心値を1V、パネル内の素子間ばらつき $\pm 1\text{V}$ を考慮して $0\text{V} \leq V_t \leq 2\text{V}$ 、さらに駆動に伴う V_t ドリフト量($|\Delta V_t|$)を1V以内と考えて、 $-1\text{V} \leq V_t + \Delta V_t \leq 3\text{V}$ とする。このドリフト量については、第4章で確保されたものである。

駆動電圧の必須条件は、既に述べた次の式である。すなわち、

$$V_{dl} - \Delta V_1 > V_{gl} \quad (5.2)$$

$$V_{gh} - V_{dh} > V_t \quad (5.7)$$

を満たさねばならない。画像信号波形の振幅は1.4V、ゲートパルス振幅を2.6V、 $V_{gh} - V_{dh} = 3.5\text{V}$ とした。ゲートパルス振幅は典型的なLCDドライバの耐圧を参照したものである。TFTチャネル長 $L = 8\mu\text{m}$ 、配線幅 $10\mu\text{m}$ を固定して計算した。

以上の、計算条件を用いて W/L の裕度を算定する。まず W/L の上限であるが、これらは式(5.2)より決定される。すなわち W/L が大きくなると、寄生容量 C_{gs} も大きくなるので ΔV_1 も増大する。この ΔV_1 が式(5.2)を満たすように、 W/L の最大値を定めればよい。このときの裕度($V_{dl} - \Delta V_1 - V_{gl}$)としては、 V_t の負方向ドリフト、温度上昇によるオフ抵抗の増大を考えるとできるだけ大きい方が望ましい。本設計では、TFTの V_t の最低値 -1V に整合させてこの裕度を1.5Vとした。

次に W/L の下限であるが、これは画像信号電圧の書き込みを十分に行うのに必要な値として定める。計算では、信号書き込みにとって最悪の条件(0°C 、TFT

の V_t が 3 V) のときに、所望の信号電圧に対し、その書き込みの割合（以下書き込み率）が 95 % 以上を確保するように W/L 値を決める。

図 5. 23 に W/L 裕度の計算結果を示す。実線は、TFT の V_t を 3 V とし、移動度と W/L の関係を示したものである。信号の書き込み率 95 % を確保するためには、 W/L が小さいほど大きな移動度が必要となる。最悪条件設計では、同曲線の右上方が許容範囲となる。図 5. 23 の 1 点鎖線は $\mu = 0.18 \text{ cm}^2/(\text{V s})$ を示す。この値は、上述のように 0 °C の駆動に対応する。最悪条件設計では、この値を μ の最大値とせねばならないので、この 1 点鎖線の下方が許容範囲となる。一方破線は、 V_{min} と W/L の関係を示している。上記に定めた $V_{min} - V_{gl} = 1.5 \text{ V}$ で定まる W/L より小さい値が許容範囲である。以上の 3 点をまとめると、95 % の書き込み率について $W/L - \mu$ 平面内の許容範囲は、斜線部で表される。 W/L の最適範囲として、 $6 \leq W/L \leq 16$ を得る。また 98 % の書き込み率を条件とすると W/L の下限が上昇し、その最適範囲は $10 \leq W/L \leq 16$ となる。さて、上記の検討は遮光膜に起因する寄生容量 C_{sd} の影響を考慮してある。これに対し、遮光膜を取り除くなどして C_{sd} の影響が無視できる場合は、上記 W/L の最適範囲はわずかに小さい方向にシフトする。 C_{sd} の通常値は画素容量 C_{px} に比べ小さいのでこのシフト量は比較的小さい。

5. 4. 3 大面積化・高精細化の検討

ここでは、上に述べた方法によって、種々の条件のディスプレイについて TFT の W/L の計算（ただし $L = 8 \mu\text{m}$ 固定）を行い、その設計裕度の大小の観点から大面積化・高精細化に対する指針をまとめる。計算においては、画素サイズの変化に伴う液晶容量や有効な書き込み時間などの変更注意了。

図 5. 24 に TFT の W/L 裕度の画面サイズ（対角寸法）依存性を示す。画素数は、 480×648 一定、書き込み率 95 % の場合について示してある。実線は W/L の上限に対応する。画面サイズが小さくなると画素容量 C_{lc} が小さくなり、したがって、寄生容量 C_{gs} による電圧のとび ΔV_1 の影響を受けやすくなる。これを反映して W/L の上限は減少する。

一方、破線は W/L の下限値を示す。パラメータは移動度 μ である。特に $\mu = 0.3 \text{ cm}^2/(\text{V s})$ の場合について設計可能な範囲を斜線で示してある。この結果によれば、10" ディスプレイを最悪条件で駆動することができない。これを可能にするには、同図にも明らかなように移動度を改善することが有効である。また、TFT サイズは小さい方が望ましいことを考えると、10" ディスプレイが裕度を

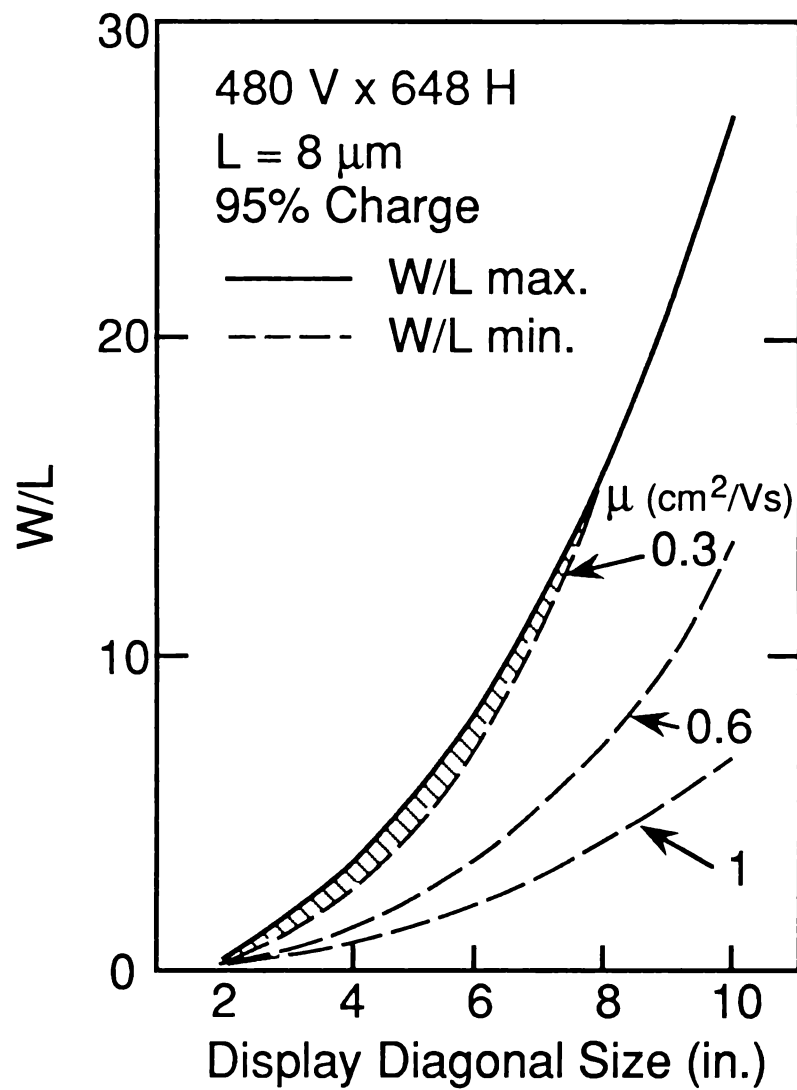
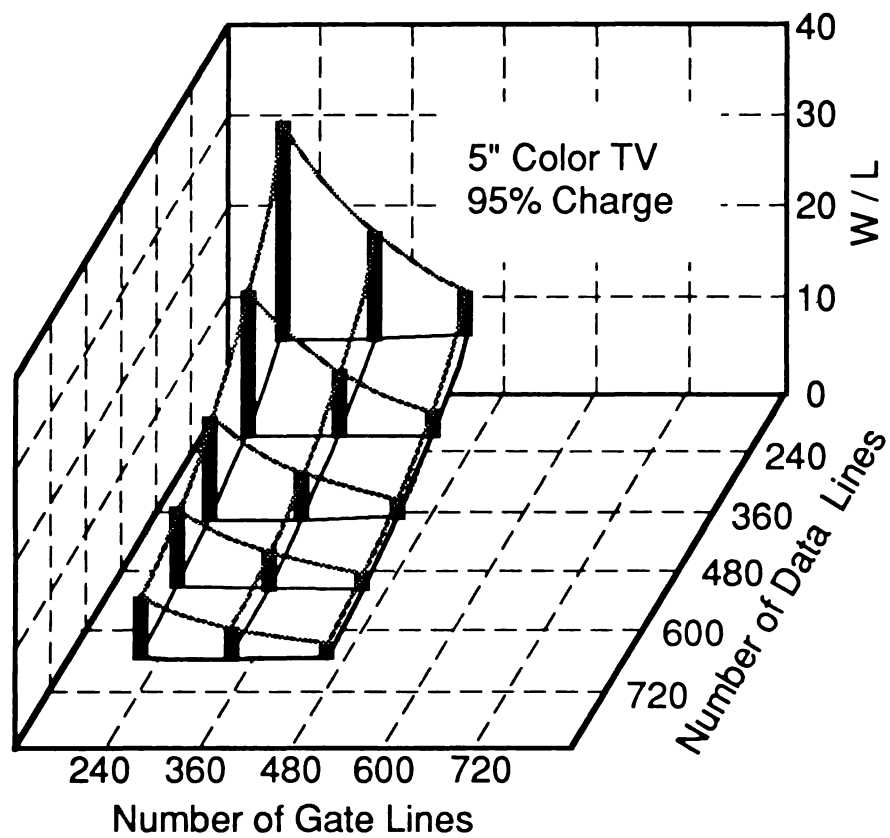
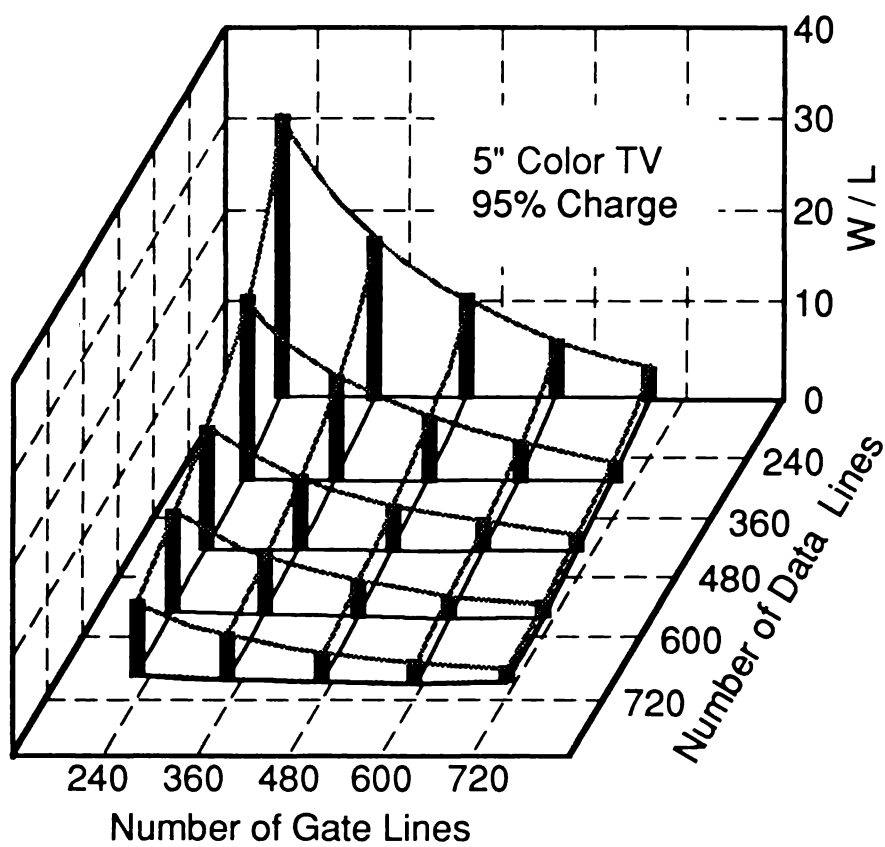


図5.24 TFTのW/L最適範囲の画面サイズ依存性



(a) $\mu = 0.3 \text{ cm}^2/\text{Vs}$



(b) $\mu = 0.6 \text{ cm}^2/\text{Vs}$

図5.25 TFTのW/L最適範囲の精細度依存性

もって設計可能となるためには、少なくとも $\mu \sim 0.6 \text{ cm}^2/(\text{Vs})$ が必要であることが示されている。

図5. 25にTFTの W/L 裕度の精細度依存性を示す。パネルサイズは5", 95%書き込みについて算出したものであり、ゲート走査線と画像信号線の本数を示す交点(破線)の各々に対応する精細度の設計仕様について、 W/L の設計裕度をバーで示してある。図5. 25 (a)(b)はそれぞれ移動度が $0.3 \text{ cm}^2/(\text{Vs})$ と $0.6 \text{ cm}^2/(\text{Vs})$ の場合である。 $\mu = 0.3 \text{ cm}^2/(\text{Vs})$ では精細度の高いディスプレイ(480V×600H)の W/L 設計裕度は非常に小さいが、 $\mu = 0.6 \text{ cm}^2/(\text{Vs})$ の場合にはその裕度が拡大するのが分かる。これは信号書き込みが容易になったことによるものであり、一般に $\mu = 0.6 \text{ cm}^2/(\text{Vs})$ の場合にはすべての領域で設計可能な領域が拡大している。走査線数及び信号線数が増大すると W/L 上限値が減少するのは、画素サイズの縮小に伴う ΔV_1 が増大するためである。信号線数が減少すると W/L 下限が増加するのは、画素サイズの拡大によって画素容量が大きくなり、所定の時間に十分な信号書き込み動作が行えなくなることによることに起因する。

以上見てきたように、TFT/LCDの大面積化・高精細化を実現するためには、TFTの電界効果移動度を増大させることが重要である。ただしその要求値は、決して実現不可能ではなく実験室レベルで既に達成されているものである。¹³⁾ また信号書き込み裕度を拡大するためには、ゲートパルス電圧の伝播遅延を縮小することが有効である。そのためには、ゲート線幅を拡大するなどの方策もあるが、光の透過量と密接にかかわる開口率を低下させないためには、低抵抗の電極材料を用いるのが最も効果的である。例えば、ゲート線にAlを使用するなどの試みは重要である。¹²⁾ その他、ここでは特記しなかったが、TFTのしきい値電圧のドリフトを含めたばらつきを減少させることも裕度拡大に効果がある。

5. 5 5型液晶カラーテレビ

前節までに示したプロセス技術と設計技術により、5型液晶カラーテレビ仕様のアクティブマトリクス方式の液晶パネルを試作した。¹⁴⁾ 画素数は115200(240V×480H)である。この仕様を設定した背景には以下の経緯がある。本試作の時点で、実用化されているTFT/LCDは、対角2", 3"程度のものが主流であり、水平方向の解像度もビデオカセットレコーダ(VCR)の再生画像を十分に表示できるものではなかった。そこで、テレビ画像を楽しむことができる

のに最低限必要と考えられる画面サイズと画素数を選択した。

もちろん、作製の困難さから、これらを際限なく大きくすることはできないことは言うまでもない。図5. 2に示したようにTFT/LCDの基本構成は、ダイナミックRAMとはほぼ等しい。しかし、無欠陥のパネルを作製するのは、ダイナミックRAMほど容易でない。すなわちTFT/LCDの場合は、基板が大面積にわたるため量産性が低下するばかりでなく、一基板あたりの欠陥発生率が上昇する。さらには、TFT/LCDの場合は線欠陥が許容されないため、メモリデバイスで使われる冗長設計が不可能な点が高歩留まりの確保を困難にしている。本節で述べる試作は、上記のごとき両面の制限からの接点において行われたものである。以下では、液晶パネルの仕様、表示特性、液晶カラーテレビの構成例について順次記す。

5. 5. 1 液晶パネルの仕様

試作した液晶パネルの主な仕様を表5. 2に示す。

a-Si TFTはSiNをゲート絶縁膜とするものでその作製方法の詳細は第2章に述べたとおりである。信号線はTFTのソース・ドレイン電極と同じCr/Alの2層金属で形成し、その幅は $10\mu\text{m}$ である。画素電極はITOから成る。素子上方には $0.5\sim 1\mu\text{m}$ の膜厚のSiNから成る保護膜を設けてある。TFTの遮光膜は設置してない。基板は、Corning社製7059ガラスを使用した。プロセスの最高温度は 320°C である。TFTの W/L は6、室温における移動度は $0.3\text{cm}^2/(\text{Vs})$ 、画素サイズは、 $320\mu\text{mV}\times 214\mu\text{mH}$ である。液晶材料の複屈折率 Δn と液晶セルのギャップ d の値は、 $\Delta n\cdot d=0.5$ となるように選択した。対向基板上のカラーフィルタの色配列は三角配置である。カラーフィルタ中のR、G、Bのカラーパターンは有機染料から成り、その上をアクリル樹脂で覆ってある。またR、G、Bの境界にはCr金属のブラックマトリクスパターンが形成されている。このブラックマトリクスパターンはTFTの遮光膜の働きもする。最後にこれらの上に、絶縁層を介してITOの共通透明電極が設けられている。パネルモジュールの構造と外観写真をそれぞれ図5. 26、図5. 27に示す。水平走査ドライバICはパネルの上下の双方に配列され、これらのICから信号線が上下方向から交互に伸びている。垂直走査ドライバICは液晶パネルの左に位置している。液晶パネルとドライバICの接続は、異方性導電膜を利用したTAB (Tape Automated Bonding) を用いた。

表5.2 液晶パネルの仕様

| | |
|--------------------|-------------------------------|
| Screen Size | 5 in. (103 x 76.8 mm) |
| Pixel Number | 115200 (240V x 480H) |
| Color Filter | Triangle |
| TFT | a-Si, Inverted Staggered Type |
| W/L | 6 (L= 8 μ m) |
| μ | 0.3 cm ² /Vs |
| $\Delta n \cdot d$ | 0.5 |
| Polarizer | Normally Black |

表5.3 液晶パネルの表示特性

| | | | | | |
|---|---|-------|-------|-------|-------|
| Brightness | 120 cd/m ² | | | | |
| Contrast | > 40 | | | | |
| Viewing Angle Vertically Horizontally | Up / Down 16 / 20 degrees Right / Left 47 / 44 degrees | | | | |
| Color Coordinate | | R | G | B | White |
| | x | 0.574 | 0.304 | 0.154 | 0.351 |
| | y | 0.317 | 0.555 | 0.098 | 0.349 |

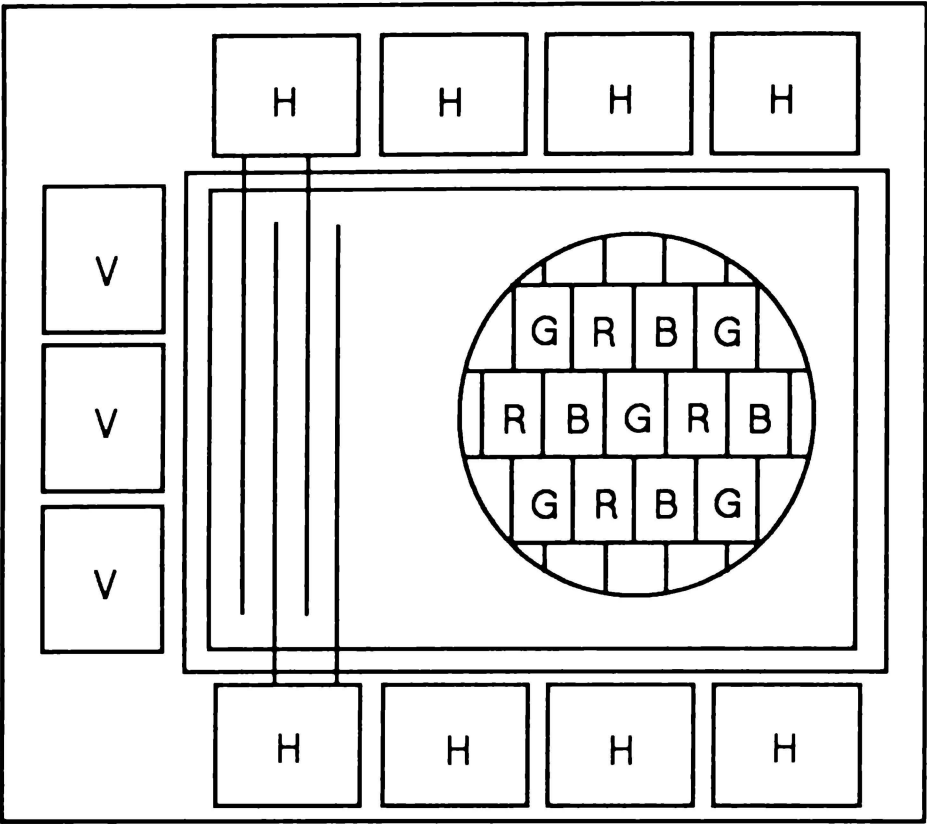


図5.26 液晶パネルの構造
H: 水平走査ドライバ
V: 垂直走査ドライバ
RGB: カラーフィルタ配列

15 16 17 18 19 20 21 22 23 24 25 26 27 28 29

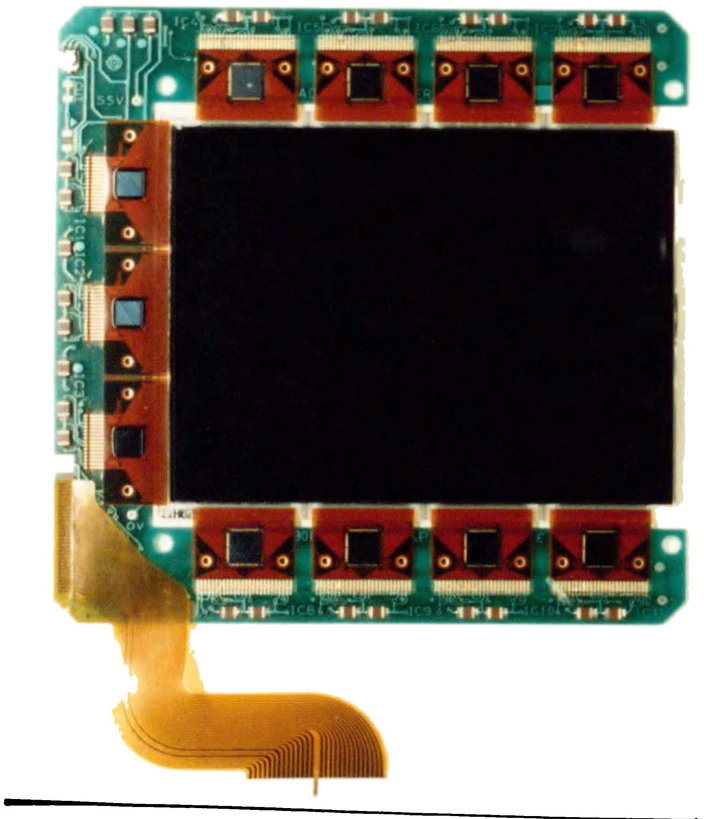


図5.27 試作パネルの外観写真

5. 5. 2 液晶パネルの表示特性

〔a〕輝度及びコントラスト

試作した液晶パネルの表示特性を表5. 3に示す。

白表示部の輝度は、 120 cd/m^2 に達する。これは、消費電力が2. 6W足らず（主としてバックライト）であることを考えると極めて効率が良いと考えられる。なおU字型の蛍光管の表面の輝度は 8000 cd/m^2 、この蛍光管から放射される全光束は125 lmである。また液晶パネルの光の透過率は、4%以上である。また黒表示部の輝度は約 2 cd/m^2 であり、したがってコントラストは約60である。

〔b〕視野角

視野角は従来飽和コントラストを比較して決定されている。すなわち、垂直な方向から見たときの飽和コントラストを基準とし、その値の例えば1/2の飽和コントラストが得られる角度をもって視野角が定義されてきた。しかし、この方法ではそれぞれの角度で飽和コントラストが得られるときの液晶印加電圧が異なってしまい、実際のディスプレイの表示特性を正確に評価しているとは言い難い。そこで、ここではこの飽和コントラストによる評価法を取らない。¹⁴⁾ まず画面に垂直な方向から見たときの電気光学特性を基準にして、その電圧範囲を固定する。次にその電圧範囲において、角度をつけて画面を観たときに得られるコントラスト比を調べることにする。このようにして調べた視野角は、左右方向が約 45° 、上下方向が約 18° であった。

〔c〕色座標

表示画像の色座標についても表5. 4に記してあるが、これらはほぼCRTの色座標にほぼ近いものが得られている。白表示部の色温度は4880K、その色座標は、 $x=0.351$ 、 $y=0.340$ であり十分である。これに対し黒表示部はやや青みが掛っている。これは、偏光板の設置法がノーマリブラック表示方式になっているためである。ノーマリホワイト方式に変えれば、黒表示はより黒みが掛ってコントラストが改善される¹⁵⁾ものと考えられる。

〔d〕解像度

上述のように、画素数は115200でありカラーフィルタの配列は三角配置である。これらにより、NTSCビデオ信号の96.5%の水平信号が再現可能である。水平・垂直の両方向についての解像度は約240TV本であり、VCRからの画像とほぼ等価である。

5. 5. 3 液晶テレビ

以上の様に試作した液晶パネルを5型液晶カラーテレビ適用した結果について述べる。

液晶テレビの仕様を表5. 4に示す。特長としてはコンパクト性，軽量，低消費電力などが挙げられる。これらはすべて実用的なフラットTVに好適なものである。特に，CRTから成る6" カラーテレビ（例えば，日立製モデルC6-A10）と比べた場合，セットの厚さは15%程度まで低減されている。

電力源としては，AC100V/DC5Vの双方が可能な方式とし，充電池の装着も可能にした。RF-TV信号の受信は，ロッド及び外部アンテナを用いる。さらに，モニタディスプレイ用途にビデオ入力端子も設けた。

TV用の回路は，電子部品などの実装が高密度である点を除けば，CRTを用いるカラーテレビに用いられるものとほとんど同じである。

バックライトには，画面の輝度の均一性や，効率の観点からU字型の蛍光管を用いた。またこの蛍光管は，その分光特性が，カラーフィルタのR，G，Bの波長でピークを持つように設計されている。図5. 28は5型液晶カラーテレビの画像表示例である。

以上TFT/LCDの試作と特性解析を通じ，高解像度で高コントラストの良好な画質が得られることが明らかになった。反面上記のデータには明示されていないが，点欠陥，線欠陥，面欠陥などの画質面で改善を要する問題が残されていること，プロセス面で歩留まり向上のために種々改善する必要があることなども明らかとなった。特にTFT/LCDの表示特性を確保するには，設計のところで述べた電圧保持特性を画面にわたって均一に行わせることが極めて重要であることが明らかになった。そこで，光照射時におけるTFTのオフ特性の確保のための素子構造の検討や，¹⁶⁾ 液晶層の電荷保持を補助するための付加容量の設置などの対策を施した。さらに，焼き付き，残像，フリッカに対する検討も加え，本章に述べた5型液晶カラーテレビは実際に製品化に至った。

表5. 4 液晶テレビの仕様

| | |
|-------------------|---|
| Screen Size | 5 in. |
| Set Size | 155W x 151H x 42.5t mm |
| Weight | 780 g |
| Power Consumption | 5.5 W |
| Power Source | AC 100 V / DC 5 V |
| Back Light | U-shape Fluorescent Lamp |
| Signal Input | Rod Antenna External Antenna Terminal Video Signal Input Terminal |



図5.28 5 型液晶カラーテレビの画像表示例

表5.5 設計項目のまとめ

| | | |
|---|---|--|
| Static Characterisitics (Electro-Optical Characteristics, Viewing Angle) | a) TFT | 1) Mobility (On Current) 2) Parasitic Capacitance (C_{gs} , C_{ds}) 3) Off Resistance (R_{off}) 4) Thrshold Voltage (V_t) 5) Capacitance of Passivation Layer 6) Gate Line Capacitance / Resistance |
| | b) Liquid Crystal | 1) Electro-Optical Characteristics 2) Resistivity 3) Capacitance 4) Cell Gap |
| Dynamic Characteristics (Latent Image, Flicker) | a) Liquid Crystal Material b) Alignment Layer Material c) Driving Voltage | |

5. 6 まとめと今後の課題

a-Si TFTの駆動による液晶ディスプレイの実用化を目的として、その設計法を確立し、それを5型液晶カラーテレビ仕様のTFT/LCDに適用した。その結果、実用に耐えられる解像度とコントラストを有する画質が実現可能であることを示した。本章に得られた知見は、以下のとおりである。

- (1) TFT/LCDの一画素の動作のモデル化を行った。その動作は、画素部積層構造（パッシベーション膜／配向膜／液晶／配向膜）を模したCR4段等価回路及び信号書き込み電流としてグラデュアルチャネル近似を用いることによりモデル化される。あわせて、寄生容量 C_{gs} 、 C_{sd} も考慮に入れた。
- (2) TFT/LCDセルの電気光学特性について、モデルによる計算結果と実測値を比較し、両者が良好に一致することを確認した。このモデルによれば主として遮光膜に起因する寄生容量 C_{sd} による画面上下方向の輝度傾斜の現象が再現されることを示した。
- (3) 寄生容量 C_{gs} と画素容量 C_{px} の容量結合でゲート走査信号が画素電極に漏れ込み、画素電極と対向電極の間に直流電圧が印加される。この直流電圧は～60秒で高抵抗なパッシベーション層に吸収され、液晶層には定常状態で交流駆動波形が印加されることを明らかにした。
定常状態では直流電圧の影響は小さいものの、焼き付き、フリッカなど表示特性の劣化とかかわることが第6章に述べられる。
- (4) TFT/LCDの書き込み動作の解析を行った。その結果、負極性最大振幅信号が書き込まれた状態から正極性最大振幅信号を書き込む過程が最も時間を要することを示した。

- (5) 信号書き込みを十分正確に行うための駆動電圧条件は、

$$V_{dl} - \Delta V_1 > V_{gl} \quad (5.2)$$

$$V_{gh} - V_{dh} > V_t \quad (5.7)$$

である。

- (6) TFT/LCDの信号保持動作は、TFTのオフ抵抗を通じての放電時定数、 $R_{off} \cdot C_{px}$ 及び液晶層の放電時定数 $C_{lc} \cdot R_{lc}$ 双方が関係するが、これらの値としては、

$$R_{off} \geq 10^{12} \Omega$$

$$\rho_1 \geq 10^{11} \Omega \cdot \text{cm}$$

が必要である。なお本章では特に述べなかったが、この電圧保持動作は画面

輝度の均一性にとって非常に重要である。この輝度の均一性を確保するためには、一般的に各画素に電荷蓄積容量を設けるのが有効である。この電荷蓄積容量のひとつの構成法については、第6章に述べる。

- (7) TFT/LCDの面積化及び高精細化を検討した。例えば10"ディスプレイが設計可能となるためには移動度の向上が重要である。
- (8) 上記の設計技術を用いて、5型液晶カラーテレビ（画素数：240V×480H）の試作を行った。その結果得られた表示画質は十分実用に耐えるものであることを確認した。さらに、幾つかの改良を加えることにより、本設計によるTFT/LCDは87年12月に製品化に至った。

本章に述べた設計技術は90年4月製品化の10"ディスプレイにも適用された。¹⁷⁾ また、設計技術自体も改良され、¹⁸⁾ Alゲート¹²⁾を使用した高精細TFT/LCDの開発¹⁹⁾へと発展して来ている。

以上の項目と関連させてTFT/LCDパネルの特性の支配要因をまとめると表5.5のようになる。これまでのところ静特性についての検討が進んできているが、焼き付き、フリッカ、残像といった動特性の機構検討はまだ十分ではない。第6章にこの点に関する検討結果の一例を記すが、設計モデルに動特性全体を組み込むには至っていない。今後の課題とする。

また、理想的には、TFTのデバイスパラメータやパネルの構造、液晶材料の物性値、あるいはカラーフィルタや電源の分光特性を入力することにより、TFT/LCDの表示特性をシミュレートするのが究極の設計である。今回の検討はその端緒に過ぎない。これを契機として、設計精度を向上させるためのモデルの改善を絶えず図って行かねばならない。

参 考 文 献

- 1) T. P. Brody, J. A. Asars, and G. D. Dixon, IEEE Trans. Electron Devices ED-20, 995 (1973).
- 2) M. Schadt and W. Helfrich, Appl. Phys. Lett. 18, 127 (1971).
- 3) D. W. Berreman, Phys. Rev. Lett. 28, 1683 (1972).
- 4) Y. Kaneko, A. Sasano, and T. Tsukada, IEEE Trans. Electron Devices ED-36, 2953 (1989).
- 5) S. Hotta and I. Kobayashi, Proc. of Symp. on Recent Progress in Amorphous Silicon Devices, (1985), p.31 (in Japanese).
- 6) Y. Nasu, S. Kawai, S. Kisumi, K. Oki, and K. Hori, Digest of Tech. Papers SID Intn'l Symp., (1986), p.289.
- 7) F. Morin, Proc. Intn'l Display Research Conf., (1983), p.412.
- 8) S. M. Sze, Physics of semiconductor devices 2nd ed., (Wiley, New York,1981), p.438.
- 9) Y. Kaneko, A. Sasano, and T. Tsukada, Digest of Tech. Reports, (IEICE of Japan, 1989), EID88-59 (in Japanese).
- 10) Y. Miyata, Y. Ogawa, and T. Chikamura, Digest of Tech. Papers SID Intn'l Symp., (1988), p.314.
- 11) S. Kisumi, T. Hoshiya, and K. Takahara, National Conv. Rec. (IECE of Japan, 1987), pt.5, p.120 (in Japanese).
- 12) H. Yamamoto, H. Matsumaru, K. Shirahashi, M. Naktani, A. Sasano, N. Konishi, K. Tsutsui, and T. Tsukada, Proc. Intn'l Electron Devices Meeting, (1990), p.851.
- 13) T. L. Credelle, Proc. Intn'l Display Research Conf., (1988), p.208.
- 14) F. Inoue, K. Ando, N. Kabuto, M. Kamiya, M. Nakatani, R. Nashimoto K. Suzuki, H. Suzuki, T. Tsukada, and H. Kawakami, Digest of Tech. Papers SID Intn'l Symp., (1988), p.318.
- 15) M. Katayama, H. Morimoto, S. Yasuda, T. Takamatu, H. Tanaka, and M. Hijikigawa, Digest of Tech. Papers SID Intn'l Symp., (1988), p.310.

- 16) Y. Tanaka, H. Matsumaru, K. Tsutsui, Y. Kaneko, H. Yamamoto, and T. Tsukada, Ext'd Abstracts of Japan Soc. Appl. Phys., (Autumn Meeting 1988), p.378 (in Japanese).
- 17) M. Sasuga, K. Suzuki, M. Satoh, T. Futami, and N. Konishi, Proc. Intn'l Display Research Conf., (1989), p.510.
- 18) K. Ono, T. Tanaka, N. Konishi, and J. Ohwada, Trans. IEICE Pt.C-II J73-C-II, 687 (1990).
- 19) M. Tsumura, M. Kitajima, K. Funahata, Y. Wakui, R. Saito, Y. Mikami, Y. Nagae, and T. Tsukada, Digest of Tech. Papers SID Intn'l Symp., (1991), p.215.

第6章 a-Si TFT/LCDの 直流電圧相殺駆動と表示特性

6.1 はじめに

a-Si TFT/LCDの画素電圧には直流電圧成分が含まれることを第5章に述べた。この直流電圧は、TFTのソース・ゲート間の寄生容量 C_{gs} と液晶容量 C_{lc} の容量結合により、ゲートパルスが画素電極に漏れ込むことによって生じるものである。開発当初には、この種の直流電圧がLCDに与える影響として、寿命劣化が最も懸念された。実際、従来の単純マトリクス型LCDでは、液晶を直流電圧により駆動すると、電極溶出などによる抵抗低下が発生すると考えられてきた。そして、その直流電圧の値としては、3V以下とすることが要求された。

しかしながら、TFT/LCDの場合には、この直流電圧による液晶の寿命劣化は軽減されることが分かった。これは、第5章に明らかにしたように、直流電圧は高抵抗なSiN保護膜に吸収されるためである。一方、このSiN保護膜に印加された電圧は表示特性上の別の問題の原因となることも明らかになった。それらの問題は、焼き付き、フリッカなどである。そこで、これらの問題を解決するために、駆動方法の検討により抜本的な対策を行うことになった。

本章では、上記の検討の結果得られた新しい駆動方式である直流電圧相殺方式（CBC方式：Cancellation of dc Bias voltage by an extra Capacitor）について述べる。この駆動方法は、従来駆動では避けられなかった直流電圧を原理的にゼロとすることを可能にするものである。¹⁾

以下では、まず表示特性上の問題点である焼き付き、フリッカなどの発生機構と直流電圧との関係を議論する。

次にCBC方式の原理とそれを適用した5" TFT/LCDの試作について述べる。CBC方式は、従来の作製プロセスを変更せずに各画素に設けた付加容量と3値を取るゲートパルスを利用するものである。ここではこの付加容量の設計指針についても言及する。

最後に、CBC駆動方式による5" TFT/LCDの表示画質の評価結果についてまとめる。CBC駆動の結果、フリッカノイズの低減と焼き付きの大幅な低減を達成することができることを示す。

6. 2 直流電圧成分と表示特性への影響

5” 液晶カラーテレビの試作・製品化を通じて明らかになった表示特性上の問題点としては、焼き付き、フリッカなどが主なものとして挙げられる。本節では、これらの問題点の原因と推定される画素電圧の直流電圧成分について述べ、それとのかかわりにおいて上記の各問題点を論ずる。

6. 2. 1 直流電圧成分

図6. 1を用いて画素電圧に含まれる直流電圧の発生機構の要点をまとめておく。なおこの議論の詳細は、5. 3. 1節 [c] に述べたとおりである。

a-Si TFTの主キャリアである電子の移動度は、通常 $0.3 \sim 1 \text{ cm}^2/(\text{Vs})$ であるので、チャネルの形状比 (W/L) を十分に小さくすることができない。そのためTFTのゲート・ソース間には画素容量 C_{px} に対して無視できない寄生容量 C_{gs} が存在する。²⁾ この容量 C_{gs} を介して画素部にゲートパルスの漏れ込みが生ずる。その大きさ ΔV_1 は、 C_{gs} と C_{px} の比で決まり次式で与えられる。

$$\Delta V_1 = C_{gs} \cdot (V_{gh} - V_{gl}) / (C_{gs} + C_{px}) \quad \cdots \cdots \cdots (6. 1)$$

この式は式(5. 1)と同じであるが、ここでは遮光膜を用いないのでドレイン・ソース間寄生容量の C_{sd} を省いてある。図6. 1にはこの漏れ込み電圧を考慮した駆動波形を示してある。このゲートパルスの漏れ込みは、パルスの立上り時、立下り時いずれの場合にも生ずるが、立下り時の漏れ込み分がそのまま保持される。なぜなら、ゲートパルス立上り時の漏れ込み分は、それに続くTFTのオン期間にデータ信号で置換されるのに対し、ゲートパルス立下り時の漏れ込み分は、それに続くTFTのオフ期間にわたって画素電極と共通電極の間に印加され続けるからである。したがって、液晶を駆動する交流成分に直流成分が重畳された電圧が画素電圧となる。³⁾ この直流成分は以下に述べるようにフリッカ、焼き付きの原因となるので対策が必要である。

ところで、この直流成分は、画素電圧と対向電極の電圧 V_{com} の差に含まれるので、式(6. 1)で見積もられる ΔV_1 の大きさだけ全画素共通の V_{com} を画素信号の中心値 V_{d0} から予めずらしておけば、直流成分の大きさを低減することができる。しかしながらこの方法は、依然として図6. 1に見られる画素電極上の信号波形の歪みを許容するものであることに変わりはない。しかもこれまでは特に触れなかったが、液晶層に印加される電圧によって液晶容量 C_{lc} ひいては画素容量

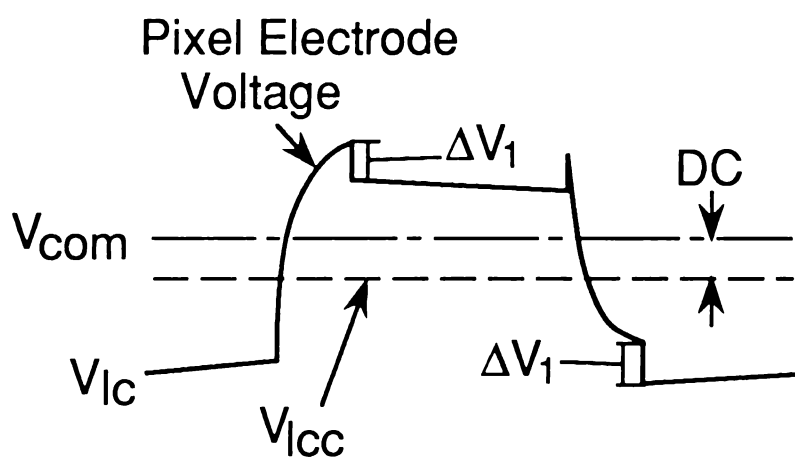
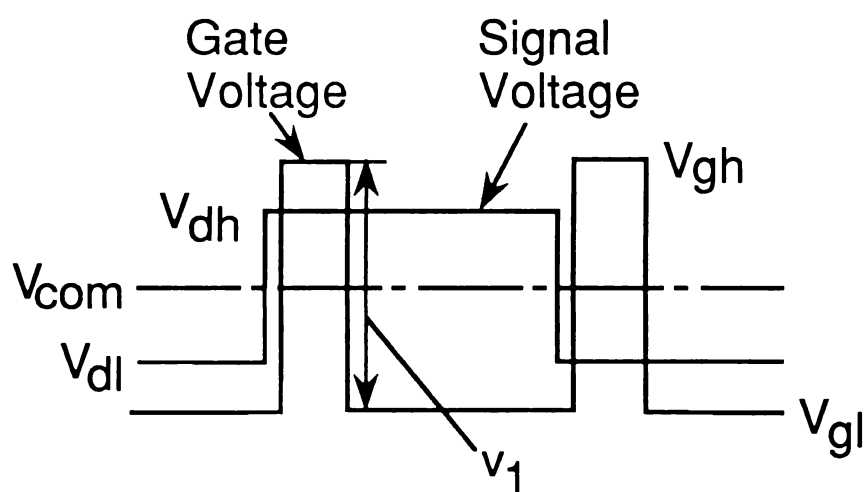
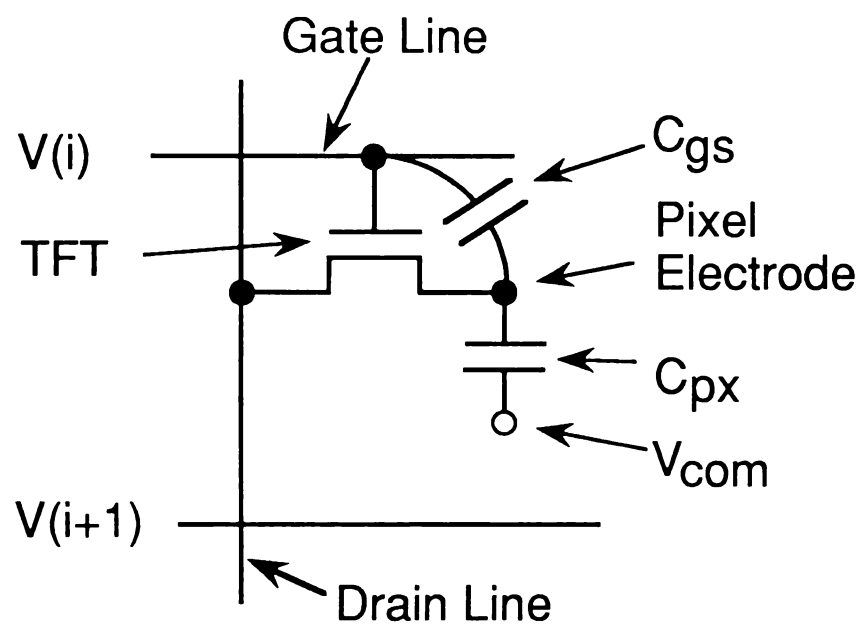


図6.1 直流電圧成分の発生機構

C_{px} が変化することに注意が必要である。この容量変化を考慮に入れると、表示される画像に依存する直流成分を各画素に引き起こすことが分かる。すなわち、上記のような V_{com} の調整だけでは、直流電圧成分を完全に取り去ることができない。その他 ΔV_1 を小さくするには、画素容量と並列に付加容量 C_{add} を追加することも有効である。なぜなら、 C_{add} 付加により等価的に画素容量を大きくすることが可能になり、したがって、式(6.1)右辺の分母を大きくすることができるからである。更に有効な方法は、付加容量 C_{add} を利用する新ゲート駆動波形(CBC波形)を用いるものである。単に付加容量を設けるだけでは有限な大きさの ΔV_1 が残るのに比べ、CBC駆動では V_{com} の調整が不要かつ直流成分を原理的にゼロにまで低減することが可能である。その詳細は、6.3節に述べる。

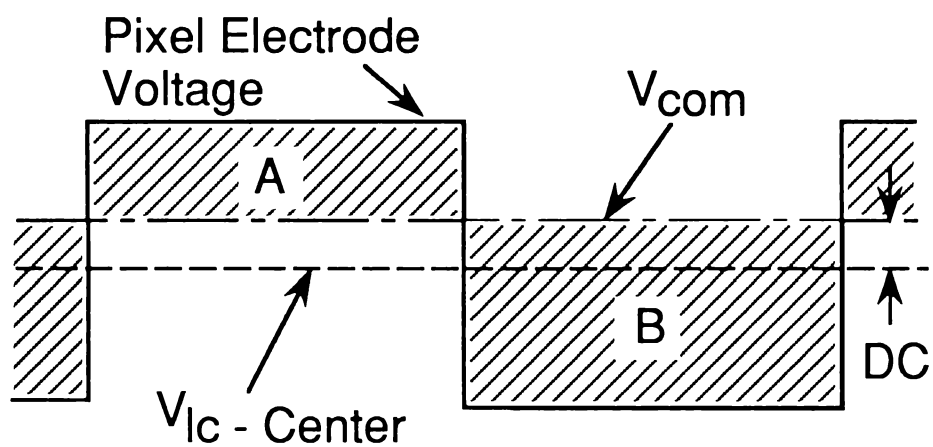
6.2.2 焼き付き

焼き付きとは、数分間同一のパターンを表示した後、中間調表示をした場合にそのパターンが長時間にわたり残存する現象である。焼き付いた画像はポジ画像であり、焼き付き試験画像と白黒が一致する。この焼き付き現象は、 $V_{com} - V_{d0}$ の絶対値を意図的に大きくして、直流電圧成分を大きくするとより顕著になる。この現象の発生機構としては、直流電圧成分によるITO画素電極上のパッシベーション膜(SiN)中への電荷蓄積と、その放電現象が最も疑わしい。すなわち前節に述べたように、焼き付き表示画像に対応する直流電圧成分が各画素に印加されるが、それに応じた量の電荷の蓄積、放電が生じると考えられる。これにより、画像信号電圧にその蓄積電荷に応じた電圧が重畳されるため、焼き付き現象が発生すると推測される。焼き付け試験後、ディスプレイパネルを60℃程度の高温にすると正常画像への回復が速くなることが確認されている。上記の機構仮説に従えば、この結果は高温で蓄積電荷が放出されやすくなるものと解釈される。しかしながら、焼き付き現象の機構に関与する直流電圧成分以外の因子として、液晶セルギャップ、液晶材料などもあり、発生機構全体の解明はまだできていない。

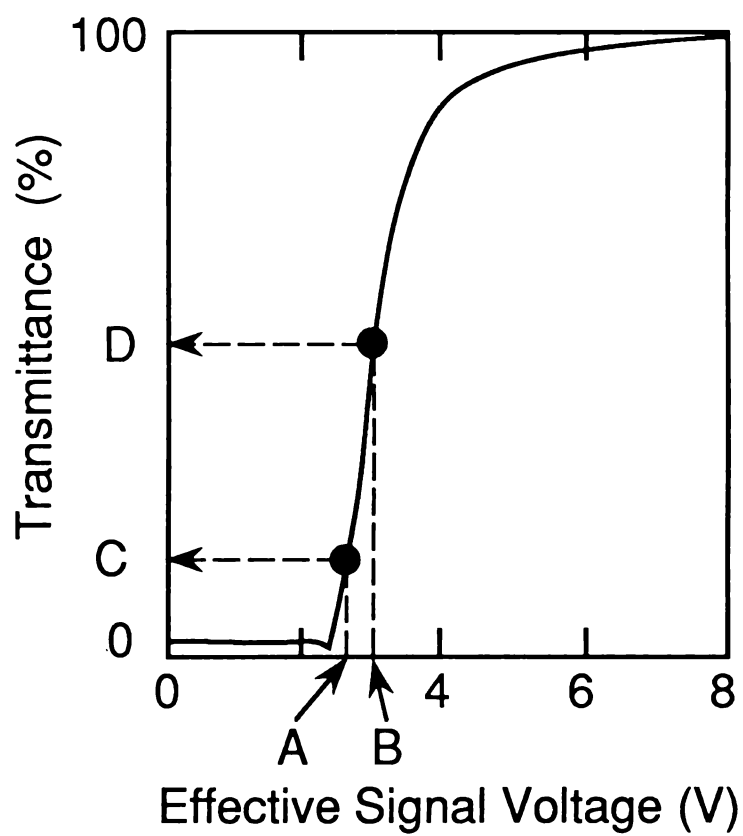
6.2.3 フリッカ

フリッカは画面のちらつきである。目視によって認められるこのちらつきは30Hz以下の低周波成分によるものである。フリッカの定量評価によると、画素部印加の直流成分とフリッカ30Hz成分の大きさが密接な相関を持つことが報告されている。^{4,5)} この関係は次のモデルで説明される。

図6.2(a)は、 ΔV_1 を考慮に入れたときの液晶層印加電圧である。通常、液



(a) 駆動波形



(b) 電気光学特性

図6.2 フリッカの発生機構

晶は交流成分に応答するとされているが、それは長時間の平均をした場合である。この応答を単位周期（33 ms）でみると、液晶は正極性信号に対しては、斜線部 A に、負極性信号に対しては斜線部 B に対応する実効値で駆動される。その結果、図 6. 2 (b) の電気光学特性においては、透過率が点 C と点 D の間を周波数 30 Hz で変化し、表示画面には明暗の変化が生じる。この明暗の変化は十分低周波であるので、これを目視するとちらつきと観測される。

さらに、フリッカは、時間経過とともにその程度が次第に小さくなることが分かっている。これは上記のモデルでは、次のように解釈される。すなわち第 5 章に記したように、漏れ込み電圧 ΔV_1 に起因する直流成分が次第に ITO 電極上の高抵抗 SiN 膜に吸収され、上記の A と B に対応する実効値が等しくなるという機構に基づく現象である。

上記のように信号の正負の極性に対して、その実効値の非対称性が大きいときは、それがフリッカの発生要因となるが、この非対称性は直流電圧成分を取り除くことにより大幅に改善され、したがって、フリッカも十分に低減することが可能になる。

6. 3 直流電圧相殺駆動方式（CBC 駆動）

以上述べたように、直流電圧成分は表示欠陥の原因となるので、これを低減しなければならない。ここでは、CBC 駆動により漏れ込み電圧 ΔV_1 を低減する方法について述べる。CBC 駆動は、各画素に付加容量 C_{add} を設け、これを介して寄生容量 C_{gs} による電圧漏れ込み ΔV_1 を相殺する逆極性の電圧漏れ込みを画素電圧に発生させることが可能なゲートパルスを使用する駆動方法である。¹⁾

6. 3. 1 付加容量の設置法

付加容量を設置した画素の構造を図 6. 3 の平面図及び A-A' 断面図で示す。付加容量を形成するにあたり、電極の一方は画素電極、もう一方は隣接するゲート電極とする。誘電膜にはゲート絶縁膜を用いる。この方法によると、従来の TFT 作製プロセスをなんら変更する必要がなく、簡単なパターン修正によって付加容量を設置できるという利点がある。しかし図 6. 3 の平面図に明らかなように、この方法によると開口率が低下するので、むやみに C_{add} 値を大きくすることはできない。詳細なパターン設計によると、この開口率の低下は 1 pF の C_{add} あたり約 7. 3 % である。

この付加容量は CBC 駆動に使われるばかりではなく、画素容量を大きくする効果をも有するので画像信号の保持特性も向上させることができる点に留意しておく。

6. 3. 2 C B C 駆動原理

図 6. 4 を用いて C B C 駆動法の原理を説明する。(a) の一画素の等価回路に示されるように C_{add} は画素電極と次段のゲート線の上に形成されている。同図 (b) には、実際に用いるゲート駆動波形を記してある。この駆動波形の特徴は、3 値をとっている点である。これは、従来のゲートパルスのレベル V_{gh} , V_{gl} に新たにレベル V_{gm} を加えたものである。この波形を用いた駆動は以下のとおりである。ゲート線 i に T F T をオンさせるパルス v_1 が加わるときに、これと同期させて次段のゲート線 $i + 1$ には、逆極性のパルス v_2 を印加する。この逆極性のパルスが C_{add} を介して画素部に漏れ込み、画素電圧は直流成分を含まない波形となる。

より詳細に示すと、C B C 駆動によれば各時刻 $t = t_1 \sim t_4$ における画素部への漏れ込み電圧 $\Delta V(1) \sim \Delta V(4)$ は次式に従う。

$$t = t_1: \quad \Delta V(1) = - (C_{gs} / C) \cdot v_2 \quad \cdots \cdots \cdots (6. 2)$$

$$t = t_2: \quad \Delta V(2) = + (C_{gs} / C) \cdot (v_1 + v_2) - (C_{add} / C) \cdot v_2 \quad \cdots \cdots \cdots (6. 3)$$

$$t = t_3: \quad \Delta V(3) = - (C_{gs} / C) \cdot v_1 + (C_{add} / C) \cdot (v_1 + v_2) \quad \cdots \cdots \cdots (6. 4)$$

$$t = t_4: \quad \Delta V(4) = - (C_{add} / C) \cdot v_1 \quad \cdots \cdots \cdots (6. 5)$$

ここに、 $C = C_{gs} + C_{px} + C_{add}$ 。書き込み特性が十分であれば、画素部への漏れ込み電圧は時刻 t_3 と t_4 のみで決まり、最終的な漏れ込みの総和 ΔV_{px} は、

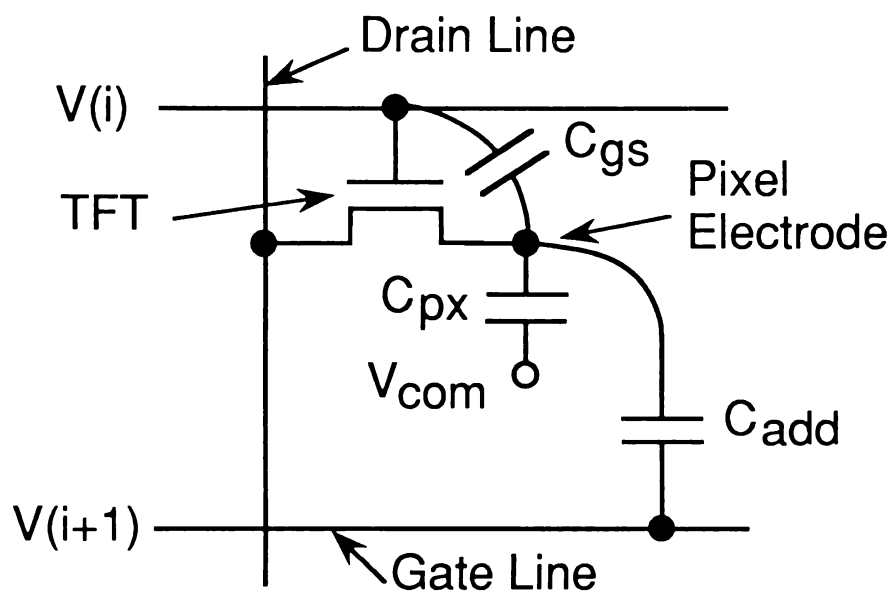
$$\begin{aligned} \Delta V_{px} &= \Delta V(3) + \Delta V(4) \\ &= (C_{add} \cdot v_2 - C_{gs} \cdot v_1) / C \quad \cdots \cdots \cdots (6. 6) \end{aligned}$$

で表される。特に v_1 と v_2 が次式を満たすように調節されれば $\Delta V_{px} = 0 \text{ V}$ とすることができる。

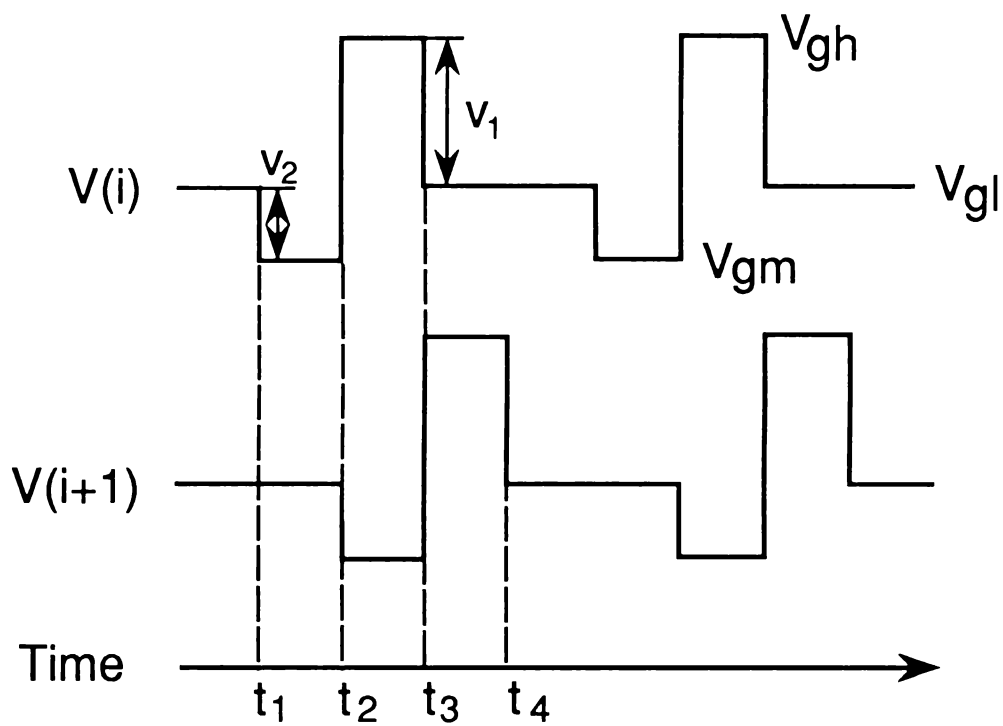
$$C_{add} = C_{gs} \cdot v_1 / v_2 \quad \cdots \cdots \cdots (6. 7)$$

また、式 (6. 6) で、 $C_{add} = 0$ のときは式 (6. 1) になることも明らかである。以上が、C B C 駆動の基本原理である。

本 C B C 駆動の原理は、既に S u z u k i ⁶⁾ によって報告されているものと基本



(a) 画素構成



(b) 駆動波形

図6.4 C B C 駆動

的に等価である。しかしながら、両者の間には以下のような明確な差異がある。

Suzukiの方法によれば、負極性パルスは従来のゲート駆動の立下がり部に付加される。したがって、付加容量は次段ではなく、図6.5に示すように前段のゲート線に接続される。i番目のゲート線に接続された画素の電圧 $V_{lc}(i)$ が急激に変化するとき、付加容量 C_{add} との結合により、i-1番目のゲート線の電位は過渡的に上昇する。したがって、前段のゲート線に接続されたTFTはこの偽信号によりオン状態になり、i番目の画素に加えるべき画像信号がi-1番目の画素にも印加されてしまう。このように、i番目の画素とi-1番目の画素へのビデオ信号がクロストークを発生し、画質が劣化する。

CBC駆動はクロストークが小さい点で有利である。図6.4の時刻 $t = t_2$ において、i+1番目ゲート線に接続された画素の電圧にも、上と同様 C_{add} を介したクロストークが生じている。しかしこの場合は、クロストークの発生直後すなわち $t = t_3$ には、画素電極には新しい画像信号が伝達される。したがって、CBC駆動においては表示画像への影響が最小に抑制されており、より有効な駆動方式と考えることができる。

6.4 CBC駆動の実験結果と検討

6.4.1 実験用LCD

CBC駆動波形は3値を用いるが、これを実現する駆動ICは現在ない。そこで日立製液晶表示用ドライバHD61104を2個用いてゲート線を一本おきに交互に駆動させ、CBC波形を作った。その他の構成は、第5章に述べた5"液晶カラーテレビの製品仕様を流用した。基本構成を図6.6に示す。データドライバは沖電気製5320、5321を使用し、パネル表示部は上半分に付加容量 C_{add} を設け、下半分を従来の画素と同一にし表示画質の同時比較評価を可能にした。

6.4.2 実験結果

[a] CBC駆動の確認

まずCBC駆動の確認実験を行った。

漏れ込んだ直流電圧の大きさは、信号電圧の中心値 $V_{d0} = (V_{dh} + V_{dl}) / 2$ と、 V_{d0} に対し直流電圧成分を含む画素電極電圧 V_{lc} の平均値 V_{lcc} との間の電圧差で定義される。したがって、 ΔV_{px} の大きさは、対向電圧 V_{com} をプローブにして実測が可能である。すなわち、 V_{com} を V_{lcc} に等しく調節設定すれば、 $\Delta V_{px} = V_{lcc} - V_{d0}$ となる。 V_{com} を V_{lcc} へ調節するには、まず

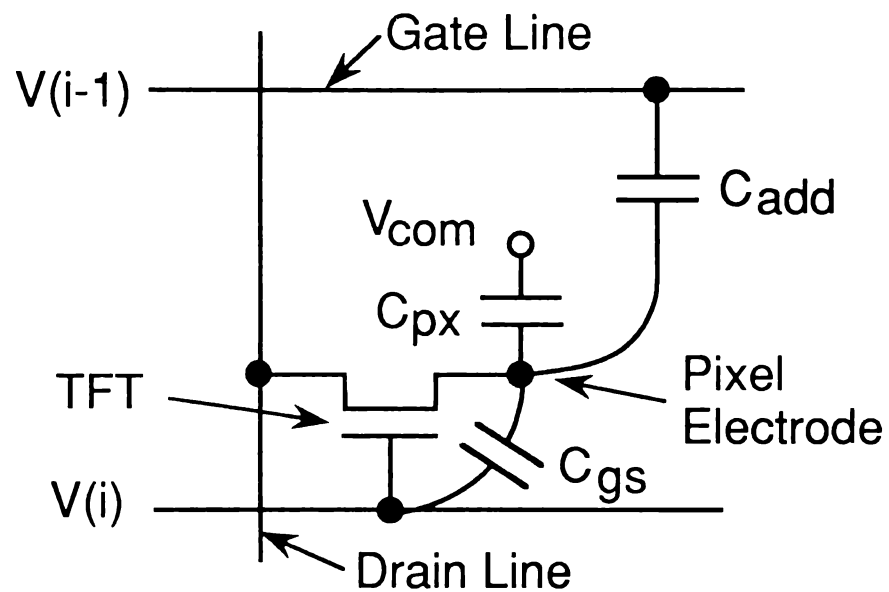


図6.5 従来の画素構成例

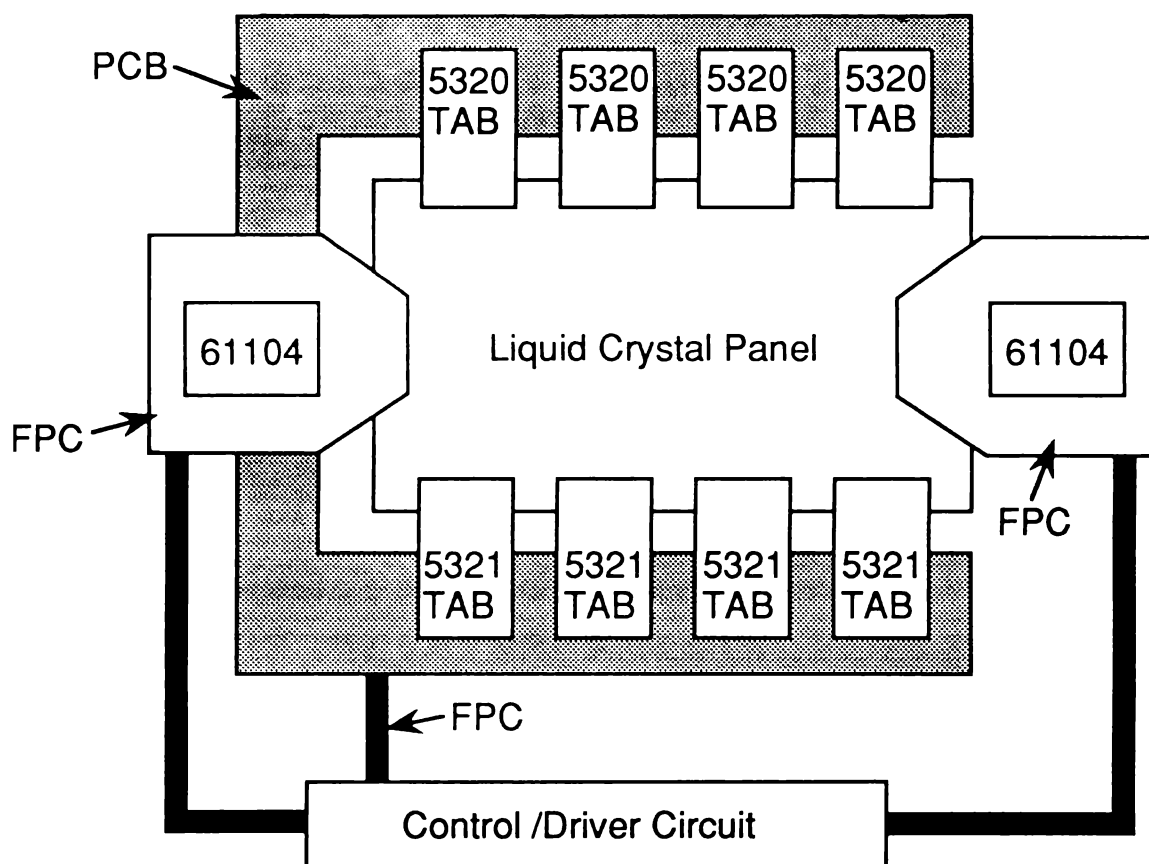


図6.6 CBC駆動パネルの基本構成

TAB: Tape Automated Bonding

FPC: Flexible Print Circuit

PCB: Print Circuit Board

5320,5321: 沖電気製ドライバ

61104: 日立製ドライバ

画面に白黒のストライプパターンを表示し、その画面輝度を輝度計で測定してコントラスト比を最大となるようにすればよい。なぜなら、 V_{com} と V_{lcc} の差が小さいと、画像信号へ混合されるノイズも小さくなり、黒パターンの輝度劣化が抑えられ、コントラスト比が大きくなるからである。

漏れ込み電圧 ΔV_{px} の負極性パルス振幅 v_2 に対する依存性を求め、式(6.6)の妥当性を調べた。結果を6.7に示す。同図には式(6.6)による計算値も記してある。計算条件は、 $v_1 = 19.5\text{ V}$ 、 $C_{add} = 0.5\text{ pF}$ である。実験結果と計算の一致は良好であり、CBC駆動が設計どおり動作していることが確認される。

また、駆動原理から明らかなように、正常なCBC駆動を行うには時刻 $t = t_3$ のパルスタイミングが重要である。直流電圧相殺用の負極性パルスは、前段のゲート線に接続されたTFTがオン状態にあるときに印加されても効果がない。TFTオン状態では、画素電極の電位は信号電圧に保たれるので、 C_{add} を介する負極性パルスの電圧漏れ込みは直ちにその信号電圧に補正されることになる。これを実験によって調べた結果を図6.8に示す。前段のゲートパルスの正極性パルスに対する負極性パルスのずれ t_m をパラメータとして、漏れ込み電圧 ΔV_{px} を上の方法で求めたものである。TFTが十分にオフ状態になって、CBC駆動の効果が得られるのは t_m が数 $\mu\text{ s}$ 以上であることが分かる。

[b] 焼き付き低減

対角5"のTFT/LCDをCBC駆動して評価を行った結果、大幅な表示画質の向上を達成した。

このCBC駆動による画質向上の例として、第1に焼き付き現象の抑制効果について述べる。実験においては、まずある所定の画像を焼き付け、次にその減衰時を測定した。その手順の詳細は以下のとおりである。

黒地に白窓を開けた画像を3分間表示して焼き付ける。このときの黒部と白部の透過率はそれぞれ2%、60%である。次に、正常な状態で全画面一様の透過率30%の中間調表示が得られる画像信号に切り換える。この画面表示信号の切り換え前後の輝度の経時変化を追跡し、焼き付きの減衰時間を測定する。この減衰時間の定義は、黒部と白部の透過率の差が1%未満になるのに要する時間とした。この透過率の差1%は、目視で気にならない状態という経験的な基準で設定したものである。画像を焼き付けるときの条件としては、 V_{com} と V_{d0} の差で定義されるバ

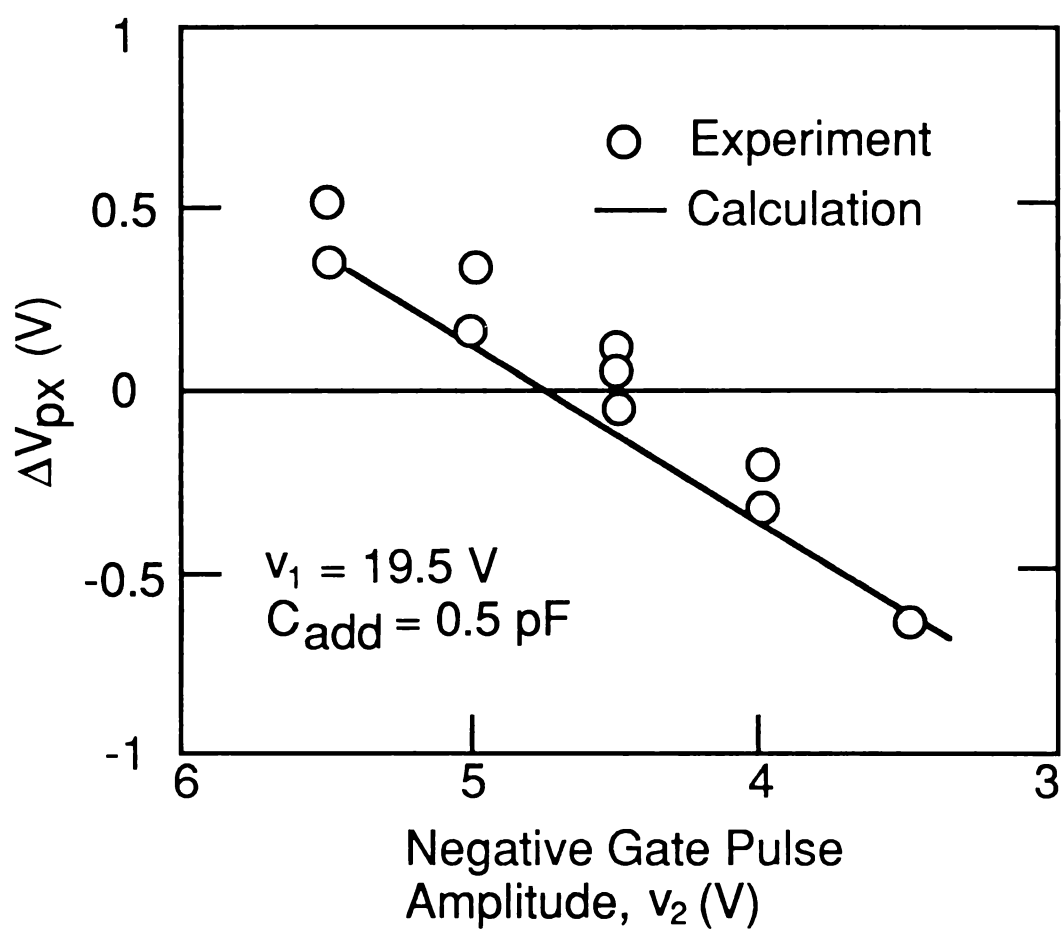


図6.7 ΔV_{px} の負極性パルス振幅依存性

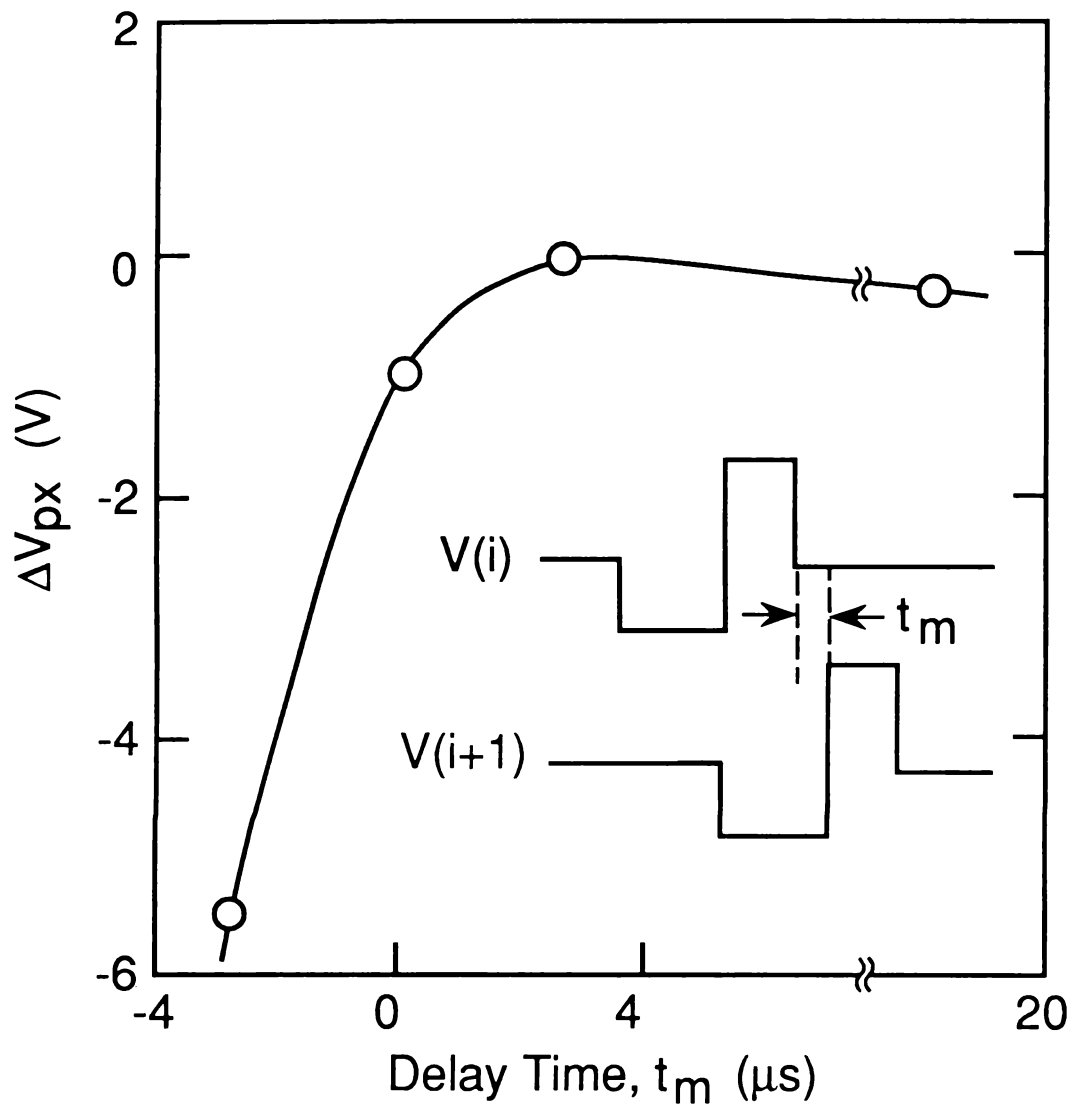


図6.8 ΔV_{px} のパルスタイミング依存性

イアス電圧を変化させた。ここに V_{d0} は -5 V の固定値である。その他のパラメータとしては、 $v_1 = 19.5\text{ V}$ 、 $v_2 = 5\text{ V}$ 、 $C_{add} = 0.5\text{ pF}$ を用いた。CBC 駆動と対照させるための従来駆動では、これらの値はそれぞれ 25 V 、 0 V 、及び 0 pF とした。

減衰時間とバイアス電圧成分の関係を調べた実験結果を図 6. 9 に示す。焼き付き画像の減衰時間は、バイアス電圧に大きく依存し数秒から数分にわたることが示されている。従来駆動と CBC 駆動のいずれの場合にも、最小値を有する依存性である。このように最小値を取るのは、 $V_{com} = V_{lcc}$ になるとき、すなわち直流電圧成分がゼロになるときである。 V_{lcc} は CBC 駆動の場合 $V_{d0} + \Delta V_{px}$ となり、従来駆動の場合 $V_{d0} - \Delta V_1$ となる。直流電圧成分が小さいほど、 V_{lcc} は V_{d0} に近づく。CBC 駆動はこの直流電圧成分を低減する方法であるので、上記の最小値がバイアス電圧ゼロ付近にあるのは、この方法が有効に機能していることを示すものであり、極めて妥当な結果である。

減衰時間の最小値を比べると、CBC 駆動の場合は従来駆動に比べ 2 桁ほど小さい。この 2 つの最小値に見られる大きな差は、白黒両パターンの箇所での直流電圧の差が、従来駆動と CBC 駆動との間で異なることによる。この結果によれば、 V_{com} が V_{lcc} に等しいときであっても、画素電極と対向電極間に直流電圧成分が残ってしまい、それが上記両駆動方法で異なることが示唆される。この残存する直流電圧の原因としては、寄生容量 C_{gs} あるいは画素容量 C_{px} が信号振幅に依存して変化するためと考えられる。その詳細は以下のとおりである。

TFT のゲート・ソース間電圧は信号振幅によって変化するため、寄生容量 C_{gs} も MIS 容量の $C-V$ 特性に応じて変化する。白表示部の信号電圧振幅は 4 V であるので、信号の極性に応じた電圧レベルは $V_{d0} \pm 4\text{ V}$ である。これら正負両極性の信号に対応する C_{gs} の値は、それぞれ 0.09 pF 、 0.15 pF である。一方これに対し、黒表示部での信号電圧振幅は 0 V であり、 C_{gs} の値は、 0.13 pF である。画素容量 C_{px} も信号電圧振幅に依存する。これは、液晶の誘電率の異方性によるもので、液晶層に加わる実効電圧が大きいとき最大となる。白黒両パターンに対応する C_{px} の典型的な値は、それぞれ 0.25 pF 、 0.33 pF である。

これらの値を用いると残存する直流電圧成分の大きさを求めることができる。式 (6. 6) 及び (6. 7) によれば、CBC 駆動時の残存する直流電圧成分の大きさ、すなわち白表示部と黒表示部の ΔV_{px} の差は 0.05 V 以下となる。また従来駆動におけるこの ΔV_{px} の差は式 (6. 1) より 0.55 V と見積もられる。

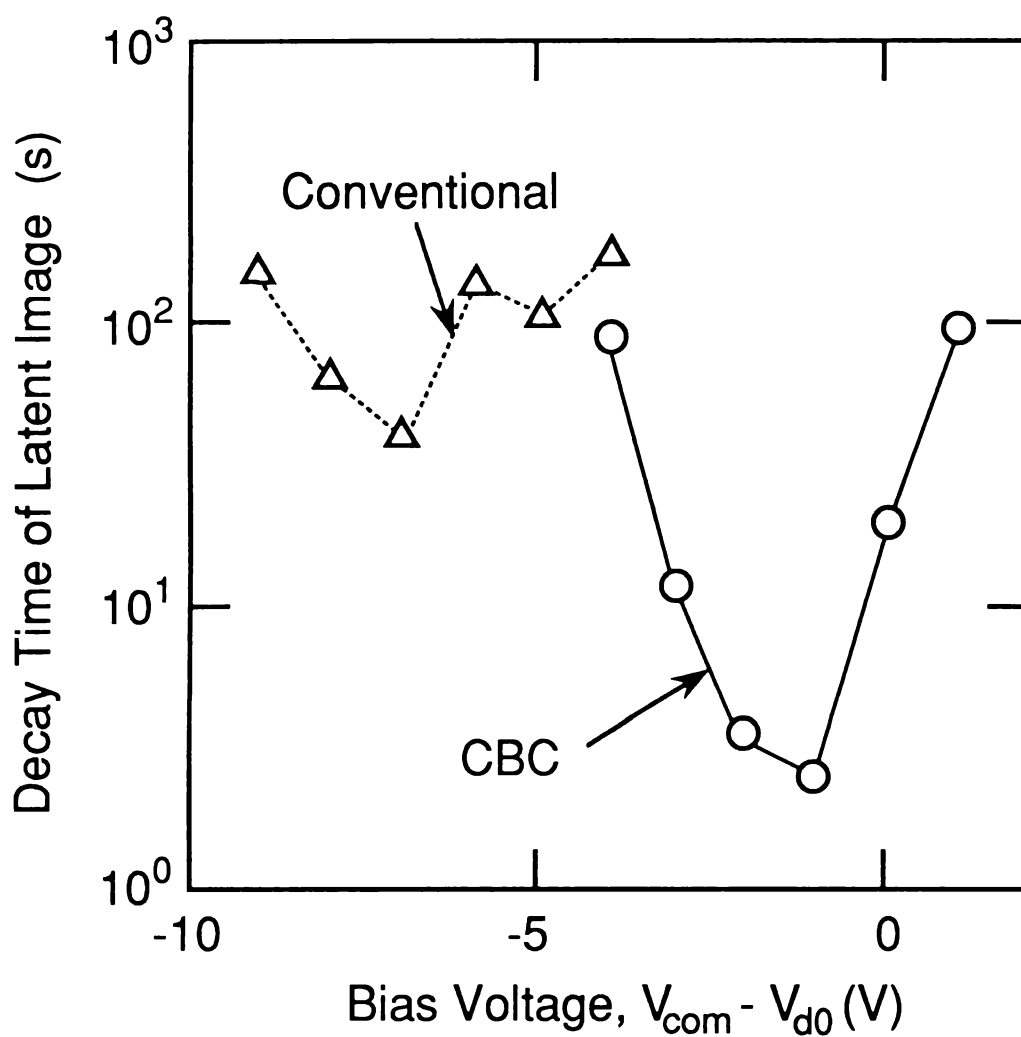


図6.9 焼き付き減衰時間のバイアス電圧依存性 ($V_{d0} = -5$ V)

この差が、上記の減衰時間の差の原因であると考えられる。

図6. 10に焼き付きの状況を写真により示す。これは、標準試験パターンを焼き付けたものであり、画面上部がC B C駆動、下部が従来駆動である。画面左右の違いはパネル構造上の差違によるものであり、ここでは詳細を述べない。左右いずれの場合も焼き付きに関しては、同じ傾向を示すものである。さて6. 2. 2節に述べたように、焼き付きの正確なメカニズムは解明されていない。ただし本節の結果によれば、直流電圧が密接に関与していることは明らかであり、次のような過程が最も疑わしい。すなわち、『直流電圧が画素電極と対向電極の間の配向膜あるいはパッシベーション膜への電荷注入を引越し、信号電圧にノイズをもたらす。この電荷の放出に伴い、焼き付きが減衰する。』という過程である。

上の議論に明らかなように、従来駆動であっても大きな付加容量を設置することにより式(6. 1)の右辺の分母を大きくして、 ΔV_1 の値やそのパターン依存性も小さくすることができるので、焼き付き低減が可能であることに留意しておく。

[c] フリッカの低減

C B C駆動によるもう一つの効果としてフリッカ低減が確認された。実験は、経験的にフリッカの最も目立ちやすい透過率30%の中間調表示を用いて行った。その手順はまず中間調の様な画を表示し、この画面の輝度を検出する。次にその輝度信号をスペクトルアナライザを用いて周波数分解し、信号に含まれる30Hz成分を求める。この30Hz成分がフリッカの大きさを表す。

このフリッカのバイアス電圧 $V_{com} - V_{d0}$ 依存性を図6. 11に示す。フリッカの大きさは、30Hz成分の信号の振幅をとった。駆動電圧は、焼き付きの実験に用いたのと同じ条件を用いた。フリッカもバイアス電圧に大きく依存して、C B C駆動、従来駆動にかかわらずいずれも最小値を持つ特性となる。これらの最低レベルは、焼き付きの減衰時間が最小となる条件とはほぼ同じバイアス電圧で得られている。Suzukiらの結果⁶⁾に反し、C B C駆動と従来駆動でフリッカの最低レベルには大きな差はない。しかしながら、C B C駆動法にはなお利点が認められる。それは、 V_{com} 設定値の最適な範囲が拡大する点である。これは、焼き付きと同じく残存する直流電圧成分の大きさに依存するものと考えられる。

直流電圧成分によるフリッカの増大については、6. 2. 3節に記した機構に加え、次のような機構が考えられる。第5章に論じたように、直流電圧成分が大きいときは、信号の極性によってT F Tの信号伝達特性の非対称性が拡大する。信号の極性は30Hzで変化するので、結果として画素電圧にも30Hzの非対称性がも

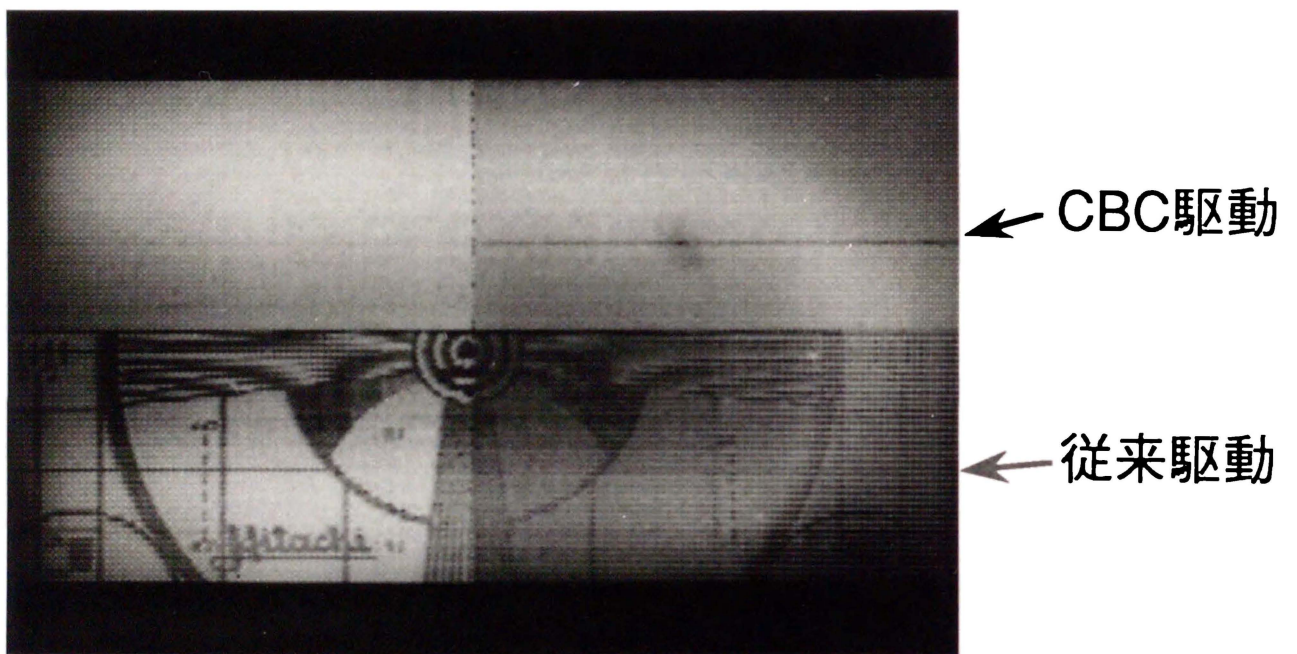


図6.10 焼き付き実験画像例
(標準試験パターン3分間焼付け後)

注) 画面左右の違いは、C B C 駆動とは無関係
パネル構造の違いによる

たらされ、フリッカも増加することになる。したがって、残存する成分も含めて直流電圧成分が小さいほど、フリッカも小さくなる。

その他、高抵抗の保護膜があるとはいえ、直流電圧成分が液晶の寿命にとって望ましくないことは、本質的に変わりがない。CBC駆動によれば、直流電圧成分 ΔV_{px} を低減させることにより、液晶の長時間寿命を確保することが可能になる。すなわち、長時間の直流電圧印加による液晶材料の電気化学的な分解の進行を妨げることができる。

さらに、CBC駆動にはゲート駆動波形のパルス振幅を小さくすることができるという効果がある。これは、 ΔV_{px} がほぼゼロになるため、第5章の式(5.1)(5.2)に表されるデータ電圧の最小値 V_{min} とゲートパルスの低レベル V_{gl} に課せられる条件が緩和されることによる。このパルス振幅の縮小には、消費電力の低減、ドライバICへの負荷軽減といった効果がある。これらの観点からも、CBC駆動はa-Si TFT/LCDに好適な駆動方法であると考えられる。

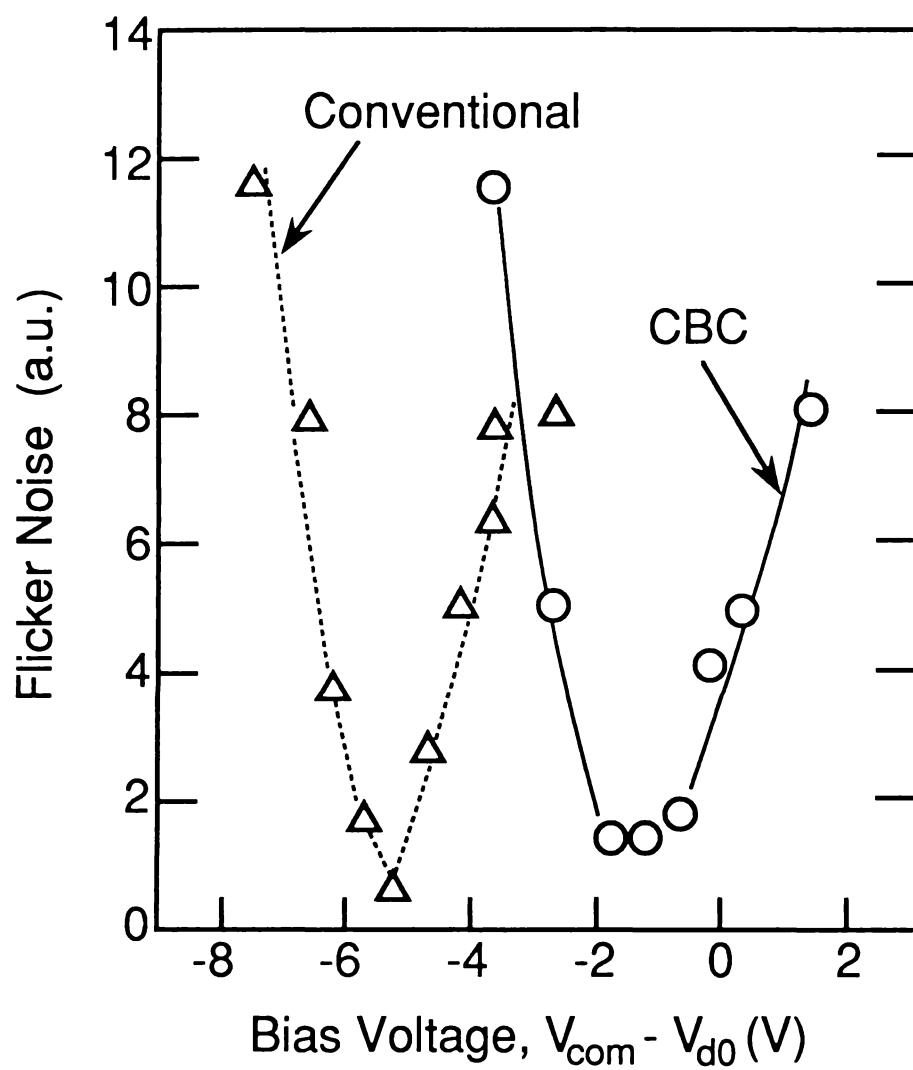


図6.11 フリッカのバイアス電圧依存性
($V_{d0} = -5$ V)

6. 5 まとめと今後の課題

a-Si TFT/LCDの表示画質の改善を目的として、各画素に印加される直流電圧成分に着目し、これを低減することが可能な新しい駆動方法(CBC駆動)を考案した。実際にこの駆動方法を5”液晶カラーテレビに適用し、焼き付き、フリッカなど大幅な改善が可能なことを確認した。本章で得られた主な結果は、以下のとおりである。

- (1) a-Si TFTの寄生容量 C_{gs} に起因して画素電圧波形が歪み、LCDの画素には直流電圧成分が印加される。これが表示画質に及ぼす影響を考察した結果、焼き付き、フリッカなどの原因となり得ることが判明した。
- (2) 上記直流電圧成分を取り除くことが可能な新しい駆動方法(CBC駆動)を考案した。CBC駆動は画素電極と次段のゲート線との間に、従来の作製プロセスの変更なく形成できる付加容量(C_{add})を設置し、ゲート駆動波形を従来の2値から3値に変えたものを用いることが特徴である。これにより、 C_{gs} による波形歪みを矯正することが駆動原理である。
- (3) 対角5”のTFT/LCDを用いてCBC駆動の動作実験を行い、表示画質に及ぼす効果を評価した。その結果、CBC駆動は設計どおり動作し、従来に比べ直流電圧成分を1/10以下に低減できることが確認された。さらに、CBC駆動は焼き付きの大幅な低減(従来比1/100以下)とフリッカに対する駆動電圧裕度の拡大などの効果を有することが見いだされた。

本検討によるCBC駆動は、表示画質の改善向上の観点からすると極めて有効である。しかしながら、所望のゲート駆動波形を発生するゲートドライバが提供されていないので、実用化には至っていない。将来のTFT/LCDの要素技術の有望な候補と位置付けられる。いずれにせよ、直流電圧成分の対策は必要であるので、その画質への影響が小さいデバイス構造の設計や材料の選択などを並行して進めることにより、対策を徹底的に施す必要がある。

参 考 文 献

- 1) Y. Kaneko, Y. Tanaka, N. Kabuto, and T. Tsukada, IEEE Trans. Electron Devices ED-36, 2949 (1989).
- 2) Y. Nasu, S. Kawai, S. Kisumi, K. Oki, and K. Hori, Dig. Tech. Papers SID Intn'l Symp., (1986), p.289.
- 3) F. Morin, Proc. Intn'l Display Research Conf., (1983), p.412.
- 4) T. Ogawa, Y. Miyata, S. Hotta, and T. Chikamura, Tech. Reports., (ITEJ, 1987), ED87-5 (in Japanese).
- 5) T. Yanagisawa, K. Kasahara, and M. Kajimura, Proc. Intn'l Display Research Conf., (1986), p.192.
- 6) K. Suzuki, Proc. Intn'l Display Research Conf., (1987), p.107.

第 7 章 結 論

本研究では、主としてLCDに応用する観点からa-Si TFTの特性検討を行い、それをLCD駆動に適用し実用に耐え得るTFT/LCDを実現した。主な結論を章別にまとめると以下のとおりである。

第1章では、TFT研究の歴史的な背景についてその概略を示し、LCD応用という今日的な意義を明確にした。本研究の目的が、(1) a-Si TFTの信頼性の確保、(2) LCD応用に適したオンオフ特性を有するa-Si TFTの構造と作製条件の検討、(3) TFT/LCDの設計法の確立と実現、(4) TFT/LCDの画質向上のための駆動方法の検討などであることを述べ、第2章以下の導入とした。

第2章では、a-Si TFTの基本構造と特性について述べた。そのうち特に、 V_t とオフ電流に特に密接な関係のあるバックバイアス効果、オフ電流を低減するために重要な知見を与えるa-Siの n^+ 層からi層への隣拡散現象、及び光照射によるTFTのオフ抵抗低下と平面構造の関係について得られた新たな知見を記した。さらに、将来のLCDの高精細化・大面積化に備え、電流駆動能力の増大が可能な、埋込2重ゲート構造を提案し、その効果を実験検証した。

第3章では、a-Si TFTのデバイスシミュレータについて論じた。a-Siのギャップ内準位の実測値を組み込んだ2次元シミュレータを開発し、TFTの $I-V$ 静特性を誤差10%以下の精度で計算可能なことを示した。また、同シミュレータを用いた計算により、スタガ構造特有の電流経路とS字型特性との関係や、電極配置と特性の関係などを明らかにし、オン抵抗の増大現象を解析した。

第4章では、a-Si TFTの信頼性の向上を目的として V_t ドリフトの評価を行った。まず V_t ドリフトの経験的な定式化を進め、それを引き起こす因子としてゲート電界が重要であることを明示した。次にTFTの作製条件の最適化により V_t ドリフトの低減に成功した。これによれば、特にa-Siの形成温度を300℃以上で V_t ドリフトが従来の1/3以下になることが判明した。さらに、TFTをLCDパネル駆動に応用した場合に、TFTに印加されるパルス電圧ストレスについて検討し、TFTの寿命推定法を確立した。この寿命推定法によれば、最適化されたTFTの V_t ドリフトは、 10^4 時間の駆動に対し $|\Delta V_t| < 1\text{ V}$ と見積もられ、十分実用に耐え得ることを明らかにした。

第5章では、a-Si TFT駆動によるLCDの実用化を目的として、設計法

を検討した。それを5型液晶カラーテレビ仕様のTFT/LCDに適用し、良好な解像度とコントラストを有する表示画質が実現可能であることを示した。特に設計においては、TFT/LCDの一画素のモデル化を行い、それを用いて従来不明であったTFTの $I-V$ 特性とTFT/LCDの表示特性の関係を詳細に解析した。この解析を通じ、TFTの寄生容量を介して画素に印加される直流電圧は、従来懸念されたように液晶の分解を促進するのではなく、高抵抗な絶縁膜に吸収されることを明らかにした。さらに、画像信号の書き込み動作に必要な駆動電圧条件、信号保持動作に必要な液晶層あるいはTFTのオフ特性に要求される詳細な仕様値を検討した。本設計モデルを用いた机上検討によれば、現状のTFT特性で対角10"級のディスプレイが可能であることが判明した。より大面積、高精細なディスプレイを実現するためには、移動度の向上が必須の条件である。

第6章では、駆動方法の検討により、画質向上を可能にするTFT/LCDの新しい構成法を示した。これは、作製プロセスの変更をすることなく各画素に付加容量を設置し、3値の新規ゲートパルスを使用する駆動方法である。これにより、各画素に印加される直流電圧を従来の $1/10$ 以下に低減した。この駆動方法の有効性を5" TFT/LCDを用いて調べ、焼き付き、フリッカの低減による大幅な画質改善を達成できることを示した。

本研究によって得られた結果の工学的意味を整理すると以下のようになる。

なお論文番号は、発表論文リストのものである。

[a] a-Si TFTの高性能化

a-Si TFT特性を改善する検討を通じ、a-Si材料について従来あった懸念を取り除き、その有用性を利用できる素地を固めた。

- (1) a-Si TFTの V_t ドリフトについての測定から、ゲート電界の重要性を考慮した一般的な評価方法を提案し、パネル上及び単体のTFTの寿命推定の方法と定式化を初めて行った。(主論文1, 2)
- (2) TFTの作製条件の最適化により、a-Si TFTの V_t ドリフトを実用レベルにまで低減しLCDに適用可能であることを明らかにした。特に、a-Siの堆積温度、SiN中のSiとNの組成比と V_t ドリフトの関連を系統的に明らかにした。(主論文1)
- (3) TFT特性の検討及び改善を行なった。まず、スタガ型a-Si TFTにおけるa-Siの背面の電位に着目し、この電位が特性に及ぼす影響を初めて調べた。(主論文3) 次に、オフ特性を確保した。第1に、a-Siの積

層温度 320℃において、 n^+ 層中の磷 (P) 原子が i 層中に拡散し、これにより i 層の抵抗が低下することを明らかにした。この結果を踏まえた作製条件の最適化を行い、TFT の良好なオフ特性を確保することが可能になった。

(参考論文 1) 第 2 に、 $a-Si$ TFT のオフ特性に及ぼす光照射の影響を調べ、高いオフ抵抗を確保する構造を明かにした。(参考論文 2) さらに、TFT のオン電流を従来比で 3～5 倍に増大させることが可能な埋込 2 重ゲート構造の $a-Si$ TFT を提案した。(主論文 4)

(4) スーパーコンピュータ上で動作する $a-Si$ TFT 特性の 2 次元デバイスシミュレータを開発しデバイス設計の効率を増大させた。これは、実用に耐え得る TFT シミュレータの先駆的な結果である。(参考論文 3) さらに、そのモデルに基づいて、スタガ型 $a-Si$ TFT の特徴的な電流経路に起因するオン抵抗増大現象を解析し、実効チャネル長の増大効果として記述できることを明らかにした。(主論文 5)

(5) TFT の将来の移動度評価法として表面弾性波法に着目し、この方法の有用性を実験的に検証した。(参考論文 4, 5)

[2] $a-Si$ TFT/LCD を用いた 5" カラー TV の開発

(1) TFT の $I-V$ 特性と TFT/LCD の電気光学特性を結び付ける実際的な画素モデルを構築し、TFT/LCD の設計法を確立した。この設計法をカラー TV 仕様の 5" LCD の設計に適用し、試作により良好な表示画質を実現した。これにより、大画面 TFT/LCD の実用化の道を開いた。(主論文 6)

(2) TFT/LCD の各画素における直流電圧成分を低減することが可能な新しい駆動方法を提案し、焼き付き、フリッカの低減が可能なことを示した。(主論文 7)

なお、本研究は、1983 年から 1990 年にかけて行われたものであり、それにより得られた知見は、1987 年 12 月の 5" 液晶カラーテレビ、1990 年 4 月のラップトップコンピュータ用 10" データディスプレイのそれぞれの実用化に反映されている。

付 録

A. トラップ電子密度のモデル式

a-Si のギャップ内準位密度が、伝導帯側にサブピークを持たず、ひとつの特性エネルギー D_1 に特徴づけられる指数関数型の分布をするときのトラップ電子密度のモデル式、すなわち式 (3. 6) の解析式を導出する。

伝導帯電子密度 n_C は次式で与えられる。

$$n_C = N_C \exp((-E_c + E_f)/kT) \quad \dots\dots\dots (A. 1)$$

ギャップ内状態密度 $N(E)$ が

$$N(E) = N_T \exp((E - E_c)/D_1) \quad \dots\dots\dots (A. 2)$$

と表されるので、トラップ電子密度 Δn_T は

$$\begin{aligned} \Delta n_T &= \int_{E_v}^{E_c} N_T \exp((E - E_c)/D_1) / \{1 + \exp((E - E_f)/kT)\} dE \\ &= N_T kT \exp((E_c - E_f)/kT) \int_{(E_v - E_f)/kT}^{(E_c - E_f)/kT} \exp(kTx/D_1) / \{1 + \exp(x)\} dx \\ &\quad \dots\dots\dots (A. 3) \end{aligned}$$

となる。ここでパラメータ γ_0 を

$$\gamma_0 = kT/D_1 \quad \dots\dots\dots (A. 4)$$

で定義し、積分範囲の下限を $-\infty$ で置き換えて計算を進める。

(1) $0 < \gamma_0 < 1$ の場合

式 (A. 3) で $(E_c - E_f)/kT = \infty$ と置くことができ、

$$\Delta n_T = (\pi N_T kT / \sin \gamma_0 \pi) (n_C / N_C)^{\gamma_0} \quad \dots\dots\dots (A. 5)$$

を得る。

(2) $\gamma_0 = 1$ の場合

$$\Delta n_T = (n_C N_T k T / N_C) \ln\{1 + (N_C / n_C)\} \dots\dots\dots (A. 6)$$

(3) $1 < \gamma_0 < 2$ の場合

$$\begin{aligned} \Delta n_T = N_T k T \{ & (n_C / N_C) (\gamma_0 - 1) - \pi (n_C / N_C)^{\gamma_0} / \sin(\gamma_0 - 1) \\ & - (n_C / N_C) / (2 - \gamma_0) \} \\ & \dots\dots\dots (A. 7) \end{aligned}$$

第3章で述べたように、 D_1 の典型的な値は24.7 meVであり、 γ_0 は1に近い。このときは、 Δn_T は n_C にほぼ比例する。

B. TFT/LCD書き込み特性の解析

第5章に述べたようにTFTは非飽和領域で動作させる必要がある。ここでは非飽和領域における正極性及び負極性の信号書き込み動作の解析解について記す。

(1) 正極信号の書き込み

画素電極電圧 V_{lc} の時間経過は次式を解くことにより求められる。ドレイン電流の表式としてグラデュアルチャネル近似式を用いる。

$$I_d = dC_{px}(V_{lc} - V_{com})/dt + (V_{lc} - V_{com})/R_{px} \dots\dots\dots (B. 1)$$

$$I_d = \beta_0 \{ (V_g - V_{lc} - V_t)(V_d - V_{lc}) - (V_d - V_{lc})^2 / 2 \} \dots\dots\dots (B. 2)$$

式(B.1)(B.2)より、 V_{lc} に関する方程式は、

$$\begin{aligned} & (2C_{px}/\beta_0) \cdot dV_{lc}/dt \\ & = V_{lc}^2 - (2V_{lc}/\beta_0)(R_{px}^{-1} + \beta_0(V_g - V_t)) \\ & \quad + (2/\beta_0) \{ (V_{com}/R_{px}) + \beta_0(V_g - V_t)V_d - \beta_0 V_d^2 / 2 \} \\ & \dots\dots\dots (B. 3) \end{aligned}$$

となる。これを解くには式 (B. 3) の右辺=0 の解を用いる。

$$V_{Ic}^{\pm} = \{-P \pm (P^2 - 4Q)^{1/2}\} / 2 \quad \dots\dots\dots (B. 4)$$

ここに,

$$P = -(2 V_{Ic} / \beta_0) (R_{px}^{-1} + \beta_0 (V_g - V_t))$$

$$Q = (2 / \beta_0) \{ (V_{com} / R_{px}) + \beta_0 (V_g - V_t) \cdot V_d - \beta_0 V_d^2 / 2 \}$$

である。式 (B. 4) を用いた (B. 3) の解の表式は次のとおりである。

$$V_{Ic}(t) = (V_{Ic}^- - C V_{Ic}^+) / (1 - C) \quad \dots\dots\dots (B. 5)$$

$$C = \{ (V_{Ic}(0) - V_{Ic}^-) / (V_{Ic}(0) - V_{Ic}^+) \}$$

$$\times \exp\{(\beta_0 / 2 C_{px}) (V_{Ic}^- - V_{Ic}^+) \cdot t\} \quad \dots\dots\dots (B. 6)$$

解 (B. 5)(B. 6) で $t \rightarrow \infty$ を考えると $C \rightarrow 0$ であるから,

$$V_{Ic}(t) \rightarrow V_{Ic}^- = \{-P - (P^2 - 4Q)^{1/2}\} / 2 \quad \dots\dots\dots (B. 7)$$

となる。さらに、画素部でのリーク抵抗 R_{px} が十分大きく、P, Q の表式において $1 / \beta_0 R_{px} \ll 1$ かつ $V_{com} / \beta_0 R_{px} \ll 1$ がなりたつ場合は,

$$V_{Ic}(t) \rightarrow V_d \quad \dots\dots\dots (B. 8)$$

となり、100%書き込みを表す。 $R_{px} \sim 10^{15} \Omega$ に対し、 $\beta_0 \sim 10^{-7 \sim -8}$ S/V であるから、(B. 8) がほとんどの場合成り立つと考えてよい。

式 (B. 6) から得られる時定数 τ は $C \rightarrow 0$ すなわち 100%書き込みが可能か否かの目安となる特性値である。

$$\tau = (2 C_{px} / \beta_0) / (V_{Ic}^+ - V_{Ic}^-) \quad \dots\dots\dots (B. 9)$$

この式によれば、 τ が画素容量 C_{px} に比例し、TF T の電流駆動能力を表す β_0 に反比例することになり、書き込み動作における諸パラメータの効きかたが明確に示されている。

(2) 負極信号の書き込み

負極性信号を書き込む場合は，T F Tの上部電極の間でソース・ドレインの役割が入れ替わるので，ドレイン電流の表式として（B．2）の代わりに次式を用いる。

$$I_d = \beta_0 \{ (V_g - V_{dd} - V_t)(V_{lc} - V_{dd}) - (V_{lc} - V_{dd})^2 / 2 \} \quad \dots\dots\dots (B. 10)$$

ここで紛らわしさを避けるために，負極性信号の意味で $V_d \rightarrow V_{dd}$ としてある。式（B．1）（B．10）を解くと，解は式（B．5）（B．6）と全く同型となる。したがって，このばあいの解の表式は，上記の解で $V_d \rightarrow V_{dd}$ とすれば求めることができる。このとき時定数の表式も式（B．9）と同型となるが， $V_d \rightarrow V_{dd}$ とする結果，

$$V_{lc}^+ - V_{lc}^- = (P^2 - 4Q)^{1/2} \quad \dots\dots\dots (B. 11)$$

の値が大きくなり， τ は減少する。すなわち，第5章に述べたように，負極性信号の書き込みは，正極性信号の書き込みより容易であることが分かる。

謝 辞

本論文をまとめるにあたって終始ご懇切なご指導とご鞭撻を賜りました京都大学工学部松波弘之教授に心より感謝し御礼を申し上げます。また、ご指導とご教示を賜りました京都大学工学部佐々木昭夫教授、田丸啓吉教授に心より感謝し御礼を申し上げます。

本研究の遂行におきましては、(株)日立製作所中央研究所を拠点に多くの方々のご指導とご援助を頂きました。ここに甚大なる感謝の意を表します。

本研究を通じ終始ご懇切なご指導とご鞭撻を頂きました塚田俊久博士（日立製作所中央研究所主管研究員）に心より感謝し御礼を申し上げます。

筒井謙氏（現、日立製作所日立研究所）、田中靖夫氏（日立製作所中央研究所主任技師）、山本英明氏（現、日立製作所電子デバイス事業部主任技師）、松丸治男氏（同技師）、笹野晃博士（現、日立デバイス副技師長）、関浩一博士（日立製作所中央研究所主任研究員）、鳥谷部達博士（同主任研究員）の皆様方には多くのご指導、ご討論、ご援助を頂きました。厚く御礼を申し上げます。

また本研究は、鈴木堅吉氏（日立製作所電子デバイス事業部主任技師）、折付良二氏（同主任技師）、福島宏氏（元、同主任技師）、鈴木雅彦氏（同技師）、中谷光男氏（同主任技師）、藤田満久氏（同主任技師）、染谷栄氏（同調査部部長代理）、井上文夫氏（日立製作所映像メディア研究所主任研究員）、甲展明氏（現、日立製作所システム事業部主任技師）、北島雅明氏（日立製作所日立研究所）、Chicago大学James Franck 研究所H. Fritzsche教授、R.E. Johanson博士（同大学）、深沢稔氏（日立マクセル）及び川上英昭博士（日立製作所電子デバイス事業部画像デバイス開発センタ長）の皆様方のご指導の賜物であります。厚く御礼を申し上げます。

終わりにになりましたが、本論文をまとめる機会を与えて頂き、ご教示とお励ましを賜りました松村宏善博士（現、日立製作所生産技術研究所副所長）、増原利明博士（現、日立製作所半導体事業部技術開発本部長）、嶋田壽一博士（日立製作所中央研究所技術主幹）、岩柳隆夫博士（現、日立製作所日立研究所主任研究員）に厚く御礼を申し上げます。

本論文に関する発表論文リスト

主論文

- (1) Y. Kaneko, A. Sasano, T. Tsukada, R. Oritsuki and K. Suzuki, "Improved Reliability in Amorphous Silicon Thin Film Transistors," Ext'd Abstracts of Intn'l Conf. on Solid State Devices and Materials, (1986), p. 699.
- (2) Y. Kaneko, A. Sasano and T. Tsukada, "Characterization of Reliability in Amorphous Silicon Thin Film Transistors," J. Appl. Phys. **69**, 7301 (1991).
- (3) Y. Kaneko, K. Tsutsui and T. Tsukada, "Back-bias Effect on Current-Voltage Characteristics of Amorphous Silicon Thin Film Transistors," J. Non-Cryst. Solids, **149**, 264 (1992).
- (4) Y. Kaneko, K. Tsutsui, H. Matsumaru, H. Yamamoto and T. Tsukada, "Amorphous Silicon Thin Film Transistor with a Buried Double-Gate Structure," Proc. Intn'l Electron Devices Meeting, (1989), p. 337.
- (5) Y. Kaneko, T. Toyabe and T. Tsukada, "Analysis of Effective Channel Length in Amorphous Silicon Thin Film Transistors," Jpn. J. Appl. Phys. **31**, 3506 (1992)
- (6) Y. Kaneko, A. Sasano and T. Tsukada, "Analysis and Design of a-Si TFT/LCD Panels with a Pixel Model," IEEE Trans. Electron Devices **36**, 2593 (1989).
- (7) Y. Kaneko, Y. Tanaka, N. Kabuto and T. Tsukada, "A New Address Scheme to Improve the Display Quality of a-Si TFT/LCD Panels," IEEE Trans. Electron Devices **36**, 2949 (1989).

参考論文

- (1) A. Sasano, H. Matsumaru, Y. Kaneko and T. Tsukada, "Phosphorus Diffusion Effect on Off-Current of a-Si Thin Film Transistors," J. Non-Cryst. Solids **97&98**, 1295 (1987)
- (2) Y. Kaneko, N. Koike, K. Tsutsui and T. Tsukada, "Amorphous Silicon Phototransistors," Appl. Phys. Lett. **56**, 650 (1990).
- (3) T. Toyabe, H. Masuda, Y. Kaneko, A. Sasano, H. Fukushima and T. Tsukada, "A Two-Dimensional Numerical Model of Amorphous Silicon Thin-Film Transistors," Proc. Intn'l Electron Devices Meeting, (1986), p.575.
- (4) Y. Kaneko and H. Fritzsche, "Frequency Dependence of Drift Mobility in a-Si:H Measured by Traveling-Wave Method," J. Appl. Phys. **69**, 8327 (1991).
- (5) R. E. Johanson, Y. Kaneko, and H. Fritzsche, "Travelling Wave Drift Mobility Measurements of Photoexcited Carriers in a-Si:H at Low Temperatures," Phil. Mag. Lett. **63**, 57 (1991).